

Высокоскоростное устройство БПФ с бесконфликтным линейным доступом к памяти

П.С. Поперечный,

к.т.н., нач. лаборатории

АО научно-производственный центр «ЭЛВИС», ppoperechny@elvees.com

Аннотация — Предложен способ вычисления БПФ с унифицированной схемой коммутации от стадии к стадии. Представлено итеративное выражение для аппаратной или программной реализации схемы вычисления. Для предложенных схем описана возможность реконfigurирования для вычисления БПФ различного числа отсчетов, при этом поворотные множители остаются прежними, и нет необходимости делать их переменными.

Ключевые слова — Быстрое преобразование Фурье (БПФ), поворотный множитель, вычислительный узел «бабочка».

I. ВВЕДЕНИЕ. ПОСТАНОВКА ЗАДАЧИ

Быстрое преобразование Фурье является алгоритмом быстрого вычисления дискретного преобразования Фурье (ДПФ). Оно применяется как для программной, так и для аппаратной реализации ввиду гораздо меньшего количества умножителей и сумматоров в сравнении с ДПФ [1, 2]. Преобразование Фурье как одно из главных преобразований в цифровой обработке сигналов (ЦОС), используется практически во всех областях современной техники. Многие цифровые стандарты связи, телевидения, измерительная аппаратура и т.д. подразумевают использование БПФ.

Хорошо известны две схемы вычисления БПФ: с прореживанием по частоте и с прореживанием по времени [3]. По количеству математических операций (количеству аппаратных умножителей и сумматоров при аппаратной реализации) обе схемы одинаковы. Отличие состоит в различном порядке либо входных (временных) отсчетов, либо выходных (частотных) отсчетов. Существует прямой порядок и порядок с инверсией адресов. БПФ вычисляется конвейерно по стадиям. Основным вычислительным узлом схемы БПФ является операция «бабочка», включающая в себя два комплексных умножения и суммирование [4]. Устройство БПФ также включает в себя блоки памяти и схему коммутации между ячейками блоков памяти различных стадий. Существует большое количество схем коммутации с оптимизацией по объему памяти, аппаратным затратам, быстродействию. Слабым местом в схеме коммутации является доступ к памяти, поскольку операция «бабочка» подразумевает считывание значений из разных адресов памяти и после вычисления результата запись его в разные

адреса. Адреса зависят от выбранной схемы коммутации и от стадии вычисления БПФ. В классической схеме коммутации считывание значений и запись результатов осуществляются по-разному от стадии к стадии, что накладывает большие аппаратные затраты на вычисление адресов. К тому же из однопортовой памяти, как правило, нельзя считать данные одновременно с двух адресов в один такт работы, что делает невозможным применять один блок памяти для одной операции «бабочка».

Зачастую для БПФ не требуется большое число отсчетов. Например, устройство, построенное по классической схеме коммутации, рассчитано на максимум 2048 отсчетов для преобразования, однако требуется только 1024 для ускорения вычислений или уменьшения задержки. Тогда применяется половина массивов памяти, а в остальной половине должны быть нули, тогда они не будут мешать вычислению.

В некоторых работах предложены способы оптимизации вычисления БПФ по аппаратным затратам в части используемой памяти [5], или ускорения вычисления за счет распараллеливания [6]. Однако за основу взята классическая схема коммутации от стадии к стадии, таким образом, предложенные устройства включают в себя сложную систему мультиплексоров для одновременного доступа в различные блоки памяти, при этом система мультиплексоров отличается от стадии к стадии. В работах [7, 8] представлены схемы с унифицированной структурой от стадии к стадии, однако отсутствует возможность реконfigurирования под различное количество отсчетов. В работе [9] описана единая (унифицированная) схема коммутации узлов «бабочки» в разных стадиях конвейера. Однако для реконfigurирования, а именно взятия БПФ для меньшего числа отсчетов применяются комплексные множители на отличающиеся поворотные множители в сравнении со схемой для максимального числа отсчетов. Таким образом, здесь необходимы большие аппаратные затраты. В работе [10] описан способ оптимизации структуры БПФ под конкретную архитектуру системы на кристалле «Эльбрус», а именно предложена линейная адресация, то есть обращение к памяти может осуществляться большими массивами, а значит, ускорится доступ к памяти, однако схема требует дополнительный массив памяти.

В предложенной в статье схеме также можно организовать линейную адресацию как по считыванию из памяти, так и для записи в память отсчетов после «бабочек». К тому же доступ будет бесконфликтным, а именно, для каждого узла «бабочки» в каждой стадии считывание двух отсчетов происходит из разных блоков памяти.

II. ТРАДИЦИОННАЯ СХЕМА ВЫЧИСЛЕНИЯ БПФ

БПФ основано на дискретном преобразовании Фурье, согласно которому описан алгоритм вычисления [1, 2]:

$$A(k) = \sum_{n=0}^{N-1} X(n) \cdot e^{-j2\pi \cdot n \cdot k / N} = \sum_{n=0}^{N-1} X(n) \cdot W_N^{n \cdot k} \quad (1)$$

где $X(n)$ – n -й отсчет входной последовательности, ($n=0,1,\dots,N-1$), $A(k)$ – k -й отсчет выходного спектра, ($k=0,1,\dots,N-1$), N – количество отсчетов, $W_N^{n \cdot k} = e^{-j2\pi \cdot n \cdot k / N}$ – коэффициенты ДПФ.

Традиционная схема вычисления БПФ с прореживанием по частоте показана на рис. 1. Входные отсчеты $X(n)$ по порядку записываются в массив памяти (101), далее по конвейеру происходит вычисление с помощью базового вычислительного элемента операции «бабочка» (102). Количество стадий (Stage0, Stage1, Stage2) конвейера определяется значением $\log_2 N = \log_2 8 = 3$. Количество отсчетов N выбирается кратным степени двойки. Схема коммутации на каждой стадии различна, в некоторых вершинах стоит умножитель (103) на поворотный множитель W_N^0, W_N^1, \dots .

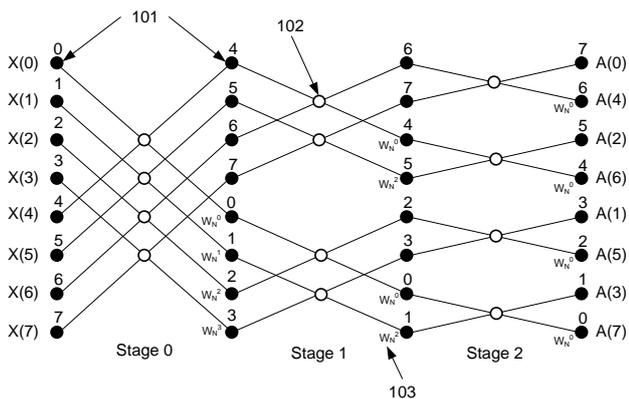


Рис. 1. Традиционная схема вычисления БПФ с прореживанием по частоте (N=8)

Базовая операция «бабочка» (102) представлена на рис. 2А. Более подробно работа данного узла представлена на функциональной схеме (рис. 2Б). В состав узла «бабочка» входят два сумматора (201), в нижнем ребре «бабочки» имеется умножитель (103) на поворотный множитель. Операция «бабочка» выполняется следующим выражением:

$$Y = A + B ; \quad Z = (A - B) \cdot W_N^k \quad (2)$$

где A и B – пара входных отсчетов; Y и Z – пара выходных комплексных отсчетов; $W_N^k = e^{-j2\pi \cdot k / N}$ – комплексный поворотный множитель.

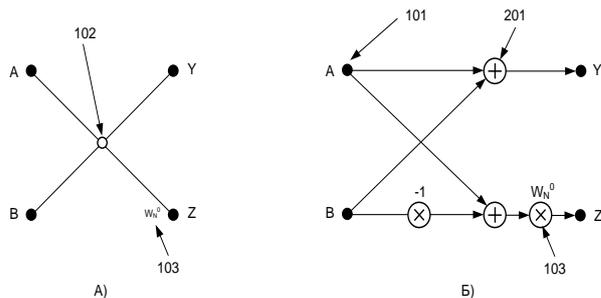


Рис. 2. Базовая операция «бабочка»: А-структурная схема; Б-функциональная схема

III. УНИФИЦИРОВАННАЯ СХЕМА КОММУТАЦИИ БПФ

Схема коммутации на рис. 1 на каждой стадии различна, поэтому для каждой стадии необходим свой неунифицированный дешифратор адреса. Для лучшего понимания черные кружки обозначены цифрами – это вклад каждого первоначального отсчета $X(n)$ в последующие стадии и участие в операции «бабочка». Видно, что вклад отсчетов $X(n)$ в последнюю стадию, то есть в выходные отсчеты $A(k)$ по номеру полностью обратной нумерации, если считать сверху вниз.

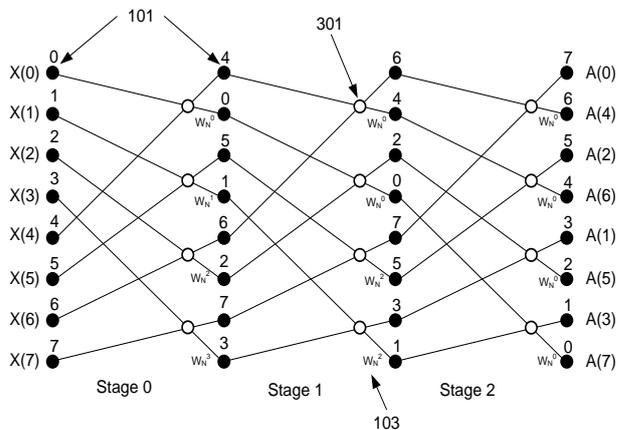


Рис. 3. Унифицированная схема коммутации БПФ с прореживанием по частоте (N=8)

Предложенная унифицированная схема коммутации БПФ представлена на рис. 3. Узел операции «бабочка» (301) схематично стал несимметричен, при этом работа узла по-прежнему эквивалентна схеме на рис. 2Б и выражению (2). Видно, что схема коммутации на каждой стадии (Stage0, Stage1, Stage2) остается одинаковой. Вклад (номер над черными кружками) первоначального отсчета $X(n)$ в последующие стадии отличается от традиционной схемы на рис. 1, однако в конечной стадии вклад в выходные отсчеты $A(k)$ такой же, как на рис. 1. Алгоритмически схемы на рис. 1 и 3

эквивалентны, все вычисления на каждой стадии совпадают, отличие лишь в адресах записи/чтения из ячеек памяти (101).

Аналогичным образом можно построить схему для любого N. На рис. 4 представлена традиционная схема вычисления БПФ с прореживанием по частоте (N=16), а на рис. 5 ее аналог согласно изображению - унифицированная схема коммутации БПФ с прореживанием по частоте (N=16).

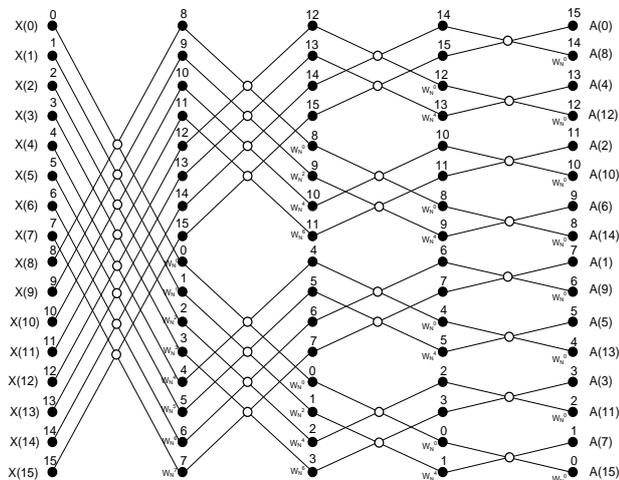


Рис. 4. Традиционная схема вычисления БПФ с прореживанием по частоте (N=16)

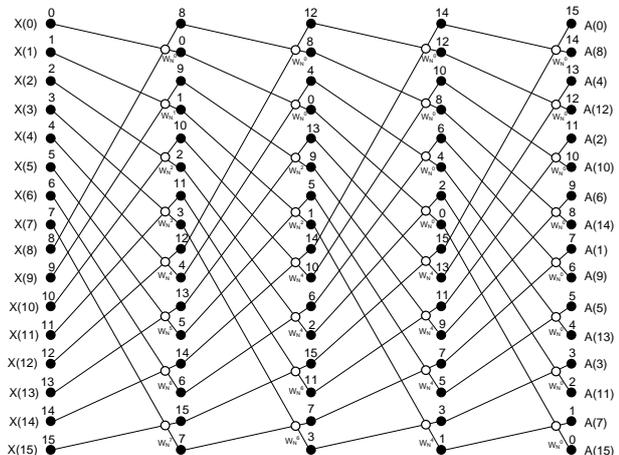


Рис. 5. Унифицированная схема коммутации БПФ с прореживанием по частоте (N=16)

Исходя из предложенной унифицированной схемы коммутации (N=8 или 16) и выражения (2) для общего случая (любого N) можно написать итеративное выражение:

$$\begin{cases} R_{2n}^i = R_n^{i-1} + R_{n+N/2}^{i-1} ; \\ R_{2n+1}^i = (R_n^{i-1} - R_{n+N/2}^{i-1}) \cdot W_N^{n-n(\text{mod } 2^{i-1})} ; \\ i = 1, 2, \dots, \log_2 N ; \\ n = 0, 1, \dots, \frac{N}{2} - 1 , \end{cases} \quad (3)$$

где R_n^{i-1} – значение (входной отсчет или промежуточное значение, вычисленное узлом «бабочка») считываемое из n-й ячейки памяти i-й стадии конвейера; R_{2n}^i – значение (вычисленное узлом «бабочка») записываемое в 2n-й ячейки памяти i-й стадии конвейера; $W_N^{n-n(\text{mod } 2^{i-1})}$ – комплексный поворотный множитель согласно выражению (2).

Зачастую требуется меньшее количество отсчетов для преобразования БПФ, а именно $N' = \frac{N}{2}$

или $\frac{N}{4}, \dots, \frac{N}{16}$, при этом, если использовать

традиционную схему коммутации БПФ с прореживанием по частоте, необходимо использовать первые N' элементов памяти для отсчетов, в остальных должны быть записаны нули. При этом нетрудно заметить, что поворачивающие коэффициенты останутся прежними, так как $W_N^0, W_N^2, W_N^4, W_N^6, \dots = W_{N'}^0, W_{N'}^1, W_{N'}^2, W_{N'}^3, \dots$ при

$N' = \frac{N}{2}$. Таким образом, в предложенной

унифицированной схеме (рис. 3) нет необходимости менять поворачивающие коэффициенты для реконfigurирования схемы по количеству отсчетов.

По предложенному способу можно построить традиционную схему коммутации БПФ с прореживанием по времени (рис. 6).

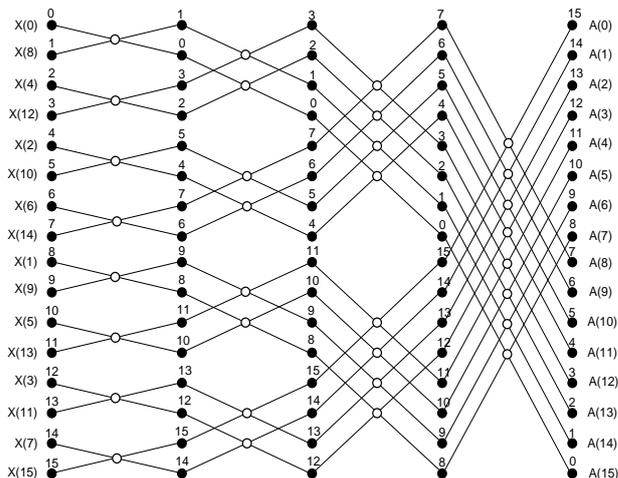


Рис. 6. Традиционная схема вычисления БПФ с прореживанием по времени (N=16)

Традиционные схемы коммутации БПФ с прореживанием по частоте и по времени структурно идентичны, они отличаются лишь направлением вычисления, например, если за основу взята схема с прореживанием по частоте (вычисления производятся слева-направо), то с прореживанием по времени можно структурно применить эту же схему, если представить вычисления справа-налево, то есть отобразить схему зеркально. Операция «бабочка» при этом немного отличается. Аналогично можно отобразить

предложенную унифицированную схему коммутации БПФ с прореживанием по частоте для построения унифицированной схемы с прореживанием по времени, как показано на рис. 7.

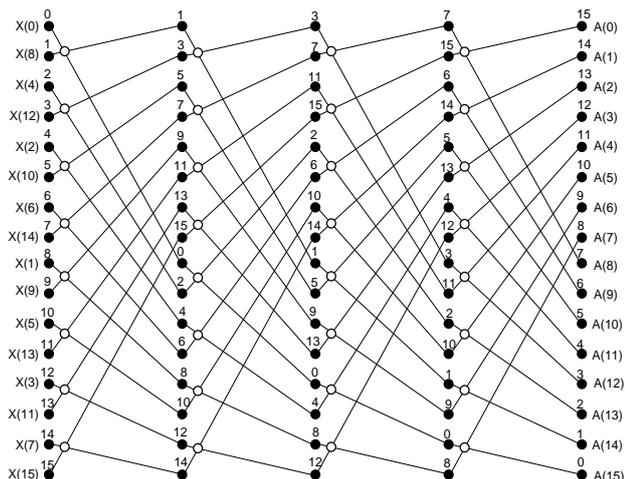


Рис. 7. Унифицированная схема коммутации БПФ с прореживанием по времени (N=16)

Предложенная унифицированная схема коммутации БПФ (рис. 5, 7) имеет следующие преимущества:

- 1) Унифицированная схема, содержащая:
 - элементы памяти для хранения входных/выходных (а также промежуточных результатов операции «бабочка») отсчетов обладает единой коммутацией между всеми стадиями вычисления и исключает систему сложного мультиплексирования, присущую традиционной схеме.
- 2) Устройство, соответствующее предложенной схеме, можно разработать для различных целей:
 - для меньших аппаратных затрат - последовательная схема, итерационная, требующая один узел «бабочка» и два массива памяти объема N отсчетов, при этом доступ к памяти является бесконфликтным (рис. 8);
 - для максимальной производительности - полностью параллельная схема, конвейерная, требующая $\frac{N}{2} \log_2 N$ узлов «бабочка» и элементов памяти (один элемент для хранения одного отсчета).
 - для целевых задач - последовательно параллельная схема, итерационная, требующая $\frac{N}{2}$ несколько узлов «бабочка» не более $\frac{N}{2}$, работающих параллельно и два массива памяти объема N отсчетов.
- 3) Программная реализация итеративного выражения (3) требует цикл двойной вложенности в отличие от традиционной схемы, где требуется цикл тройной вложенности, таким образом,

предложенное решение существенно сокращает время вычисления БПФ при программной реализации или схемные ресурсы при аппаратной реализации.

IV. ПРИМЕРЫ РЕАЛИЗАЦИИ УСТРОЙСТВ С БЕСКОНФЛИКТНЫМ ЛИНЕЙНЫМ ДОСТУПОМ К ПАМЯТИ

На рис. 8 представлен пример реализации предложенной на рис. 5 схемы коммутации для конвейерной структуры с бесконфликтным доступом к памяти с линейной адресацией (в настоящий момент на данное устройство получено решение о выдаче патента на полезную модель РФ). В данной схеме используются 4 блока памяти, считывание двух аргументов для «бабочки» происходит за 1 такт из разных блоков RAMxA и RAMxB, запись результата в одну ячейку какой-либо блока памяти следующих по конвейеру. Запись выполняется тоже за такт, так как одна ячейка памяти содержит 2 результирующих отсчета (соответственно подкрашены черным квадратиком). Аналогичным образом память можно структурировать и для выполнения одновременно двух и более операций «бабочка» за такт, при этом очевидно, что доступ к памяти и для считывания, и для записи осуществляется с линейной адресацией.

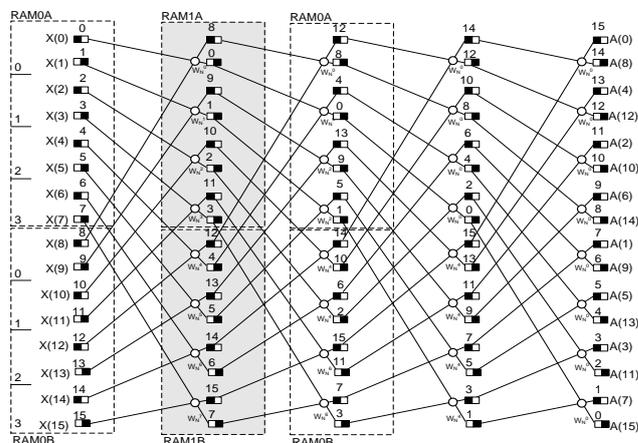


Рис. 8. Конвейерная структура с 4 блоками памяти с бесконфликтным доступом

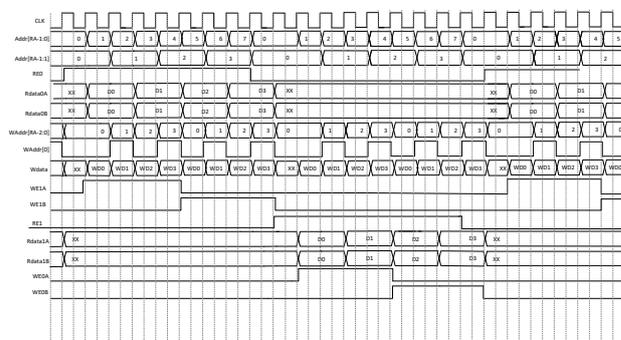


Рис. 9. Временные диаграммы работы схемы в процессе вычисления БПФ с бесконфликтным доступом к памяти с линейной адресацией

Подробные временные диаграммы работы данного устройства в процессе преобразования представлены на рис. 9.

Линейная адресация существенно упрощает узел генерации адресов, что, в свою очередь, увеличивает быстродействие данного устройства при аппаратной реализации.

Так как считывание отсчетов для одной операции «бабочка» происходит из двух ячеек, хранящих 4 значения, то можно использовать еще одну операцию «бабочка» для того, чтобы не считывать значения с одной ячейки дважды. При этом запись результатов операции «бабочка» выполняется последовательно, сначала по всему одному диапазону памяти, затем по всему другому. Такая организация памяти позволяет выполнять БПФ сколь угодно большой длины преобразования, если использовать внешнюю память, например DDR, а доступ к ней осуществлять при помощи DMA-контроллера.

Пример построения системы с устройством вычисления БПФ сверхбольшой длины преобразования представлен на рис. 10 (в настоящий момент на данное устройство получено положительное решение о выдаче патента на изобретение РФ).

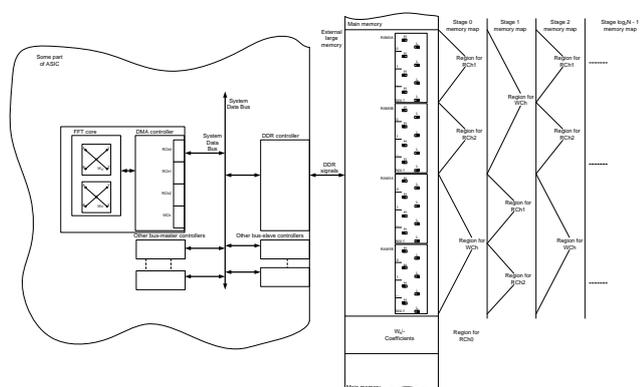


Рис. 10. Временные диаграммы работы схемы в процессе вычисления БПФ с бесконфликтным доступом к памяти с линейной адресацией

V. ЗАКЛЮЧЕНИЕ

Предложенный способ вычисления БПФ предусматривает унифицированную (единую) схему коммутации значения из памяти для базовых узлов вычислений операции «бабочка» для всех стадий конвейера. Ввиду того, что схема коммутации одина, можно построить различные устройства с оптимизацией по ресурсам и используемой памяти, быстродействию и т.д. Например, в случае жестких требований по аппаратным затратам, можно, пренебрегая быстродействием, использовать два массива памяти для всех стадий вычислений: один массив для входных отсчетов, другой для выходных отсчетов. Эти же массивы памяти используются для

промежуточных вычислений (стадий в случае конвейерной структуры).

Авторы считают, что в данной работе новой является предложенная унифицированная схема коммутации БПФ, описанная итеративным выражением с циклами двойной (а не тройной в случае традиционной схемы) вложенности с возможностью реконфигурирования для вычисления БПФ различного числа отсчетов [11-12]. Кроме того, для предложенной схемы коммутации можно организовать бесконфликтный доступ к памяти с чтением и записью отсчетов (промежуточных в том числе) с линейной адресацией, что дополнительно ускоряет доступ к памяти.

ЛИТЕРАТУРА

- [1] Скляр Б. Цифровая связь. Теоретические основы практического применения. М.: Вильямс, 1999. 1106 с.
- [2] Проксис Д. Цифровая связь. М.: Радио и связь, 2000. 800 с.
- [3] Морелос-Сарагоса Р. Искусство помехоустойчивого кодирования. Методы, алгоритмы, применение. М.: Техносфера, 2005. 320 с.
- [4] Блейхут Р. Теория и практика кодов, контролирующая ошибки. М.: Мир, 1986. 576 с.
- [5] Yu Ch.-L., inventor; Ind Tech Res Inst., assignee. Memory-based Fast Fourier Transform device. United States patent US20060253514. 09.11.2006.
- [6] Nag S. K., Verma H. K., inventors; Xilinx Inc., assignee. System and method for RAM-partitioning to exploit parallelism of RADIX-2 elements in FPGAs. United States patent US6507860. 14.01.2003.
- [7] Hao J., Lin X., et al., inventors; Chinese Acad. Inst. Automation., assignee. Data access method and device for parallel FFT computation. United States patent US20140337401. 13.11.2014.
- [8] Du G., Hou N., et al., inventors; Hefei Gongda Xianxing Microelectronic Technology Co Ltd., Univ. Hefei Technology assignee. Address mapping method and system of radix-2*K parallel FFT (fast Fourier transform) architecture. Patent of China CN000103034621. 10.04.2013.
- [9] Goel M., Kwong J. Y., inventors; Texas Instruments Inc., assignee. Constant geometry split radix FFT. Patent of China CN103106180. 15.05.2013.
- [10] Ишин П.А. Оптимизация преобразования Фурье под архитектуру Эльбрус. Электронный ресурс: <https://cyberleninka.ru/article/n/optimizatsiya-preobrazovaniya-furie-pod-arhitekturu-elbrus>, дата обращения: 24.08.2019.
- [11] Поперечный П. С., Поперечная И. Ю. Унифицированная реконфигурируемая схема коммутации быстрого преобразования Фурье // Вопросы радиоэлектроники. 2019. № 8. С.50-56.
- [12] Поперечный П.С., Поперечная И.Ю., Солохина Т.В., Петричкович Я.Я., авторы; АО НПЦ "ЭЛВИС", патентообладатель. Унифицированная реконфигурируемая схема коммутации быстрого преобразования Фурье и способ ее формирования. Патент Российской Федерации на изобретение RU2700194. 14.12.2018.

High-Performance Scheme of FFT Calculation with Conflict-Free Memory Access

P.S. Poperechny, PhD,

Laboratory head of Research and Production Center "ELVEES", ppoperechny@elvees.com

Abstract — The article offers the method for FFT calculation by means of unified communication scheme stage-by-stage with conflict-free memory access. There is an iterating equation for hardware and software implementation. This equation allows to construct hardware blocks or software functions with 2-level loop instead of 3-level for traditional scheme called “in-place”. The reconfiguration of scheme by different samples number is provided too. The rotating multipliers are the same as in non-reconfigurable (fixed) communication scheme. So the offered approach does not require additional hardware or software resources.

The proposed approach allows to construct multi-purpose scheme, such as fully parallel pipelined structure for maximum performance or a sequential structure with only one butterfly node for minimum hardware. A good instance is the structure with two butterfly nodes and four memory blocks. In this case memory access for both reading and writing is conflict-free. Every two butterfly operations are taken in one clock tick. Another example is the use of direct memory access controller (DMA). Thanks to its conflict-free nature DMA can access to external (refer to chip) large memory with extremely high speed for calculation large FFT transform length without embedded chip memory using.

Keywords — Fast Fourier Transform (FFT), Rotating Multiplier, Butterfly Node, conflict-free memory.

REFERENCES

- [1] Sklar B. Digital communications, fundamentals and applications. 2nd ed. Prentice Hall, 1998, 1104 p.
- [2] Proakis J. Digital communications. McGraw-Hill, 2001, 1002p.
- [3] Morelos-Zaragoza R. H. The art of error correcting coding. John Wiley & Sons, 2006, 278 p.
- [4] Blahut R. E. Theory and practice of error control codes. Addison-Wesley, 1983, 500 p.
- [5] Yu Ch.-L., inventor; Ind Tech Res Inst., assignee. Memory-based Fast Fourier Transform device. United States patent US20060253514. 09.11.2006.
- [6] Nag S. K, Verma H. K., inventors; Xilinx Inc., assignee. System and method for RAM-partitioning to exploit parallelism of RADIX-2 elements in FPGAs. United States patent US6507860. 14.01.2003.
- [7] Hao J., Lin X., et al., inventors; Chinese Acad. Inst. Automation., assignee. Data access method and device for parallel FFT computation. United States patent US20140337401. 13.11.2014.
- [8] Du G., Hou N., et al, inventors; Hefei Gongda Xianxing Microelectronic Technology Co Ltd., Univ. Hefei Technology, assignee. Address mapping method and system of radix-2*K parallel FFT (fast Fourier transform) architecture. Patent of China CN000103034621. 10.04.2013.
- [9] Goel M., Kwong J. Y., inventors; Texas Instruments Inc., assignee. Constant geometry split radix FFT. Patent of China CN103106180. 15.05.2013.
- [10] Ishin P. FFT Optimization for Elbrus Architecture. <https://cyberleninka.ru/article/n/optimizatsiya-preobrazovaniya-furie-pod-arhitekturu-elbrus>. Access date: 08/24/2019.
- [11] Poperechny P. S., Poperechnaya I. Yu. Unified reconfigurable commutation scheme of FFT. Voprosy radioelektroniki, 2019, no. 8, pp. 50–56.
- [12] Poperechny P., Poperechnaya I., Solokhina T., Petrichkovich J., inventors; ELVEES Research and Development Center, Joint-Stock Company, assignee. Unified Reconfigurable Communication Scheme of Fast Fourier Transform and Its Formation Method. Russian Federation patent RU2700194. 14.12.2018.