

# Комбинированные методы парирования сбоев и отказов статической оперативной памяти в «системах на кристалле»

Л.А. Щигорев, И.И. Шагурин

ЗАО НТЦ «Модуль», l.shchigorev@module.ru

**Аннотация** — Представлен обзор работ в области разработки методов и устройств, повышающих помехоустойчивость блоков статической оперативной памяти, применяемых в современных «системах на кристалле». В частности, приведены сравнительные оценки различных комбинаций методов повышения сбое- и отказоустойчивости, даны рекомендации по использованию методов и разработанных вспомогательных устройств. Предложен способ расчета вероятности работоспособности памяти при разбиении на блоки, хранящие информационные слова меньшей разрядности. Показано, что разбиение блока памяти ведет к росту числа парируемых неработоспособных ячеек памяти в 8 раз при вероятности работоспособности памяти, равной 98%.

**Ключевые слова** — саморемонт памяти, самотестирование памяти, «система на кристалле» (СнК), резервирование, запасные столбцы, комбинированные методы повышения сбое- и отказоустойчивости памяти, выход годных (ВГД), статическая оперативная память (СОЗУ).

## I. ВВЕДЕНИЕ

Блоки статической оперативной памяти (СОЗУ) занимают более половины площади современных «систем на кристалле» (СнК). Исследователи из Semico Research Corp допускают, что в ближайшем будущем до 75% площади современных СнК будут заняты элементами СОЗУ [1]. Рост производительности современных микропроцессорных систем, реализуемых в «системах на кристалле», достигается посредством увеличения количества уровней и размера кэш-памяти. Также блоками СОЗУ реализуются накладная оперативная память и буферы интерфейсных контроллеров, число которых может исчисляться десятками и сотнями, а объемы могут достигать единиц мегабайт. Поэтому в различных реальных устройствах блоки СОЗУ могут занимать от половины до более чем 90% площади микросхемы. Ввиду большой площади именно в блоках СОЗУ сконцентрированы производственные дефекты, определяющие выход годных (ВГД) кристаллов. Для увеличения ВГД подсистем памяти к основным элементам добавляют резервные, чтобы произвести замену перед отправкой потребителю [2]. В течение жизненного цикла микросхемы элементы СОЗУ также становятся основными источниками неисправностей, в особенности под воздействием факторов внешней агрессивной среды [3]. В блоках памяти могут происходить как сбои, так и отказы ячеек. Различие

между двумя видами неисправностей заключается в следующем: если имеется возможность вернуть ячейку в работоспособное состояние перезаписью, то считается, что в такой ячейке произошел сбой; если после повторной записи восстановление работоспособности не произошло, то ячейка памяти признается отказавшей и требует постоянных затрат корректирующих ресурсов на весь оставшийся период эксплуатации СнК.

Для парирования «на лету» ячеек, в которых произошел сбой или отказ, необходимо использовать устройства на базе кодов, исправляющих одиночные ошибки. Проблеме создания алгоритмов и построению аппаратуры (кодер-декодеров) посвящено много работ, наиболее значимыми из которых являются статьи Хемминга [4] и Хсяо [5].

Если в блоке СОЗУ накапливаются отказавшие ячейки памяти, то это снижает корректирующую способность метода исправления и коррекции одиночных ошибок. Сбои, случившиеся в информационных словах с уже отказавшей ячейкой, становятся некорректируемыми. Для борьбы с подобной ситуацией необходимо предусмотреть резервные элементы блоков памяти. При проведении периодических сеансов мониторинга и замене отказавших основных элементов резервными, корректирующая способность помехоустойчивого кодирования будет высвобождаться для нивелирования последствий следующих сбоев и отказов. В результате применения комбинации методов отмечен рост вероятности работоспособности памяти при равном количестве неработоспособных ячеек. Таким образом становятся очевидными преимущества, достигаемые при применении блоков СОЗУ, защищенных комбинацией методов исправления одиночной ошибки и использования резервных элементов.

Для реализации различных методов повышения сбое- и отказоустойчивости требуется введение дополнительных элементов памяти и устройств. Таким образом, становятся актуальными проблемы оценки дополнительных затрат на вводимую аппаратуру, построения устройств, обслуживающих как помехоустойчивое кодирование, так и резервные элементы, а также оценки получаемого выигрыша по количеству парируемых неработоспособных ячеек блоков СОЗУ. В данной статье приведен краткий обзор работ авторов за последние пять лет в области комбинационных методов повышения устойчивости

блоков СОЗУ, предложен способ оценки вероятности работоспособности памяти при реализации блока из составных частей, хранящих меньшие по размеру информационные слова.

## II. МЕТОДЫ ПАРИРОВАНИЯ НЕРАБОТОСПОСОБНЫХ ЯЧЕЕК ПАМЯТИ

Ниже будут освещены основные методы парирования неработоспособных ячеек блоков статической оперативной памяти в составе СнК.

### A. Устройства на базе кодов обнаружения и исправления ошибок

Наиболее распространенным методом обхода отказавших или сбойных ячеек памяти в составе «систем на кристалле» является применение устройств на базе кодов обнаружения и коррекции ошибок.

Простейшим примером этого подхода является применение контроля четности, позволяющее детектировать, но не исправлять ошибку. При передаче и/или хранении адресов, команд и данных добавляется проверочный бит, делающий общее количество единиц четным или нечетным. Принимающее устройство при передаче значений или контроллер памяти при считывании определяет, произошел ли сбой (строго говоря, нечетное количество сбоев) или нет. Недостатком данного метода обнаружения ошибок являются дополнительные затраты на аппаратуру, необходимую для генерации, передачи и хранения битов четности, рост длины путей комбинационной логики, рост времени выборки данных из блока СОЗУ.

Большие возможности представляют кодер-декодеры, построенные на базе помехоустойчивого кодирования. Такие устройства позволяют исправить одиночную ошибку, накопленную в период хранения информационного слова, в частности, построенные на базе кода Хемминга или итеративных кодов. Модификации кода Хемминга позволяют обнаруживать все двукратные и некоторые ошибки кратности выше двух, в частности, модифицированный код Хемминга или код Хсяо. Исследование аппаратных реализаций кодер-декодеров на базе различных кодов проведено в [6]. На базе этого исследования проведено сравнение по таким параметрам, как обнаружение всех двойных

ошибок, аппаратные затраты и длины критических путей (быстродействие). Обобщенные данные представлены в табл. 1.

Кодер-декодеры на базе кода Хемминга требуют наименьших дополнительных затрат аппаратуры, а устройства на базе итеративного треугольного кода имеют наилучшее быстродействие, но не обнаруживают все двойные ошибки. Их применение целесообразно в задачах, требующих только исправления одиночной ошибки.

Для детектирования всех двойных ошибок необходимо применять кодер-декодеры на базе модифицированного кода Хемминга или кода Хсяо. Наименьшие затраты дополнительной площади кристалла требуют устройства на базе модифицированного кода Хемминга и кода Хсяо, а устройства на базе расширенного кода Хсяо характеризуются наименьшими длинами критических путей (т.е. наибольшим быстродействием).

Метод исправления одиночной ошибки перестает работать, как только найдется хотя бы одно на блок информационное слово, в котором произошли случилось два сбоя или отказа. Такой блок памяти будет признан неработоспособным (на практике может оказаться, что повреждены неиспользуемые ячейки памяти, и это в целом не отразится на работоспособности системы, однако в общем виде такая ситуация недопустима). Если предполагается, что каждая ячейка может быть повреждена равновероятно, то обнаружение информационного слова, содержащего по меньшей мере две неработоспособные ячейки, происходит при числе, много меньшем количества слов, хранимых в блоке памяти. Это обусловлено парадоксом дней рождения [7].

### B. Резервные элементы

Для увеличения ВГД подсистем памяти к основным элементам добавляют резервные, чтобы произвести замену отказавших ячеек перед отправкой потребителю. Первая практическая реализация этого метода относится к концу 1970-х годов. [8]. Не использованные в ходе производственного тестирования резервные элементы могут быть использованы в процессе эксплуатации микросхемы.

Таблица 1

*Сравнительные характеристики кодер-декодеров, исправляющих одиночные ошибки*

Код	Обнаружение всех двойных ошибок	Аппаратные затраты	Быстродействие
Итеративный прямоугольный	нет	максимальные	среднее
Итеративный треугольный	нет	средние	максимальное
Хемминг	нет	минимальные	среднее
Модифицированный Хемминг	да	минимальные	минимальное
Хсяо	да	минимальные	среднее
Расширенный Хсяо	да	максимальные	максимальное

В качестве резервных элементов обычно выступают строки и/или столбцы. Совместное использование строк и столбцов называют двумерным резервированием, а выборочное – одномерным.

Замену основных элементов резервными можно производить двумя способами: однократным и многократным. Под однократной заменой обычно подразумевается производственное восстановление работоспособности СОЗУ с использованием энергонезависимых регистров или плавких перемычек при помощи внешнего тестового оборудования. Многократная замена подразумевает хранение информации о поврежденных элементах памяти в энергозависимой памяти и обязательное присутствие в составе СнК специальных устройств для диагностики основных элементов и получения конфигурации резервных строк или столбцов.

Для проведения диагностики память должна быть снабжена устройством встроенного самотестирования УВСТ (MBIST – memory built-in self-test). Далее необходимо проанализировать возможность подстановки резервных элементов и сгенерировать конфигурационные вектора. Для этого в составе СнК применяют устройства встроенного саморемонта УВСР (BISR – built-in self-repair). УВСТ может предоставлять информацию о неисправности блока СОЗУ с различной степенью детализации – однокбитным статусом или с информацией о расположении поврежденных элементов. В зависимости от этого различаются методы поиска позиций поврежденных элементов, структуры УВСР и алгоритмы их работы. Несмотря на длительный опыт использования резервных элементов, структуры и алгоритмы работы УВСР, работающих только со статусом завершенного теста, оставались неопубликованными. В основе алгоритма поиска неработоспособных элементов памяти в таких ситуациях лежит метод перебора различных конфигураций резервных элементов. В ходе исследований и проектирования авторами была предложена структура подобного УВСР [9] и ее развитие [10].

Информация о расположении поврежденных элементов блока памяти может передаваться адресом или вектором ошибки. Вопросы проектирования УВСР, ориентированных на работу с двумерным резервированием, освещены в научно-технической литературе достаточно полно, чего нельзя сказать об одномерном резервировании. Несмотря на несколько меньшую вариативность покрытия дефектов матрицы памяти резервными элементами в одномерном исполнении, именно таким способом нередко предлагают пользоваться разработчики компиляторов памяти и полупроводниковые фабрики. Более того, часто отдается предпочтение резервным столбцам [11]. Их преимущества над резервными строками заключаются в следующем:

- меньшие дополнительные временные задержки на выборку данных [12];
- большое количество покрываемых дефектов вспомогательных устройств: усилителей считывания (sense amplifier), регистров предварительной записи и считывания, мультиплексоров столбцов [13].

Но несмотря на это, структуры и алгоритмы устройств, работающих с одномерным резервированием столбцами и информацией о расположении поврежденных ячеек, оставались фактически не описаны. В связи с этим авторами была предложена структура УВСР для работы с резервными столбцами [14]. За основу была взята известная структура для работы с резервными строками.

Блок СОЗУ, а значит и СнК, может быть ошибочно признан неработоспособным из-за большого числа ячеек, в которых на самом деле произошел сбой, а не отказ. Для решения этой проблемы был предложен алгоритм работы, при помощи которого можно отличить ячейку памяти, в которой произошел сбой, от ячейки, в которой произошел отказ. За основу взята идея скраббера (scrubbing) [15].

#### *С. Разбиение блока*

Разбиение блока памяти на массивы, хранящие меньшие по размеру информационные слова, имеет следующие преимущества при решении задачи повышения сбое- и отказоустойчивости:

- рост числа парируемых неработоспособных ячеек СОЗУ;
- снижение числа итераций перебора в случае не предоставления УВСТ информации о расположении поврежденных элементов;
- снижение времени выборки данных из отдельно взятого блока.

К недостаткам стоит отнести некоторый рост площади кристалла, занимаемой прежним информационным объемом.

#### *Д. Комбинация методов*

При использовании комбинации методов исправления одиночной ошибки и введения резервных элементов наблюдается резкий рост количества парируемых неработоспособных ячеек памяти. Этот эффект назван в научно-технической литературе синергетическим [16].

Несмотря на то, что эффект описан достаточно давно, неисследованным оставалось комбинированное использование данного подхода совместно с битом честности. Его введение позволяет обнаруживать не только ошибки хранения данных, но и сбои на шинах записи/чтения данных на маршруте процессор – коммутационная среда – контроллер памяти.

Выбор использования того или иного метода парирования неработоспособных ячеек СОЗУ зависит от задач, которые необходимо решать разработчикам помехоустойчивых СнК. При выборе важно иметь оценки на затрачиваемую дополнительную аппаратуру и рост времени выборки данных из памяти. Для этого были проведены соответствующие исследования, краткие результаты которых будут приведены в следующем разделе [17, 18].

Рассматриваемые варианты комбинаций методов приведены в табл. 2.

Таблица 2

Рассматриваемые варианты защиты блока СОЗУ

№	Состав
1	Без защиты
2	Побайтовый контроль четности
3	Исправление одиночной ошибки
4	Побайтовый контроль четности + исправление одиночной ошибки
5	Исправление одиночной ошибки + 2 резервных столбца
6	Побайтовый контроль четности + исправление одиночной ошибки + 2 резервных столбца

### III. ДОПОЛНИТЕЛЬНАЯ АППАРАТУРА

Для оценки аппаратных затрат различных комбинаций методов повышения сбое- и отказоустойчивости был спроектирован блок памяти объемом  $4K \times 128$  слов пятью разными способами:

- А - 1 блок, хранящий 128-битные слова;
- Б - 2 блока, хранящие 64-битные слова;

- В - 4 блока, хранящие 32-битные слова;
- Г - 8 блоков, хранящих 16-битные слова;
- Д - 16 блоков, хранящих 8-битные слова.

Результаты представлены для КМОП-технологии с проектными нормами 28 нм в нормированном виде на рис. 1. Каждый блок содержит 8 информационных слов в строке, каждый блок с резервными элементами имеет 2 резервных столбца, УВСП и УВСТ, реализующее тестирование по алгоритму March-LR [19].

При совместном применении трех рассмотренных методов увеличение площади составляет от 30 до 75%, а увеличение времени выборки от 130 до 250% по сравнению с незащищенным вариантом. Рост общей площади блока памяти при разбиении на массивы составляет до 1,5 – 2,3 раз, а снижение времени выборки от 22 до 50 % в зависимости от применяемых методов.

### IV. ВЕРОЯТНОСТЬ РАБОТОСПОСОБНОСТИ ПАМЯТИ

Эффект от использования комбинаций методов повышения сбое- и отказоустойчивости памяти наблюдается при оценке вероятности работоспособности памяти при увеличивающемся числе неработоспособных ячеек. Известны способы расчета для исправления одиночной ошибки (ИОО) и для резервных столбцов (РС), а также комбинаций этих методов [20]. Был предложен способ оценки верхней границы вероятности работоспособности памяти при разбиении блока памяти из предположения равномерного распределения поврежденных ячеек между составными блоками [21]. На рис. 2 представлены графики для блока памяти без разбиения и для реализации из 16 блоков. Показано, что для вероятности, равной 98%, при использовании ИОО и двух РС разбиение на 16 блоков дает рост количества покрываемых неработоспособных ячеек памяти в 8 раз.

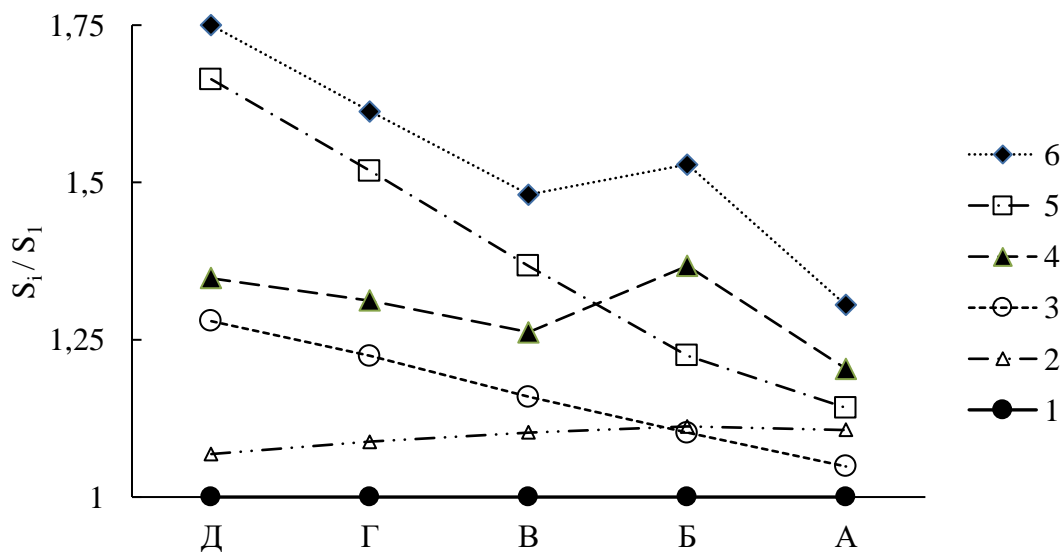


Рис. 1. Площади на кристалле для различных комбинированных методов, нормированные по реализации без защиты

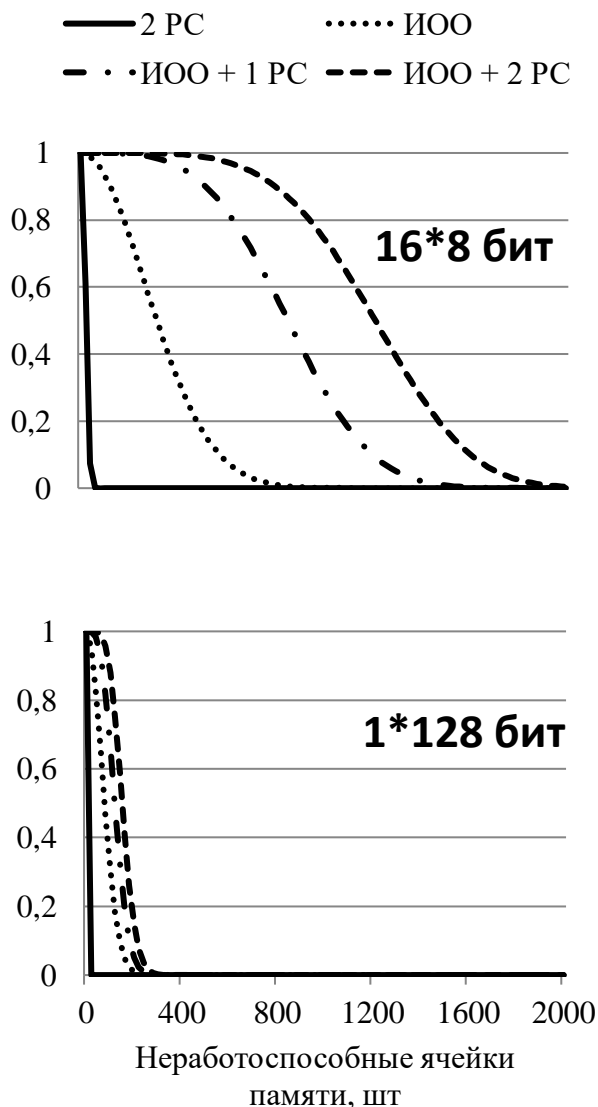


Рис. 2. Зависимость вероятности сохранения работоспособности памяти от числа неработоспособных ячеек

#### V. Выводы

В данной статье представлен обзор работ, посвященных проблеме повышения сбое- и отказоустойчивости СОЗУ, входящих в состав современных СнК. Отмечен синергетический эффект совместного использования исправления одиночной ошибки и резервных элементов, проанализированы накладываемые аппаратные затраты, рост покрываемых неработоспособных ячеек памяти. В работах предложены архитектуры и алгоритмы работы устройств, обеспечивающих замену элементов. Предложен способ оценки верхней границы при разбиении блока памяти из предположения равномерного распределения поврежденных ячеек между составными блоками. Показано, что разбиение

блока памяти ведет к росту числа парируемых неработоспособных ячеек памяти в 8 раз при вероятности работоспособности памяти, равной 98%.

#### ЛИТЕРАТУРА

- [1] URL: <http://www.semico.com/content/worldwide-soc-market-forecast-approach-200-billion-2019-says-semico-research> (дата обращения: 05.02.2020)
- [2] Tammaru E., Angell J.B. Redundancy for LSI Yield Enhancement. // IEEE Journal of Solid-State Circuits. 1967. V. 2, N. 4. P. 172-182.
- [3] Зебрев Г.И. Радиационные эффекты в интегральных схемах высокой степени интеграции. М.: НИЯУ МИФИ, 2010. 148 с.
- [4] R.W. Hamming Error Detecting and Correcting Codes // Bell Syst. Tech. J. 1950. Vol. 29. P. 147-160.
- [5] M. Y. Hsiao A Class of Optimal Minimum Odd-Weight-Column SEC-DED Codes // IBM J. Res. Develop. 1970. Vol. 14. P. 395-401.
- [6] К.А. Петров Элементы помехоустойчивого кодирования нециклического типа субмикронных КМОП оперативных запоминающих устройств: дис. ...канд. тех. наук: 05.13.05 / Петров Константин Александрович – М.: НИЯУ МИФИ, 2015. – 103 с.
- [7] C.-H. Stapper, H.-S. Lee Synergistic fault-tolerance for memory chips // IEEE Trans. on Comp. 1992. Vol. 41. Issue. 9. P. 1078-1087.
- [8] R. P. Cenker, D. G. Clemons, W. R. Huber, J. B. Petrizzi, F. J. Procyk and G. M. Trout A fault-tolerant 64K dynamic RAM // ISSCC Dig. Tech. Papers. 1979. P. 150-151.
- [9] Щигорев Л.А. Организация саморемонта блоков статической оперативной памяти с резервными элементами // Проблемы разработки перспективных микро- и нанoeлектронных систем-2016 Сб. трудов. / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2016. Часть III. С. 178-185.
- [10] Щигорев Л.А. Развитие структуры и алгоритма работы устройства встроенного саморемонта статической оперативной памяти // Проблемы разработки перспективных микро- и нанoeлектронных систем-2018 Сб. трудов. / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2018. Выпуск II. С. 123-129.
- [11] M. Karunaratne, V. Oomann Yield gain with memory BISR – a case study // 52nd IEEE Int. Midwest Symposium on Circuits and Systems. 2009. P. 699-702.
- [12] Альфонсо Д.М., Исаев М.В., Костенко В.О. Разработка системы тестирования и повышения выхода годной продукции для кэш-памяти микропроцессора // Вопросы радиоэлектроники. 2014. № 3. сер. ЭВТ. С. 106-118.
- [13] Kim I., Zorian Y., Komoriya G., Pham H. and all Built-in self repair for embedded high density SRAM // Test Conference. Proceedings. 1998. P. 1112-1119.
- [14] Щигорев Л.А. Применение шины диагностики в задаче саморемонта блоков статической оперативной памяти // Нано- и микросистемная техника. 2018, Т. 20, № 2. С. 98-106.
- [15] S.S. Mukherjee, J. Emer., T. Fossum, and S. K. Reinhardt Cache Scrubbing in Microprocessors: Myth or Necessity? Proc. of the 10th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC). 2004, P. 37-42.
- [16] H. L. Kalter, C. H. Stapper, J. E. Barth Jr. et al “A 50-ns 16-Mb DRAM with a 10-ns data rate and on-chip ECC,” IEEE J. Solid-State Circuits, vol. 25. 1990. P. 1118-1128.
- [17] Шагурин И.И., Щигорев Л.А. Сравнительный анализ комбинированных методов повышения сбое- и

отказоустойчивости блоков статической оперативной памяти // Известия высших учебных заведений. Электроника. 2016, Т. 21, № 4. С. 347-352.

- [18] Shchigorev L.A., Shagurin I.I. Combined methods of tolerance increasing for embedded SRAM // 1st International Telecommunication Conference "Advanced Micro- and Nanoelectronic Systems and Technologies" / IOP Conference Series: Materials Science and Engineering. Vol. 151, №1. 2016. 012004. P. 1-5.

- [19] Ad J. Van de Goor, G. N. Gaydadjiev, V. G. Mikitjuk, V. N. Yarmolik March LR: a test for realistic linked faults // 14th VLSI Test Symposium, Proceedings. 1996. P. 272-280.
- [20] M. Horiguchi, K. Itoh Nanoscale Memory Repair. – N.Y.: Springer, 2011. – P.215.
- [21] Щигорев Л.А. Повышение сбое- и отказоустойчивости блоков статической оперативной памяти SnK при помощи резервных столбцов //20-я Международная конференция «Цифровая обработка сигналов и ее применение – DSPA-2018», Москва, доклады, Т.2, 2018, С. 708-712.

## Methods for Eliminating SRAM Soft and Hard Errors

L.A. Shchigorev, I.I. Shagurin

RC Module, l.shchigorev@module.ru

**Abstract** — Experts from the Semico Research Corp group estimate that in the near future up to 75% of the area of modern systems-on-chip (SoC) will be occupied by elements of static random access memory (SRAM). That's why manufacturing defects are concentrated here, so it determines the yield of chips. SRAM also contains the majority of soft and hard errors during operation. This article provides a brief overview of the papers over the past five years in the field of combinational methods for increasing SRAM fault tolerance, and offers a method for evaluating the probability of memory correcting operation when implementing a block of components that store smaller data words.

The main achievement of the paper is the proposed combined method that contains single error correction and double error detection (SEC-DED), redundant columns, block dividing, and parity control. Area and read access timing penalties are researched. When using the three methods together the area increase is from 30 to 75% and the read access time increase is from 130 to 250% compared to the unprotected one. The increase in the total area of the memory block when divided into arrays is up to 1.5 – 2.3 times, and the decrease in the read access time amounts to from 22 to 50%, depending on the methods used.

The structures and algorithms of the built-in self-repair (BISR) memory devices for operating with various diagnostic information from the built-in self-testing (BIST) are also proposed. We also developed an algorithm for the operation of built-in self-repair memory devices that distinguishes a soft error from a hard one.

An estimating method is also proposed for the upper limit probability of memory operation with division into blocks containing data words of lower bit length. It is shown that for a probability equal to 98% when using SEC-DED and two redundant columns per block, dividing into 16 blocks gives an increase the permissible number of fault (hard and soft) memory cells by 8 times.

**Keywords** — memory built-in self-repair, memory built-in self-test, system on chip (SoC), redundancy, redundant columns, combined methods of fault tolerance, static random access memory (SRAM).

### REFERENCES

- [1] URL: <http://www.semico.com/content/worldwide-soc-market-forecast-approach-200-billion-2019-says-semico-research> (data of issue: 05.02.2020)
- [2] Tammaru E., Angell J.B. Redundancy for LSI Yield Enhancement. // IEEE Journal of Solid-State Circuits. 1967. V. 2, N. 4. P. 172-182.
- [3] Zebrev G.I. Radiacionnye jeffekty v integral'nyh shemah vysokoj stepeni integracii. (Radiation effects in Very Large Scale Integration) M.: NIJaU MIFI, 2010. 148 s.
- [4] R.W. Hamming Error Detecting and Correcting Codes // Bell Syst. Tech. J. 1950. Vol. 29. P. 147-160.
- [5] M. Y. Hsiao A Class of Optimal Minimum Odd-Weight-Column SEC-DED Codes // IBM J. Res. Develop. 1970. Vol. 14. P. 395-401.
- [6] K.A. Petrov Jelementy pomehoustojchivogo kodirovaniya neciklicheskogo tipa submikronnyh KMOP operativnyh zapominajushhih ustrojstv (Single errors correction elements of non-cyclic type for submicron CMOS random access memories): dis. ...kand. teh. nauk: 05.13.05 / Petrov Konstantin Aleksandrovich – M.: NIJaU MIFI, 2015. – 103 s.
- [7] C.-H. Stapper, H.-S. Lee Synergistic fault-tolerance for memory chips // IEEE Trans. on Comp. 1992. Vol. 41. Issue. 9. P. 1078-1087.
- [8] R. P. Cenker, D. G. Clemons, W. R. Huber, J. B. Petrizzi, F. J. Procyk and G. M. Trout A fault-tolerant 64K dynamic RAM // ISSCC Dig. Tech. Papers. 1979. P. 150–151.
- [9] Shchigorev L.A. Organizacija samoremonta blokov staticheskoj operativnoj pamjati s rezervnymi jelementami (Built-in self-repair for SRAM with redundant elements) // Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem-2016 Sb. trudov. / pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2016. Chast' III. S. 178-185.
- [10] Shchigorev L.A. Razvitie struktury i algoritma raboty ustrojstva vstroennogo samoremonta staticheskoj operativnoj pamjati (Structure and algorithm development of built-in self-repair for SRAM) // Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem-2018 Sb. trudov. / pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2018. Vypusk II. S. 123-129.
- [11] M. Karunaratne, B. Oomann Yield gain with memory BISR – a case study // 52nd IEEE Int. Midwest Symposium on Circuits and Systems. 2009. P. 699-702.

- [12] Al'fonso D.M., Isaev M.V., Kostenko V.O. Razrabotka sistemy testirovaniya i povysheniya vyhoda godnoj produkcii dlja kjesh-pamjati mikroprocessora (Test and improvement of usable product yield system design for cache memory of microprocessor, manufactured at 28 nm process technology) // Voprosy radioelektroniki. 2014. № 3. ser. JeVT. S. 106-118.
- [13] Kim I., Zorian Y., Komoriya G., Pham H. and all Built-in self repair for embedded high density SRAM // Test Conference. Proceedings. 1998. P. 1112-1119.
- [14] Shchigorev L.A. Primenenie shiny diagnostiki v zadache samoremonta blokov staticheskoy operativnoj pamjati (Application of diagnostic bus in built-in self-repair issue) // Nano- i mikrosistemnaja tehnika. 2018, T. 20, № 2. S. 98-106.
- [15] S.S. Mukherjee, J. Emer., T. Fossum, and S. K. Reinhardt Cache Scrubbing in Microprocessors: Myth or Necessity? Proc. of the 10th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC). 2004, P. 37-42.
- [16] H. L. Kalter, C. H. Stapper, J. E. Barth Jr. et al "A 50-ns 16-Mb DRAM with a 10-ns data rate and on-chip ECC," IEEE J. Solid-State Circuits, vol. 25. 1990. P. 1118–1128.
- [17] Shagurin I.I., Shchigorev L.A. Sravnitel'nyj analiz kombinirovannyh metodov povysheniya sboe- i otkazoustojchivosti blokov staticheskoy operativnoj pamjati (Comparative analysis of fault tolerance increasing combined methods for SRAM) // Izvestija vysshih uchebnyh zavedenij. Jelektronika. 2016, T. 21, № 4. S. 347-352.
- [18] Shchigorev L.A., Shagurin I.I. Combined methods of tolerance increasing for embedded SRAM // 1st International Telecommunication Conference "Advanced Micro- and Nanoelectronic Systems and Technologies" / IOP Conference Series: Materials Science and Engineering. Vol. 151, №1. 2016. 012004. P. 1-5.
- [19] Ad J. Van de Goor, G. N. Gaydadjiev, V. G. Mikitjuk, V. N. Yarmolik March LR: a test for realistic linked faults // 14th VLSI Test Symposium, Proceedings. 1996. P. 272-280.
- [20] M. Horiguchi, K. Itoh Nanoscale Memory Repair. – N.Y.: Springer, 2011. – P.215.
- [21] Shchigorev L.A. Povyslenie sboe- i otkazoustojchivosti blokov staticheskoy operativnoj pamjati SnK pri pomoshhi rezervnyh stolbcov (SRAM fault tolerance increasing in SoC by the use of redundant columns) //20-ja Mezhdunarodnaja konferencija «Cifrovaja obrabotka signalov i ee primenenie – DSPA-2018», Moskva, doklady, T.2, 2018, S. 708-712.