

Входной тракт приемника для интерфейсов CEI-25G-LR и CEI-28G-MR с энергоэффективностью 1,45 мВт/Гб/с по технологии КМОП 28 нм

А.В. Ларионов, О.Н. Буякова, О.В. Сысоева, С.Э. Осина

Научно-исследовательский институт системных исследований РАН, alar@cs.niisi.ras.ru

Аннотация — В статье представлен входной тракт приемника (ВТП), удовлетворяющий интерфейсам CEI-25G-LR и CEI-28G-MR. ВТП включает в себя схему терминирования (ODT), линейные эквалайзеры (LMCTLE и MCTLE), автоматическую регулировку усиления (VGA) и спекулятивный эквалайзер с решающей обратной связью (DFE) второго порядка. ВТП способен обрабатывать данные на скорости 25,8 Гб/с для канала с затуханием 27 дБ без помощи эквалайзера передатчика. Блок спроектирован по технологии КМОП 28 нм, работает от напряжения питания 0,9 В и имеет энергоэффективность 1,45 мВт/Гб/с, что дает потенциал для реализации приемника с энергоэффективностью в пределах 3 мВт/Гб/с. Полученная энергоэффективность достигается путем: 1) использования LMCTLE для коррекции межсимвольной интерференции (МСИ) в низкочастотной части спектра входного сигнала, 2) реализации DFE без аккумулирующих сумматоров и управляемого напряжением, 3) агрессивного использования индуктивностей.

Ключевые слова — преопередатчик, приемник, последовательный интерфейс, линейный эквалайзер, эквалайзер с решающей обратной связью, терминирование, автоматическая регулировка усиления.

I. ВВЕДЕНИЕ

Одна из важнейших характеристик преопередатчика – это энергоэффективность, определяющая количество затраченной мощности на преопередатку одного гигабита информации. Приемник выполняет три основные задачи, одна из которых восстановление целостности входного сигнала, деградирующего в процессе передачи по линии. Аппаратные затраты приемника, необходимые для решения этой задачи, существенно влияют на его энергоэффективность.

Основная причина деградации – межсимвольная интерференция (МСИ), возникающая из-за неравномерного затухания передаваемого сигнала, имеющего широкий частотный спектр. Для компенсации МСИ приемник содержит в своем составе линейный эквалайзер (CTLE) и эквалайзер с решающей обратной связью (DFE) [1]-[5].

В работах [1] и [2] энергоэффективность приемника составляет порядка (10÷12) мВт/Гб/с. Для охвата всего частотного спектра принимаемого сигнала используется широкополосный DFE эквалайзер,

имеющий большой порядок фильтрации. С целью смягчения временных требований к цепям обратной связи младшие порядки формируются спекулятивным образом. Для восстановления сигнала в старших порядках используются быстродействующие токовые аккумуляторы, имеющие большую входную и выходную емкость. Аккумуляторы потребляют значительную часть энергии приемника, а также провоцируют увеличение потребления в предшествующем им каскаде.

В работах [3] и [4] достигнута энергоэффективность приемника порядка 6÷8 мВт/Гб/с. Здесь применен полностью спекулятивный узкополосный DFE без цепей обратной связи. Компенсация МСИ в низкочастотной части спектра входного сигнала осуществляется путем использования низкочастотного линейного эквалайзера (LCTLE), требующего существенно меньшей мощности, чем в архитектуре с широкополосным DFE. Однако в [3] и [4] LCTLE реализован на основе топологии Cherry-Ноорег, которая содержит два каскада в прямом тракте данных и дополнительный каскад в петле обратной связи. Данное решение требует существенных энергоресурсов. Также отметим, что в [4] коэффициенты DFE эквалайзера регулируются токовым образом, что дополнительно ухудшает энергоэффективность приемника.

В работе [5] достигнута рекордная энергоэффективность приемника 0,66 мВт/Гб/с. Здесь LCTLE реализован пассивным образом, и по сути имеет нулевое потребление. Также для уменьшения потребления отсутствует VGA, а спекулятивный DFE реализован как фильтр первого порядка. Пассивный LCTLE уменьшает полосу пропускания и чувствительность приемника, приводя к снижению скорости обработки данных, а узкая полоса DFE ограничивает предельное затухание канала, что неприемлемо для интерфейсов, рассматриваемых в данной работе.

В главе II представлена общая архитектура приемника верхнего уровня. Реализация входного тракта приемника показана в главе III. Результаты моделирования приведены в главе IV. Заключение по работе представлено в главе V.

II. АРХИТЕКТУРА ПРИЕМНИКА

Структурная схема приемника показана на рис. 1. Сигнал RX_{in} из канала поступает на входной тракт приемника, состоящий из блоков ODT, LMCTLE, MCTLE, VGA и DFE. Блок ODT согласует вход приемника с каналом и передатчиком, обеспечивает достаточный уровень электростатической защиты, осуществляет регулировку уровня постоянной составляющей. Линейный эквалайзер LMCTLE компенсирует межсимвольную интерференцию в нижней и средней части частотного спектра входного сигнала. MCTLE обрабатывает среднюю часть спектра. Автоматическая регулировка усиления VGA обеспечивает оптимальный размах сигнала. DFE компенсирует нелинейные затухания входного сигнала без усиления шума и перекрестных помех в верхней части частотного диапазона сигнала. Затем данные демультимплексируются в DMUX и в низкочастотном режиме обрабатываются в блоке восстановления синхронизации CDR и блоке контроля коэффициентов эквалайзеров ADAPT. Блок CDR формирует управляющие коды CDRCode для фазовращателя PR, подстраивая частоту и фазу синхросигнала CLK тактирующего DFE. Фазовращатель работает от опорного квадратурного тактового сигнала CLK_I/Q. Блок ADAPT вырабатывает коды ADAPTCode, регулируя глубину эквалайзеров LMCTLE и MCTLE, и амплитуду VGA цифровым образом. Регулировка порогового уровня и весовых коэффициентов DFE осуществляется через преобразователь цифровых сигналов в аналоговое напряжение VDAC.

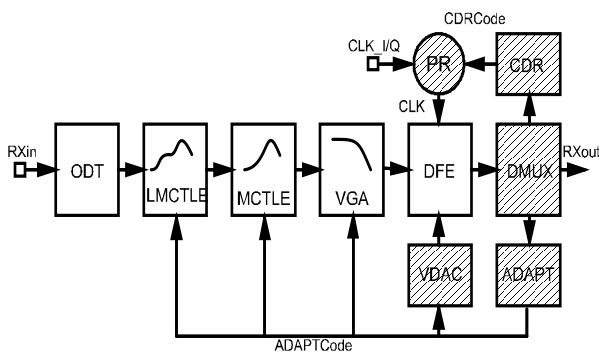


Рис. 1. Структурная схема приемника. В данной работе представлены блоки не имеющие штриховки

III. ВХОДНОЙ ТРАКТ ПРИЕМНИКА

A. Линейный эквалайзер

Для обеспечения достаточного усиления линейный эквалайзер состоит из двух каскадов LMCTLE и MCTLE. Принципиальная схема LMCTLE показана на рис. 2 и представляет собой гибрид из двух параллельных веток, независимо регулирующих усиление в средней и нижней части частотного диапазона посредством конденсаторов C_{EM} и C_{EL} , соответственно. Данное решение исключает необходимость в реализации отдельной схемы для коррекции низкочастотной МСИ, снижая

потребляемую мощность. Отметим, что коэффициент передачи по постоянному току фиксирован, снижая требования к диапазону регулировки коэффициента передачи VGA, и позволяя избегать интерференции между CTLE, VGA и DFE в процессе настройки коэффициентов этих блоков.

Передаточная характеристика данной схемы имеет три нуля: $\omega_{Z1}=k/(R_E C_{EL})$, $\omega_{Z2}=1/(R_E C_{EM})$, $\omega_{Z3}=R_N/L_N$ и четыре полюса: $\omega_{P1}=k(1+g_m R_E/2)/R_E C_{EL}$, $\omega_{P2}=(1+g_m R_E/2)/R_E C_{EM}$, $\omega_{P3}=\omega_{P4}=1/\text{root}(C_N L_N)$, где C_N - емкость нагрузки. Рабочая область компенсации МСИ для средних частот расположена между ω_{Z2} и ω_{P2} . Низкочастотный диапазон сдвинут на величину k и расположен между ω_{Z1} и ω_{P1} .

Для предотвращения влияния паразитного нуля, проявляющегося в истоках дифференциальных пар с уменьшением C_E , в работе [6] реализована регулировка нагрузочной емкости C_N на выходе каскада. Такой подход увеличивает динамический диапазон регулировки усиления эквалайзера. Однако это приводит к увеличению минимальной нерегулируемой емкости непосредственно в тракте данных, что уменьшает полосу пропускания при больших C_E . Как альтернатива, для минимизации влияния паразитного нуля в представленную схему встроены резистор R_{UNP} , шунтирующий индуктивность L_N . Величина R_{UNP} зависит от текущего C_{EM} . В отличие от [6] негативный эффект снижается приблизительно на 75%.

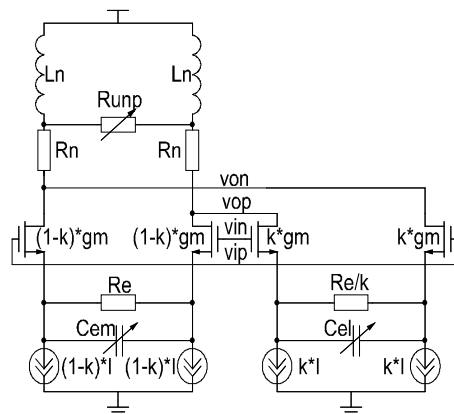


Рис. 2. Принципиальная схема LMCTLE

Принципиальная схема MCTLE подобна LMCTLE за исключением того, что вместо ветки низкочастотного эквалайзера подключены управляемые источники тока, корректирующие смещение постоянной составляющей прямого и инверсного сигналов.

При расчете параметров CTLE в данной работе учитывались два важных момента: 1) частота $f_B/2$, ограничивающая спектр полезного сигнала сверху (где f_B скорость потока данных) должна располагаться на экстремуме передаточной характеристики или правее, ограничивая высокочастотное усиление шума и перекрестные помехи, возникающие при передаче сигнала по каналу; 2) для DFE эквалайзера второго порядка, используемого в данной работе, МСИ ниже

$f_B/6$ (для интерфейса CEI-25G-LR $f_B/6=4,3$ ГГц) должна полностью компенсироваться за счет CTLE. Учитывая вышесказанное, ω_{Z2} и ω_{P2} имеют величины 1,6 и 6,4 ГГц, соответственно, значение $k=1/6$, ω_{Z1} и ω_{P1} имеют значения 0,26 и 1,04 ГГц, соответственно. На рис. 3 показано семейство передаточных характеристик на выходе двухкаскадного CTLE при разных значениях C_{EL} и C_{EM} , полученное после экстракции паразитных параметров и с реальной нагрузкой. Максимальный коэффициент передачи на частотах $f_B/2=12,9$ ГГц, $f_B/6=4,3$ ГГц и $f_B/36=0,72$ ГГц, фиксируемый относительно значения на нулевой частоте, составляет 14,2 дБ, 11,7 дБ и 3,2 дБ, соответственно. В главе IV будет продемонстрировано, что этих величин достаточно, чтобы удовлетворить требованиям CEI-25G-LR. На рис. 4 более детально показано семейство передаточных характеристик при разных значениях C_{EL} и фиксированном C_{EM} .

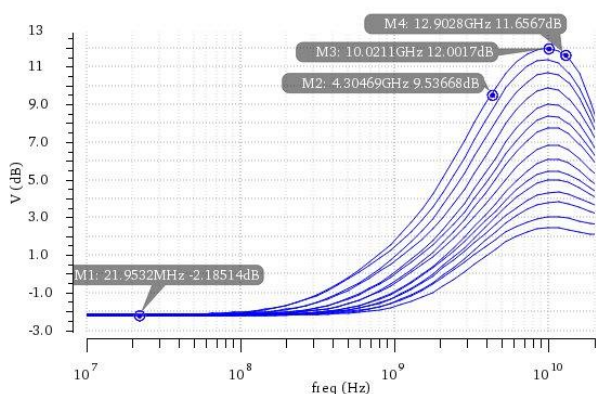


Рис. 3. Семейство передаточных характеристик на выходе двухкаскадного CTLE при разных значениях C_{EL} и C_{EM}

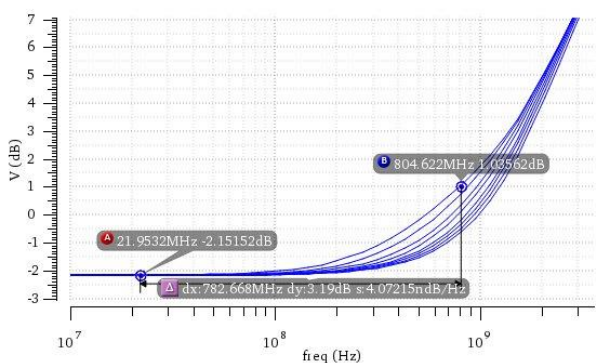


Рис. 4. Семейство передаточных характеристик на выходе двухкаскадного CTLE при разных значениях C_{EL} и фиксированном C_{EM}

В. Автоматическая регулировка усиления

Блок VGA необходим для обеспечения оптимального уровня сигнала на входе DFE. Принципиальная схема VGA показана на рис. 5. Усиление регулируется посредством резистора R_V . Коэффициент передачи VGA данной схемы: $K_{DCV}=(g_m R_N)/(1+g_m R_V/2)$.

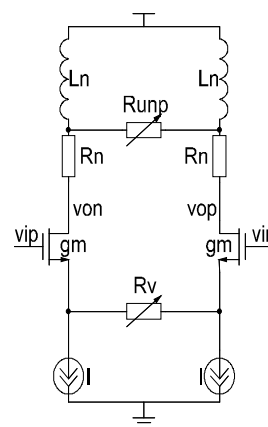


Рис. 5. Принципиальная схема VGA

Для того, чтобы определить необходимый диапазон перестройки коэффициента передачи VGA, а также минимальное и максимальное значение, необходимо учесть целый ряд факторов: 1) диапазон перестройки выходного дифференциального напряжения передатчика, определяемый стандартом; 2) диапазон передаточных характеристик канала, определяемый стандартом; 3) диапазон передаточных характеристик CTLE и ODT; 4) приемлемый диапазон входного дифференциального напряжения DFE, ограниченный чувствительностью компараторов снизу и их нелинейностью сверху.

Исходя из данных интерфейса CEI-25G-LR, полученных передаточных характеристик CTLE и ODT, и приемлемого входного дифференциального напряжения DFE, находящегося между 50÷700 мВппд, расчет показывает, что приемник может корректно функционировать без VGA. Это становится возможным благодаря тому, что коэффициент передачи по постоянному току блоков CTLE и ODT фиксирован и имеет незначительное отрицательное значение. Тем не менее, в данный приемник введен один каскад VGA, что позволяет при необходимости, либо уменьшить минимально-допустимое дифференциальное напряжение на выходе передатчика, тем самым снижая потребление выходного драйвера, либо передавать сигнал через канал с затуханием больше допустимого интерфейсом.

На рис. 6 показано семейство передаточных характеристик на выходе тракта ODT_CTLE_VGA при разных значениях R_V , и максимальном значении C_{EL} и C_{EM} , полученное после экстракции паразитных параметров и с реальной нагрузкой. Коэффициент передачи VGA регулируется в диапазоне 6,7 дБ.

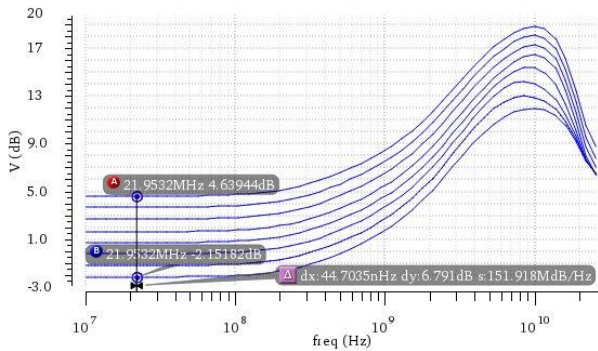


Рис. 6. Семейство передаточных характеристик на выходе тракта ODT_CTLE_VGA при разных значениях R_V и максимальном значении C_{EL} и C_{EM}

С. Эквалайзер с решающей обратной связью

Блок DFE компенсирует МСИ без усиления шума и перекрестных помех. Функциональная схема DFE показана на рис. 7 и состоит из двух трактов: Data и Auxiliary, тактируемых синхросигналом CLK. Трасс Data формирует восстановленные данные DEVEN/DODD. Трасс Auxiliary фиксирует информацию AEVEN/AODD, необходимую для вычисления коэффициентов DFE, VGA, CTLE, а также контроля фазы и частоты тактового сигнала. DFE реализован по half-rate архитектуре и тактируется с частотой $f_B/2$, из чего следует, что каждый трасс содержит по два параллельных абсолютно идентичных конвейера, для обработки четных (EVEN) и нечетных (ODD) импульсов входной последовательности.

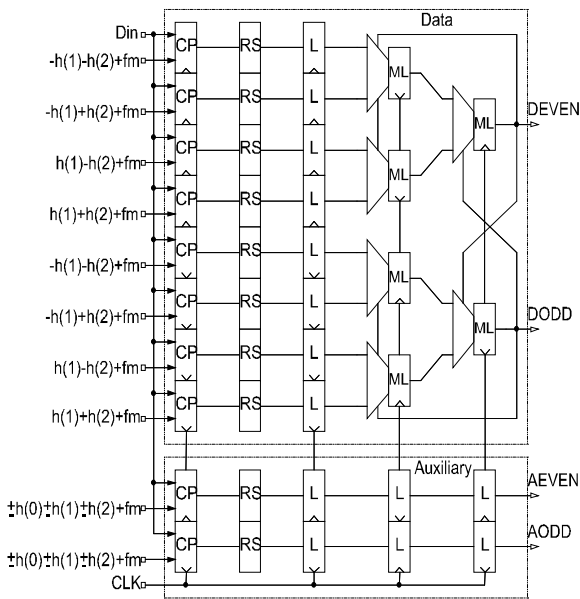


Рис. 7. Функциональная схема спекулятивного DFE второго порядка

Сигнал D_{IN} с выхода VGA и управляющее напряжение с VDAC подаются на компараторы CP, фиксируя актуальную информацию в RS защелке. Управляющее напряжение для каждого компаратора уникально и состоит из суммы весовых коэффициентов

$h(k)$, где k - порядок эквалайзера, и коэффициента f_M , компенсирующего смещение нуля компаратора, где M порядковый номер компаратора. В данной работе используется DFE эквалайзер второго порядка, компенсируя МСИ в диапазоне $(f_B/6 \div f_B/2)$. Оба порядка реализованы спекулятивным образом (loop unrolling). Поскольку для half-rate архитектуры 2^{k+1} компараторов необходимо для фиксации всех возможных комбинаций, трасс Data содержит 8 компараторов. Трасс Auxiliary имеет только 2 динамически перепрограммируемых компаратора. Таким образом, в нагрузке блока VGA только 10 статических компараторов, что существенно снижает потребление первого. Компараторы реализованы на основе double-tail sense amplifier [7] с управляемым напряжением.

Актуальная информация на выходах DEVEN/DODD формируется исходя из текущего и двух предшествующих символов последовательности. Эта функция реализована на защелке ML, имеющей входной мультиплексор. Отметим, что формирование сигналов обратной связи к моменту стробирования должно осуществляться не более чем за один единичный интервал UI (unit interval) потока данных. Принципиальная схема ML, гарантирующая выполнение этого требования, показана на рис. 8.

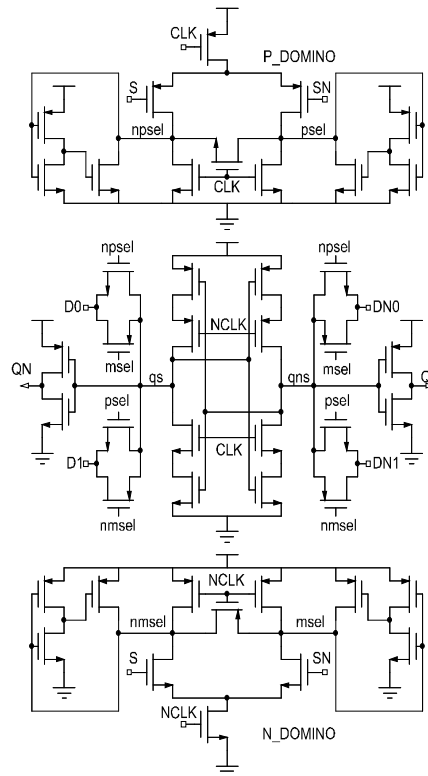


Рис. 8. Принципиальная схема защелки ML

Дифференциальные данные D0/DN0 и D1/DN1 подаются на комплементарные ключи, управляемые сигналами psel/npsel и msel/nmsel. Когда CLK принимает значение логической "1", сигналы psel/npsel предзаряжаются к "0", а msel/nmsel к "1", таким образом комплементарные ключи полностью закрыты. После

ухода CLK в “0” наступает фаза регенерации. В зависимости от S/NS сигналы psel/npsel и msel/nmsel принимают дифференциальные значения, открывая соответствующие комплементарные ключи либо для D0/DN0, либо для D1/DN1. Быстродействие данной схемы достигается путём использования: 1) логики с предзарядом для формирования управляющих сигналов psel/npsel и msel/nmsel; 2) P_DOMINO для п-канальных ключей и N_DOMINO для р-канальных ключей; 3) полностью дифференциальной схемы.

Аккумулируя вышесказанное можно отметить: блок DFE в данной работе реализован без использования токовой логики, имеет небольшую входную емкость и управляется напряжением. Эти три фактора существенно улучшают энергоэффективность блока и приемника в целом.

D. Терминирование

Принципиальная схема ODT аналогична [8] и показана на рис. 9.

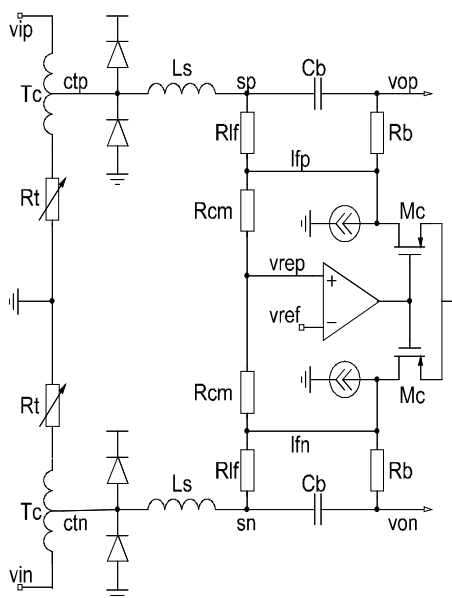


Рис. 9. Принципиальная схема ODT

Согласование входа ODT с каналом осуществляется путем терминирования резисторами R_T . Номинал R_T регулируется в диапазоне, перекрывающем технологический разброс. Для снижения потерь на отражения, вызванных главным образом влиянием емкости электростатической защиты, на вход ODT интегрирована дифференциальная катушка T_C . Оптимальное значение определяется из: $T_C = 2R_T^2 C_{ST} / 3$, где C_{ST} - емкость узла ctp/ctn.

Барьерные конденсаторы C_B формируют независимую постоянную составляющую в узлах vop/von, улучшая линейность и полосу пропускания CTLE. Вследствие ограничений площади кристалла и обеспечения необходимой полосы пропускания C_B не может иметь большой номинал, что не позволяет сформировать необходимое значение частоты среза $1/(R_B C_B)$. Это приводит к существенным искажениям

сигнала для псевдослучайных битовых последовательностей (Pseudo Random Bit Sequence) высокого порядка вследствие низкочастотных флуктуаций постоянной составляющей во времени. Для решения этой проблемы в [8] предлагается шунтировать C_B резистором R_{LF} . На низких частотах сигнал будет проходить на выход через R_{LF}/R_B . Полюс $\omega_{P1} = 1/(C_B + C_O)(R_{LF} + R_B)$, где C_O - емкость выходной нагрузки, компенсирует ноль $\omega_{Z1} = 1/C_B(R_{LF} + R_B)$ выравнивая амплитудно-частотную характеристику (АЧХ) ODT.

Желаемое значение постоянной составляющей vor/vop контролируется за счет петли обратной связи. Операционный усилитель управляет источником тока, реализованным на транзисторе M_C , подстраивая напряжение vrep к опорному напряжению vref, где номинал vref соответствует оптимальному значению постоянной составляющей CTLE. Для обеспечения достаточной полосы пропускания ODT в схему интегрирована катушка L_S . На рис. 10 показана передаточная характеристика ODT полученная после экстракции паразитных параметров и с реальной нагрузкой.

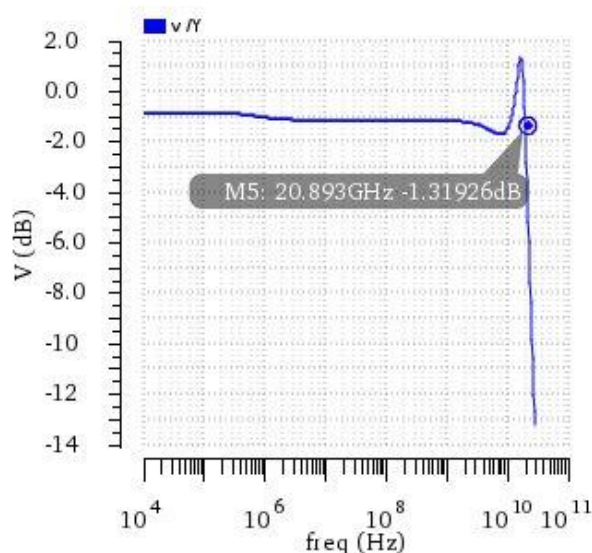


Рис. 10. Передаточная характеристика на выходе ODT

IV. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Входной тракт приемника спроектирован по технологии КМОП 28 нм и работает от напряжения питания 0,9 В. Топология показана на рис. 11 и имеет геометрические размеры 0,48 x 0,36 мм.

На рис. 12 показана зависимость дифференциальных R_SDD11 и синфазных R_SCC11 потерь на отражения на входе тракта приемника совместно с реальной моделью корпуса и печатной платы. Отражения удовлетворяют маскам интерфейса CEI-25G-LR.

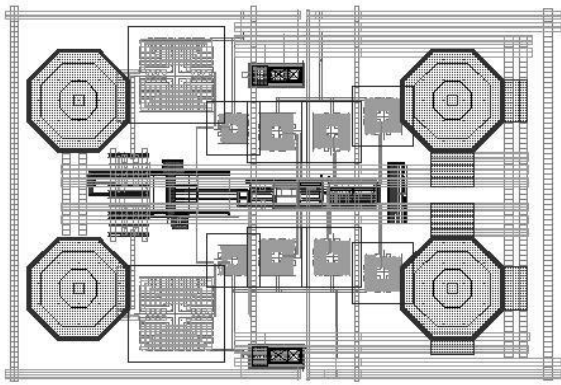


Рис. 11. Топология входного тракта приемника

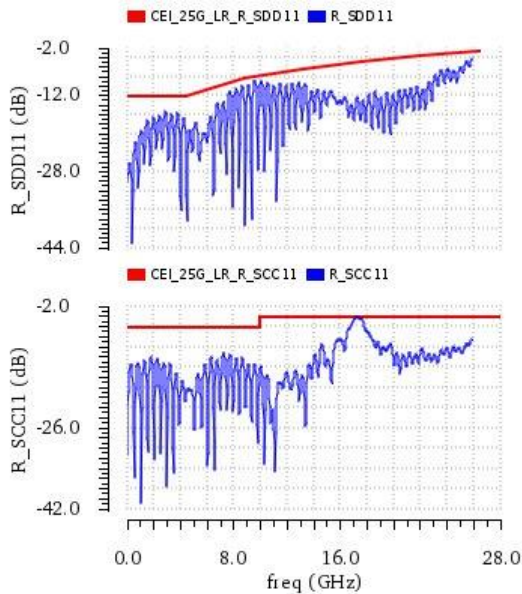


Рис. 12. Зависимость дифференциальных R_SDD11 и синфазных R_SCC11 потерь на отражение от частоты на входе приемника (синий) и маски интерфейса CEI_25G_LR (красный)

На рис. 13 показаны передаточные характеристики на входе DFE при максимальном/минимальном значении CTLE и оптимальном значении VGA, а также маски максимального I_{LMAX} и минимального I_{LMIN} инверсного затухания канала интерфейса CEI-25G-LR. Максимальная скорость потока данных CEI-25G-LR (long reach) составляет $f_B=25,8$ Гб/с, затухание канала на частоте Найквиста $I_{LMAX}(f_B/2)=25,5$ дБ и $I_{LMIN}(f_B/2)=4,0$ дБ. В идеале рабочая область CTLE должна охватывать маски интерфейса сверху и снизу в диапазоне $(0 \div f_B/6)=(0 \div 4,3)$ ГГц. Из рис. 13 видно, что охват смещен вверх приблизительно на 1,2 дБ. Это сделано намеренно, поскольку маски I_{LMAX} и I_{LMIN} не учитывают затухание корпуса передающей и приемной микросхемы.

На рис. 14 показаны четыре характеристики инверсного канала, представляющего собой реальную модель корпуса передатчика, корпуса приемника и печатной платы с длинами 58,8/44,1/29,4/14,7 см. Затухание канала на частоте Найквиста $f_B/2=12,9$ ГГц

составляет 27,8/21,5/15,2/8,7 дБ, соответственно. Передаточные характеристики, полученные на входе D_{IN} блока DFE при оптимальных установках CTLE_VGA, точно повторяют канал в диапазоне $(0 \div 4,7)$ ГГц. Таким образом, для приемника, содержащего DFE эквалайзер второго порядка, связка ODT_CTLE_VGA корректно обрабатывает данные прошедшие через канал с затуханием не менее 27 дБ на скорости 25,8 Гб/с. Отметим, что, хотя интерфейс CEI-28G-MR (middle reach) работает на скорости 28,1 Гб/с, максимально-допустимое затухание канала только 20 дБ. Для связки ODT_CTLE_VGA эта комбинация (скорость плюс затухание) менее критична, чем для CEI-25G-LR и автоматически выполняется.

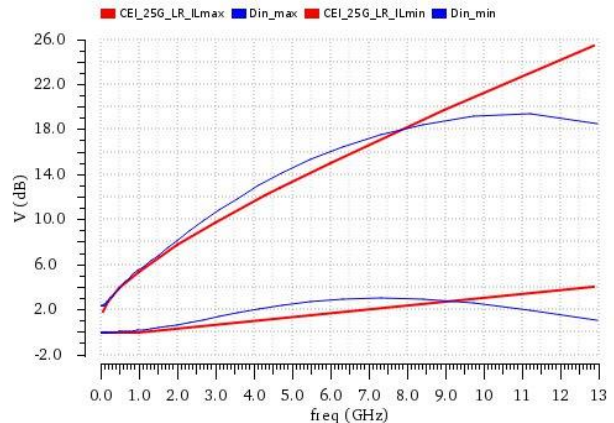


Рис. 13. Передаточные характеристики на входе DFE при максимальном/минимальном значении CTLE и оптимальном значении VGA (синий) и маски максимального (I_{LMAX})/минимального (I_{LMIN}) инверсного затухания канала интерфейса CEI_25G_LR (красный)

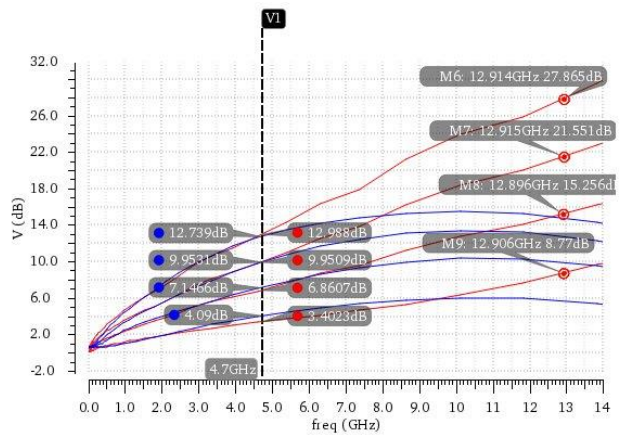


Рис. 14. Семейство характеристик инверсного затухания канала (красный) и передаточные характеристики на входе DFE при оптимальных установках CTLE и VGA (синий)

На рис. 15 показана зависимость задержки выходного сигнала компаратора CP_OUT и защелки RS_OUT от дифференциального напряжения на входе D_{IN} блока DFE при разных значениях постоянной составляющей. Из графика видно, что для $D_{IN}=42,5$ мВппд задержка на выходе CP_OUT составляет не

более 20,5 пс (должна быть в пределах UI), а для RS_OUT не более 30,8 пс (должна быть в пределах 2UI). Поскольку для интерфейса CEI-28G-MR единичный интервал UI=35,5 пс, имеется достаточный запас для функционирования в широком диапазоне температур и напряжения питания.

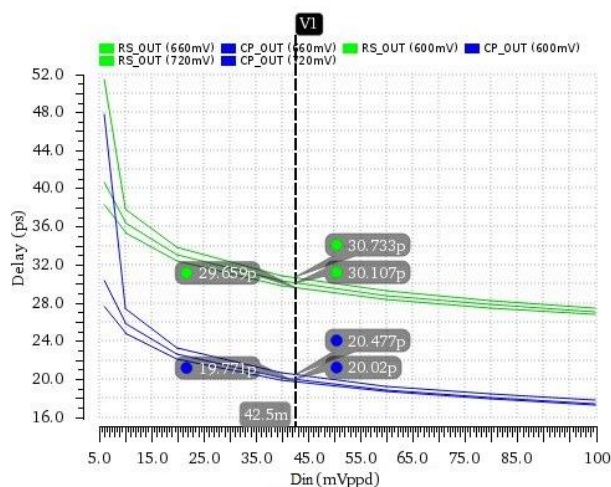


Рис. 15. Зависимость задержки выходного сигнала компаратора CP_OUT и защелки RS_OUT от дифференциального напряжения на входе D_{IN} при разных значениях постоянной составляющей

На рис. 16 показана зависимость предельно-допустимой скорости обработки данных блоком DFE от напряжения питания. В нормальных условиях допустимая скорость равна 34,5 Гб/с и не опускается ниже 30 Гб/с для напряжения питания 0,81 В.

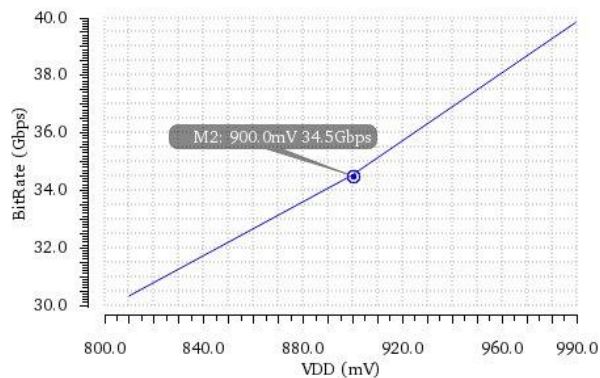


Рис. 16. Зависимость предельно-допустимой скорости обработки данных DFE от напряжения питания

В табл. 1 приведена потребляемая мощность ODT, CTLE_VGA, DFE на скорости 25,8 Гб/с работающих от напряжения питания 0,9 В. Суммарная потребляемая мощность всего входного тракта приемника составляет 37,3 мВт, а энергоэффективность 1,45 мВт/Гб/с.

Потребляемая мощность на скорости 25,8 Гб/с при напряжении питания 0,9 В

	Название блока	Мощность, мВт
	ODT	0,6
	CTLE_VGA	18,2
	DFE	18,5
Итого:		37,3

V. ЗАКЛЮЧЕНИЕ

Спроектирован входной тракт приемника (ВТП) для электрических коммутационных сред удовлетворяющий интерфейсам CEI-25G-LR и CEI-28G-MR. ВТП обрабатывает данные прошедшие через канал с затуханием 27 дБ на скорости 25,8 Гб/с и имеет энергоэффективность 1,45 мВт/Гб/с.

ПОДДЕРЖКА

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН по теме №0065-2019-0004.

ЛИТЕРАТУРА

- [1] Bulzacchelli J., Menolfi C., Beukema T., et al. A 28-Gb/s 4-tap FFE/15-tap DFE serial link transceiver in 32-nm SOI CMOS technology // IEEE Journal of Solid-State Circuits. 2012. V. 47. № 12. P. 3232-3248.
- [2] Kimura H., Aziz P., Jing T., et al. A 28-Gb/s 560 mW multi-standard SerDes with single-stage analog front-end and 14-tap decision feedback equalizer in 28 nm CMOS // IEEE Journal of Solid-State Circuits. 2014. V. 49. № 12. P. 3091-3103.
- [3] Parikh S., Kao T., Hidaka Y., et al. A 32Gb/s wireline receiver with a low-frequency equalizer, CTLE and 2-tap DFE in 28nm CMOS // IEEE International of Solid-State Circuits Conference. 2013. SES. 2. P. 28-29.
- [4] Miyaoka H., Terasawa F., Kudo M., et al. A 28.3 Gb/s 7.3 pJ/bit 35 dB backplane transceiver with eye sampling phase adaptation in 28 nm CMOS // Symposium on VLSI circuits digest of technical papers. 2016.
- [5] Proesel J., Dickson T. A 20-Gb/s, 0.66-pJ/bit serial receiver with 2-stage continuous-time linear equalizer and 1-tap decision feedback equalizer in 45nm SOI CMOS // Symposium on VLSI circuits digest of technical papers. 2011. P. 206-207.
- [6] Frans Y., Carey D., Erett M., et al. A 0.5-16.3 Gb/s fully adaptive flexible-reach transceiver for FPGA in 20 nm CMOS // IEEE Journal of Solid-State Circuits. 2015. V. 50. № 8. P. 1932-1944.
- [7] Schinkel D., Mensink E., Klumperink E., et al. A double-tail latch-type voltage sense amplifier with 18ps setup-hold time // IEEE International of Solid-State Circuits Conference. 2007. SES. 17. P. 314-315.
- [8] Gangasani G., Hsu C., Bulzacchelli J., et al. A 32 Gb/s backplane transceiver with on-chip ac-coupling and low latency CDR in 32 nm SOI CMOS technology // IEEE Journal of Solid-State Circuits. 2014. V. 49. № 11. P. 2474-2489.

AFE and DFE of the Receiver for the CEI-25-LR and CEI-28-MR Interfaces with Energy-Efficiency 1,45mW/Gb/s in CMOS 28 nm

A.V. Larionov, O.N. Buyakova, O.V. Sysoeva, S.E. Osina

Scientific Research Institute for the System Analysis, alar@cs.niisi.ras.ru

Abstract — The article presents analog front end (AFE) and decision-feedback equalizer (DFE) compliant with CEI-25G-LR and CEI-28-MR interfaces. AFE includes on-die termination (ODT), low-middle continuous time linear equalizers (LMCTLE), middle continuous time linear equalizers (MCTLE) and voltage gain amplifier (VGA). Half-rate 2-taps DFE has a fully speculative architecture. AFE and DFE are capable of processing data at 25,8 Gb/s for a channel loss 27 dB without of equalizer transmitter. The circuit is designed according to the CMOS technology of 28 nm, operates from a supply voltage of 0,9 V and has an energy-efficiency 1,45 mW/Gb/s. The resulting energy-efficiency is achieved by: 1) using LMCTLE to correct intersymbol interference (ISI) in the low-frequency part of the input signal spectrum, 2) DFE is implemented without using current mode logic, 3) aggressive employ of inductors.

One of the tasks of the receiver is to restore the integrity of the input signal. The main cause of signal degradation is ISI. The hardware costs necessary to solve this problem significantly affect the energy-efficiency of the receiver. To compensate for ISI, the receiver contains CTLE and DFE. One approach to cover the entire frequency spectrum of the received signal is the use of broadband DFE, which has a large filtering order. This DFE uses high-speed power-hungry current mode logic (CML) combiners with large input and output capacitance. The energy-efficiency of such a receiver is (10÷12) mW/Gb/s. Another approach is the use a fully speculative narrowband DFE without any power-hungry CML circuits. Compensation of ISI in the low-frequency part of the spectrum of the input signal is carried out by using an additional low continuous time linear equalizers (LCTLE). The energy-efficiency of the receiver about (6÷8) mW/Gb/s was achieved. However, LCTLE is based on the Cherry-Hooper topology, which requires two stages in the forward data path and an additional stage in the feedback loop. Also note that the DFE coefficients are regulated in a current manner, impairing energy-efficiency. A record receiver energy-efficiency of 0.66 mW/Gb/s was achieved with LCTLE is implemented in a passive manner, missing VGA, and speculative DFE has 1-tap. However, passive LCTLE reduces the bandwidth and sensitivity of the receiver, leading to a decrease in data processing speed, and too narrow DFE band limits the maximum permissible signal attenuation in the channel, which is unacceptable for the interfaces considered in this paper.

In this paper LMCTLE is a hybrid of two parallel branches, independently adjusting the gain in the lower and middle parts of the frequency spectrum. This solution eliminates the need for a separate circuit for the correction of low frequency

ISI. Note that LMCTLE and MCTLE have a fixed DC gain, relaxing the requirements for the VGA gain adjustment range.

The 2-taps speculative half-rate DFE is implemented in a fully digital manner. Comparators fixed four possible combinations of data followed by calculation of the actual value. Data at the DFE output is generated based on main and two post-cursors of the sequence by implementing feedback. This function is implemented on latches having an input multiplexer.

Keywords — transceiver, receiver, AFE, analog front end, CTLE, continuous time linear equalizer, DFE, decision-feedback equalizer, ODT, on-die termination, VGA.

REFERENCES

- [1] Bulzacchelli J., Menolfi C., Beukema T., et al. A 28-Gb/s 4-tap FFE/15-tap DFE serial link transceiver in 32-nm SOI CMOS technology // IEEE Journal of Solid-State Circuits. 2012. V. 47. № 12. P. 3232-3248.
- [2] Kimura H., Aziz P., Jing T., et al. A 28-Gb/s 560 mW multi-standard SerDes with single-stage analog front-end and 14-tap decision feedback equalizer in 28 nm CMOS // IEEE Journal of Solid-State Circuits. 2014. V. 49. № 12. P. 3091-3103.
- [3] Parikh S., Kao T., Hidaka Y., et al. A 32Gb/s wireline receiver with a low-frequency equalizer, CTLE and 2-tap DFE in 28nm CMOS // IEEE International of Solid-State Circuits Conference. 2013. SES. 2. P. 28-29.
- [4] Miyaoka H., Terasawa F., Kudo M., et al. A 28.3 Gb/s 7.3 pJ/bit 35 dB backplane transceiver with eye sampling phase adaptation in 28 nm CMOS // Symposium on VLSI circuits digest of technical papers. 2016.
- [5] Proesel J., Dickson T. A 20-Gb/s, 0.66-pJ/bit serial receiver with 2-stage continuous-time linear equalizer and 1-tap decision feedback equalizer in 45nm SOI CMOS // Symposium on VLSI circuits digest of technical papers. 2011. P. 206-207.
- [6] Frans Y., Carey D., Erett M., et al. A 0.5-16.3 Gb/s fully adaptive flexible-reach transceiver for FPGA in 20 nm CMOS // IEEE Journal of Solid-State Circuits. 2015. V. 50. № 8. P. 1932-1944.
- [7] Schinkel D., Mensink E., Klumperink E., et al. A double-tail latch-type voltage sense amplifier with 18ps setup-hold time // IEEE International of Solid-State Circuits Conference. 2007. SES. 17. P. 314-315.
- [8] Gangasani G., Hsu C., Bulzacchelli J., et al. A 32 Gb/s backplane transceiver with on-chip ac-coupling and low latency CDR in 32 nm SOI CMOS technology // IEEE Journal of Solid-State Circuits. 2014. V. 49. № 11. P. 2474-2489.