

Мажоритарный КМОП элемент при переключении и сборе заряда с трека одиночной частицы

Ю.В. Катунин¹, В.Я. Стенин^{1,2}

¹НИИ системных исследований Российской академии наук, г. Москва

²Национальный исследовательский ядерный университет “МИФИ”, г. Москва

katunin@cs.niisi.ras.ru, vystenin@mephi.ru

Аннотация — Приводятся результаты моделирования тройного мажоритарного элемента при сборе его транзисторами заряда с трека частицы и одновременном переключении по входам. Моделирование проведено с использованием 3D TCAD физических моделей КМОП транзисторов при проектных нормах 65 нм и объемной технологией для треков с линейным переносом частицей на них энергии 60 МэВ·см²/мг. Установлено, что длительность нестационарного состояния элементов И и ИЛИ в составе мажоритарного элемента при сборе заряда и одновременном переключении по входам практически не зависит от момента образования трека для каждой конкретной точки входа трека в группу транзисторов. При начале сбора заряда до сигналов переключения происходит либо опережающее во времени переключение элементов до появления сигналов переключения на входах в случаях, когда заряд начинают собирать запертые транзисторы, либо переключение с дополнительной задержкой, когда заряд начинают собирать исходно открытые транзисторы. В итоге время переключения мажоритарного элемента варьируется от 9 пс до 600 пс в зависимости от точки входа трека и сигналов на входах. При треках, возникающих после переключения элемента по входам, происходит образование импульса помехи на выходе элемента с длительностью того нестационарного состояния, которое характерно для данной точки входа трека.

Ключевые слова — импульсная помеха, мажоритарный элемент, моделирование, нестационарное состояние, одиночная частица, сбор заряда, трек.

I. ВВЕДЕНИЕ

Результатам исследования эффектов воздействия одиночных ионизирующих частиц посвящено большое количество публикаций. В обзоре [1] дан анализ начавшегося практического применения приборных физических моделей (physics-based device models) как двумерных (2D), так и трехмерных (3D), например, программ моделирования Davinci и Taurus компании Synopsys. В фундаментальной работе 2004 г. [2] на основе 3D моделирования Davinci цепочек КМОП инверторов с разными проектными нормами по объемной технологии было предсказано существенное ухудшение помехоустойчивости КМОП логики до уровня линейной передачи энергии на трек частицей

2 МэВ·см²/мг при снижении проектной нормы до 100 нм для КМОП.

Интересным результатом 3D моделирования, представленным в работе [2], является эффект перехода НМОП транзисторов КМОП инвертора с проектной нормой 0.18 мкм для объемной технологии в инверсный режим смещения при треках с линейной передачей энергии более 3 МэВ·см²/мг с достижением инверсного смещения на стоке менее -0.7 В при 7–10 МэВ·см²/мг и увеличением импульса помехи до 300–500 пс при линейной передаче энергии 30 МэВ·см²/мг.

При проектных нормах 65 нм и менее для КМОП существенен диффузионный перенос носителей заряда, индуцированных на треке частицы, на транзисторы смежных элементов [3]. Эту зарядовую связь логических элементов предложено использовать для уменьшения длительности импульсов помех при совместном сборе заряда транзисторами смежных элементов (effect of quenching), что впервые показано для комбинационной КМОП логики в работе [4].

Обзор [5], опубликованный в 2013 году, подвел итоги физическим, схемным, технологическим и конструктивным исследованиям, которые в настоящее время являются основой разработки и проектирования высокопроизводительных цифровых систем, предназначенных для работы под воздействием потоков частиц малой интенсивности, то есть одиночных ядерных частиц, в частности, и эффектам, связанным с возникновением импульсов помех, приводящих к образованию ложных сигналов. В КМОП наноразмерной комбинационной логике на тактовых частотах более 1 ГГц для снижения возросшей частоты таких "мягких" сбоев (Soft Error Rate – SER) требуются новые решения при конструктивно-топологическом проектировании.

Эффект коррекции импульсов помех за счет зарядовой связи смежных логических элементов использован при разработке топологии КМОП элементов декодеров [6], которые нашли применение в блоках суммирования выходных сигналов регистров ячеек ассоциативной памяти 65-нм КМОП буфера ассоциативной трансляции [7] в микропроцессоре с повышенной помехоустойчивостью.

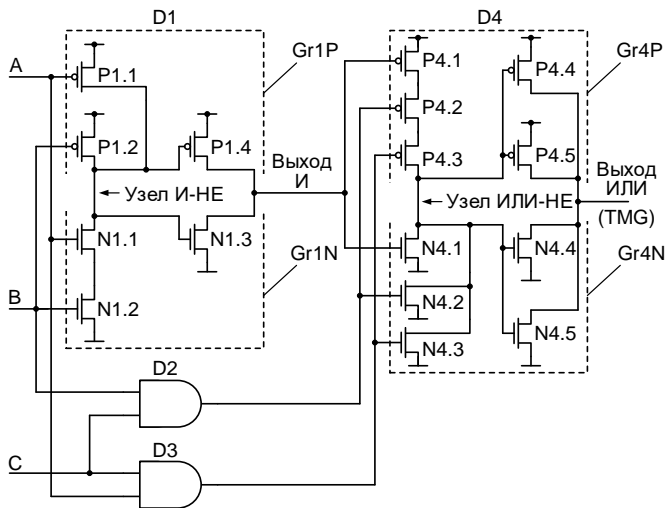


Рис. 1. Схема мажоритарного логического элемента И (D1- D3) и ИЛИ (D4) элементах

Моделирование средствами TCAD мажоритарного элемента на основе только логики И-НЕ при проектной норме 65 нм для КМОП объемной технологии показало, что при топологии с чередованием транзисторов [8] элементы И-НЕ можно улучшить помехоустойчивость к одиночным частицам по сравнению со стандартным вариантом топологии такого элемента.

Целью данного исследования является моделирование средствами TCAD нестационарного состояния КМОП логических элементов и получение количественных оценок импульсов помех пикосекундного диапазона в базовых комбинационных элементах на объемной КМОП технологии с мелкой траншейной изоляцией (Shallow Trench Isolation – STI) транзисторов. Речь идет об их практическом применении при проектировании высокопроизводительных КМОП микропроцессорных систем для космического применения.

II. МАЖОРИТАРНЫЙ ЭЛЕМЕНТ С КОМБИНАЦИОННОЙ ЛОГИКОЙ И И ИЛИ

На рис. 1 приведена функциональная схема тройного мажоритарного элемента (Triple Majority Gate – TMG) на основе трех КМОП двухвходовых комбинационных логических элементов И (D1-D3) и трех-входного элемента ИЛИ (D4). На рис. 1 элементы с логикой И (D1) и логикой ИЛИ (D4) представлены своими электрическими схемами, а элементы И (D2 и D3) представлены в виде функциональных блоков. Схемы элементов И (D1) и ИЛИ (D4) содержат группы транзисторов соответственно элементов И-НЕ и ИЛИ-НЕ, а также транзисторы инверторов.

Моделирование сбора транзисторами заряда с треков одиночных частиц проведено с использованием 3D TCAD физической модели КМОП элементов И и ИЛИ при проектной норме 65 нм для объемной КМОП технологии, изображение структуры которой приведено на рис. 2. Как тестовое воздействие принят

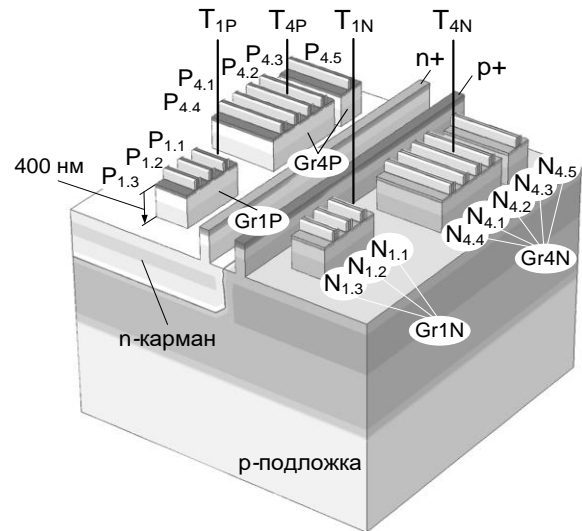


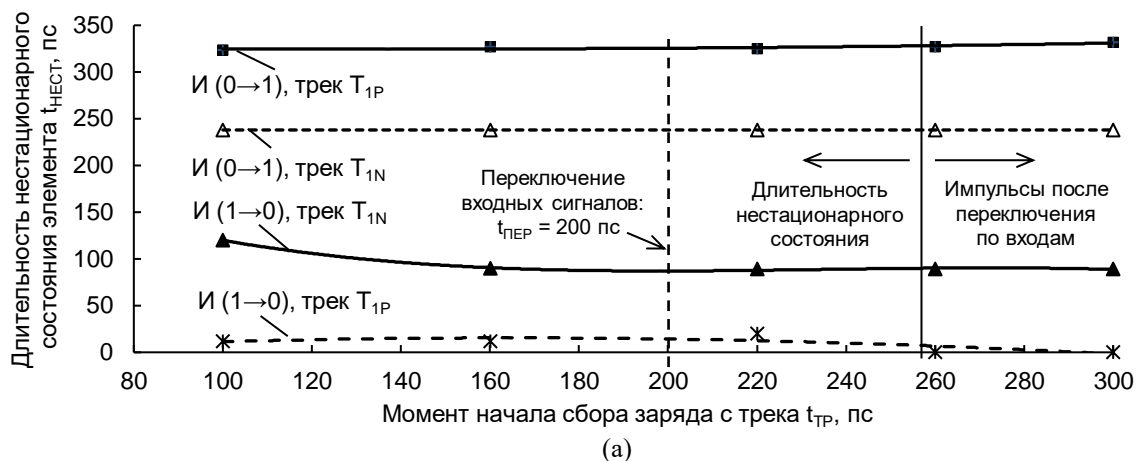
Рис. 2. Приборная 3D TCAD физическая модель элементов D1 (И) и D4 (ИЛИ)

сбор заряда с трека, направленного по нормали к поверхности приборной части модели элемента (примеры треков T_{1N} , T_{1P} , T_{4N} и T_{4P} приведены на рис. 2).

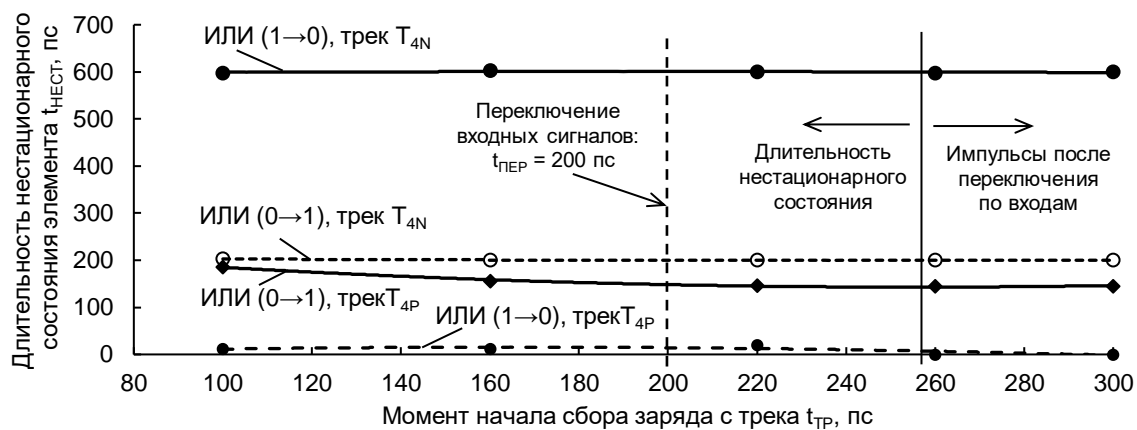
Каждый из элементов И и ИЛИ на рис. 2 состоит из двух групп транзисторов – одна группа из NМОП транзисторов Gr1N или Gr4N, вторая из PМОП транзисторов Gr1P и Gr4P. Инвертор в элементе ИЛИ состоит из двух параллельно соединенных инверторов (рис. 1), транзисторы которых конструктивно расположены симметрично с разных сторон транзисторов элемента ИЛИ-НЕ. В группе Gr4N это транзисторы N1.4 и N1.5, в группе Gr4P- транзисторы P1.4 и P1.5 (рис. 2). Это сделано для повышения эффективности коррекции длительности импульсов помех сбором заряда транзисторами инверторов с треков одиночных частиц с разными точками входа трека в группах транзисторов ИЛИ-НЕ [9].

Ширина каналов транзисторов элемента И равна 400 нм, транзисторов элемента ИЛИ – 800 нм. Конструкция элементов И и ИЛИ состоит из групп транзисторов, окруженных мелкой траншейной изоляцией глубиной 400 нм. Эта изоляция удалена из изображения структуры на рис. 2 для лучшей наглядности компоновки транзисторов в группы. Области с обозначениями n^+ и p^+ на рис. 2 являются фрагментами охранных полос.

В данной работе использовано гибридное TCAD-SPICE моделирование КМОП мажоритарного элемента, при котором средствами TCAD моделировались физические процессы генерации носителей заряда при передаче им энергии с трека и процессы сбора заряда транзисторами. Средствами SPICE моделировались передаточные характеристики двух элементов И (D2 и D3 на рис. 1), которые обеспечивали передачу сигналов на входы элемента ИЛИ (D4). Приборное моделирование КМОП транзисторов для объемной 65-нм технологии (с длиной канала 65 нм) проведено на основе 3D TCAD моделей транзисторов из работы [9].



(a)



(б)

Рис. 3. Длительности нестационарных состояний логических КМОП элементов И и ИЛИ в составе мажоритарного элемента TMG в зависимости от момента начала сбора заряда с трека при режиме опережающего переключения (штриховые линии) и при режиме с дополнительной задержкой (сплошные линии) при сборе заряда с трека при переключениях элемента TMG из “0” в “1” и из “1” в “0”; треки с направлением по нормали к поверхности приборной части модели при LET = 60 МэВ·см²/мг: (а) зависимости для элемента И; (б) зависимости для элемента ИЛИ

III. НЕСТАЦИОНАРНЫЕ СОСТОЯНИЯ ЭЛЕМЕНТОВ ПРИ СБОРЕ ЗАРЯДА С ТРЕКА ЧАСТИЦЫ И ПЕРЕКЛЮЧЕНИИ ЭЛЕМЕНТОВ ПО ВХОДАМ

В любом логическом состоянии элемента И (ИЛИ) есть NМОП или PМОП транзисторы в группах И-НЕ (ИЛИ-НЕ), которые заперты при входных сигналах “0” или “1”. Сбор заряда запертыми транзисторами с трека одиночной частицы, проходящего через группу И-НЕ (ИЛИ-НЕ), приводит к такому же изменению напряжений на узлах элемента И (ИЛИ), как и при переключении логических сигналов на входах элемента TMG.

Исходно запертые транзисторы при сборе заряда переходят в состояние, близкое к открытому, что переключает инвертор и меняет логическое состояние на выходе элемента И (ИЛИ). Такое изменение состояния транзисторов является опережающим переключением элемента TMG, и в этом состоянии транзисторы остаются, если сигналы на входах элемента переключаются до окончания сбора заряда с трека.

Если трек проходит через исходно открытые транзисторы в группе И-НЕ (ИЛИ-НЕ), то при сборе заряда они переходят чаще всего в инверсное состояние или близкое к нему, что сохраняет транзисторы того же типа канала в инверторе в исходно запертом состоянии. Запертые транзисторы инвертора начинают собирать заряд с трека, что затягивает процесс переключения элемента, приводя в итоге к дополнительной задержке переключения элемента TMG.

Графики зависимостей длительностей нестационарного состояния элементов И (рис. 3а) и ИЛИ (рис. 3б) в зависимости от момента образования трека и начала сбора заряда приведены для треков с наиболее чувствительными точками входа треков в группах И-НЕ (ИЛИ-НЕ) элементов И (ИЛИ) при переключении входов TMG из “0” в “1”, а также из “1” в “0”. Моделирование проведено при треках с линейным переносом энергии 60 МэВ·см²/мг и с направлением трека по нормали к поверхности приборной части модели.

Если возникновение трека и начало сбора заряда происходят после переключения сигналов на входах элемента, то изменение напряжения на его выходе при сборе заряда с трека является импульсом помехи или ложным сигналом для последующего элемента.

В качестве параметра количественного сопоставления переходных процессов при сборе заряда с каждого из треков при разных моментах времени их возникновения принята длительность нестационарного состояния как элемента И, так и элемента ТМГ по выходу ИЛИ. Длительность нестационарного состояния $t_{\text{нест}}$ определялась от момента образования трека и начала сбора заряда до завершения переключения на выходах И (ИЛИ). Завершение переключения оценивалось по уровню выходного сигнала, отличающегося на величину отклонения $\Delta V_{\text{вых}} = 0.3 \text{ В}$ от “идеальных” значений логических нуля “0” и “1”, на которых устанавливался переходный процесс переключения.

Зависимости напряжений на таких узлах элемента ТМГ, как выход И, выход ИЛИ, на узлах И-НЕ и ИЛИ-НЕ, сохраняются неизменными во времени, но они смещаются при изменении момента образования трека $t_{\text{тр}}$ относительно момента начала переключения сигналов $t_{\text{пер}} = 200 \text{ пс}$ на входах элемента ТМГ. При этом длительность нестационарного состояния элементов И и ИЛИ (и элемента ТМГ) практически не изменяется.

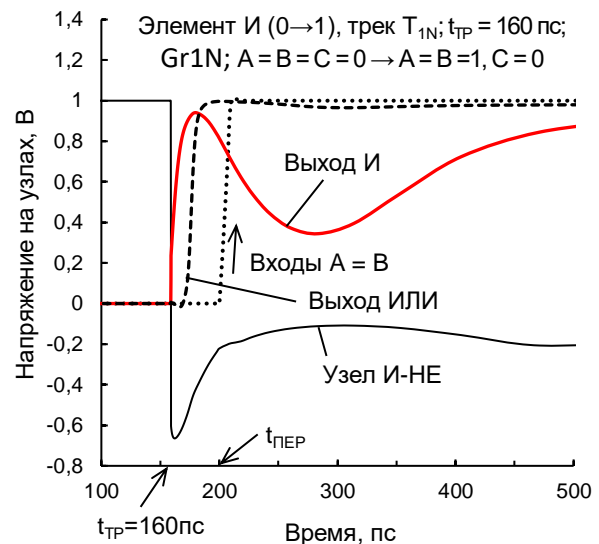
Из результатов моделирования, приведенных на рис. 3, следует, что длительность нестационарного состояния элементов И и ИЛИ при сборе заряда и одновременном переключении по входам ТМГ зависит от конкретной точки входа трека в группу транзисторов, от входных сигналов и практически не зависит от момента образования трека.

IV. ОПЕРЕЖАЮЩЕЕ ПЕРЕКЛЮЧЕНИЕ ЭЛЕМЕНТОВ И И ИЛИ СБОРОМ ЗАРЯДА С ТРЕКА

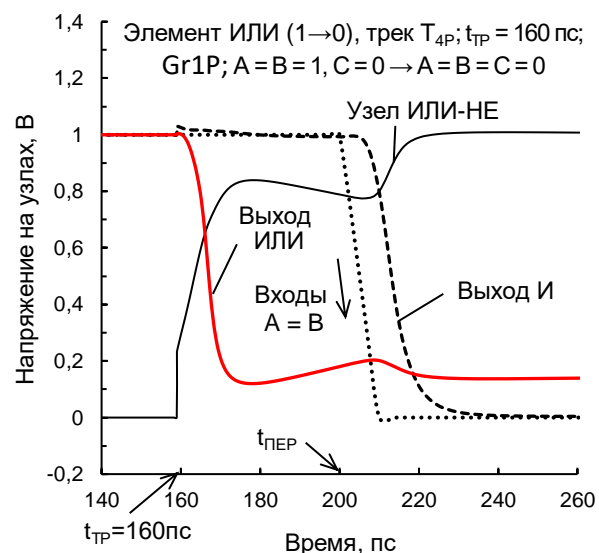
A. Трек через группу Gr1N элемента И

На рис. 4а приведены зависимости напряжений на узлах элемента И для трека T_{1N} в NМОП транзисторы группы Gr1P при сигналах на входах мажоритарного элемента $A = B = C = 0$ с переключением на $A = B = 1, C = 0$. Линейная передача энергии на трек LET = $60 \text{ МэВ}\cdot\text{см}^2/\text{мг}$, начало сбора заряда при $t_{\text{тр}} = 160 \text{ пс}$.

В случае треков через запертые NМОП транзисторы групп И-НЕ и ИЛИ-НЕ эти NМОП транзисторы переходят в инверсное смещение, что запирает NМОП транзисторы инверторов, которые, собирая заряд с трека, вызывают опережающие переключения (рис. 4а) сначала элемента И, а затем и элемента ИЛИ (и соответственно ТМГ). Запертый NМОП транзистор инвертора начинает собирать заряд с трека, формируя импульс отрицательной полярности на выходе И с амплитудой $0,7 \text{ В}$ (рис. 4а) после опережающего переключения. Следует особо отметить, что при опережающем переключении элемента И вслед за этим переключается с опережением и элемент ИЛИ



(а)



(б)

Рис. 4. Зависимости напряжений на узлах элементов мажоритарного элемента при опережающем его переключении сбором заряда с трека с LET = $60 \text{ МэВ}\cdot\text{см}^2/\text{мг}$, образование трека при $t_{\text{тр}} = 160 \text{ пс}$, переключение по входам при $t_{\text{пер}} = 200 \text{ пс}$: (а) элемент И, точка входа трека T_{1N} в группу Gr1N, переключение из $A = B = C = 0$ в $A = B = 1, C = 0$; (б) элемент ИЛИ, точка входа трека T_{1P} в группу Gr4P, переключение из $A = B = 1, C = 0$ в $A = B = C = 0$.

(зависимость “Выход ИЛИ”, отмеченная красным цветом на рис. 4а) до смены входных сигналов $A = B$.

B. Трек через группу Gr4P элемента ИЛИ

В случае элемента ИЛИ на рис. 4б сбор заряда с трека T_{4P} в группу Gr4P при сигналах на входах мажоритарного элемента $A = B = 1, C = 0$ с переключением на $A = B = C = 0$ осуществляет только один запертый PМОП транзистор P4.3 (рис. 1). Собранного заряда хватает, чтобы зарядить узел ИЛИ-

НЕ до напряжения 0,8 В (рис. 4б) и через инвертор провести опережающее переключение элемента ИЛИ в ТМГ. Затем узел ИЛИ-НЕ начинает разряжаться через единственный открытый NМОП транзистор N4.3 группы ИЛИ-НЕ. Через 25 пс после опережающего переключения изменяются входные сигналы элемента ТМГ, которые переключают выход элемента И уже после переключения ТМГ (рис. 4б).

Следует отметить, что при опережающем переключении сбором заряда с трека элемента ИЛИ (и опережающего переключения мажоритарного элемента) элемент И (зависимость “Выход И” на рис. 4б) остается в прежнем логическом состоянии до смены входных сигналов элемента $A = B$.

V. ПЕРЕКЛЮЧЕНИЕ ЭЛЕМЕНТОВ И И ИЛИ С ДОПОЛНИТЕЛЬНОЙ ЗАДЕРЖКОЙ

На рис. 5а приведены зависимости изменения напряжений на узлах элемента И при сборе заряда с трека в режимах, вызывающих дополнительные задержки при переключении элемента ТМГ и сборе заряда с трека, а на рис. 5б - на узлах элемента ИЛИ. Зависимости получены при образовании трека в момент $t_{\text{ТР}} = 160$ пс за 40 пс до сигналов переключения элемента по входам при $t_{\text{ПЕР}} = 200$ пс.

A. Трек через группу Gr1P элемента И

Дополнительные задержки переключения элемента ТМГ при сборе заряда РМОП транзисторами групп И-НЕ характеризуют зависимости на рис. 5а для элемента И. В случае трека через РМОП транзисторы группы И-НЕ элемента И до переключения входов элемента ТМГ из “0” в “1” РМОП транзисторы в начале остаются в открытом состоянии.

При переключении входов элемента ТМГ в “1” устанавливается запирающее напряжение 1 В на затворах РМОП транзисторов P1.1, P1.2 группы И-НЕ элемента И (схема на рис. 1) и сохраняется напряжение 1 В на узле И-НЕ, то есть на стоках транзисторов P1.1, P1.2 и затворе транзистора P1.3 инвертора (рис. 5а). В итоге узел И-НЕ начинает медленно разряжаться током последовательно соединенных транзисторов N1.1, N1.2, а это изменение напряжения инвертируется на выходе элемента И, пока на выходах элементов И и ТМГ не устанавливается напряжение 1 В.

B. Трек через группу Gr4N элемента ИЛИ

Изменения напряжений на узлах элемента ИЛИ на рис. 5б характеризуют переходные процессы при сборе заряда NМОП транзисторами группы ИЛИ-НЕ.

При переключении элементов ИЛИ из состояния “1” в “0” (рис. 5б) NМОП транзисторы группы ИЛИ-НЕ в исходном состоянии открыты и при сборе заряда переходят в инверсное смещение, а NМОП транзисторы инверторов остаются в исходном запертом состоянии. Запертые NМОП транзисторы инвертора, собирая заряд электронов, диффундировавших до них, вызывают снижение напряжения на выходе элемента ИЛИ (рис. 5б). И только после выхода NМОП транзисторов

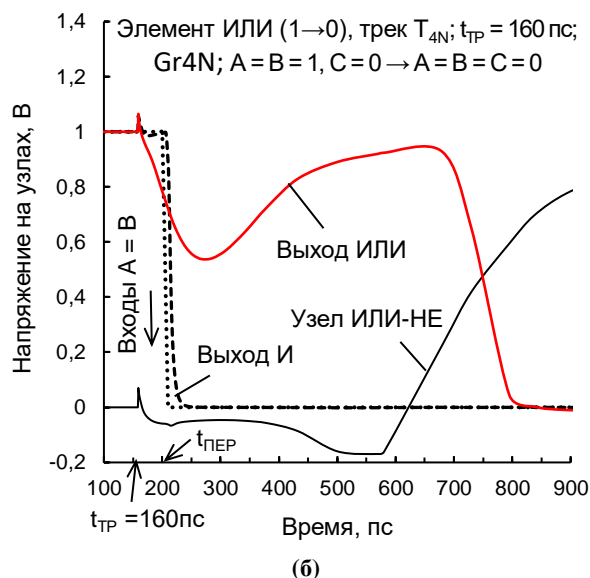
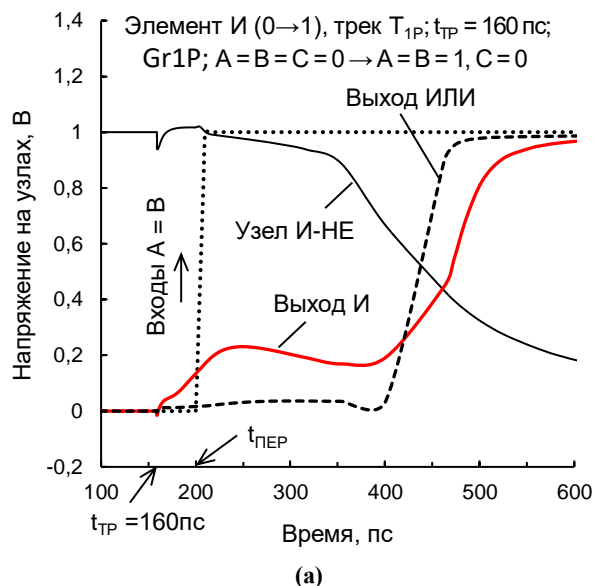


Рис. 5. Зависимости напряжений на узлах элементов мажоритарного элемента с дополнительной задержкой переключения при сборе заряда с трека с LET = 60 МэВ·см²/мг, образование трека при $t_{\text{ТР}} = 160$ пс, переключение по входам при $t_{\text{ПЕР}} = 200$ пс: (а) элемент И, точка входа трека T_{1P} в группу Gr1P, переключение из $A = B = C = 0$ в $A = B = 1, C = 0$; (б) элемент ИЛИ, точка входа трека T_{4N} в группу Gr4N, переключение из $A = B = 1, C = 0$ в $A = B = C = 0$.

из инверсного смещения выход элементов И и ИЛИ возвращается в состояние логического нуля “0”.

Следует отметить, что при переключении элемента И с дополнительной задержкой при сборе заряда с трека элемент ИЛИ (зависимость “Выход ИЛИ” на рис. 5а) успевает переключиться, хотя выход И только начинает переходить в новое состояние из прежнего логического состояния, сдерживаемый медленным снижением напряжения на узле И-НЕ и входе инвертора.

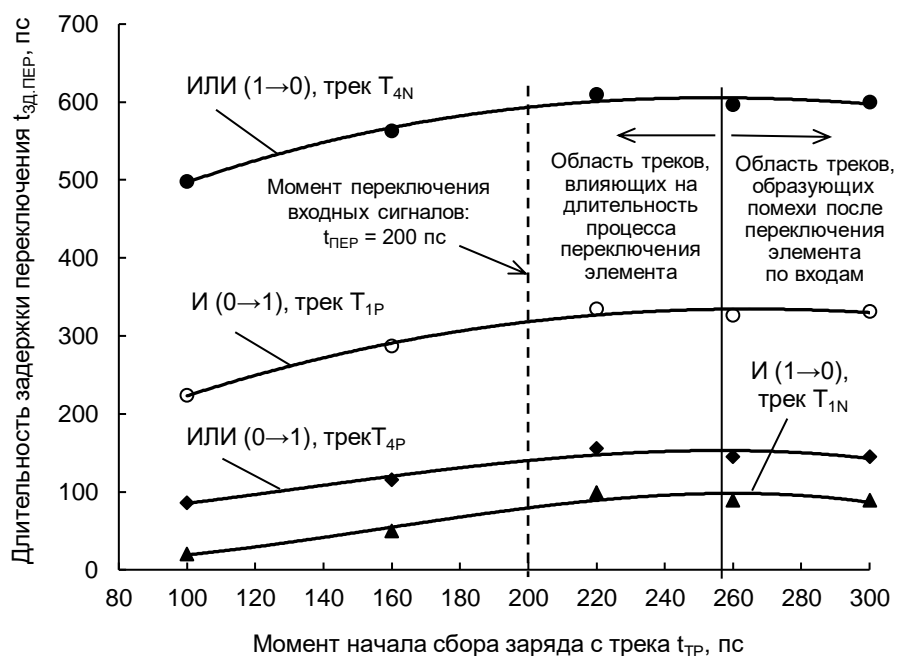


Рис. 6. Длительности задержки переключения логических КМОП элементов И и ИЛИ в составе мажоритарного элемента ТМГ относительно момента начала переключения по входам ТМГ при переключении с дополнительной задержкой при сборе заряда с трека в зависимости от момента начала сбора заряда с трека при переключении элемента ТМГ из “0” в “1” и из “1” в “0” для четырех точек входа трека, треки с направлением по нормали к поверхности приборной части модели и LET = 60 МэВ·см²/мг

VI. ДЛИТЕЛЬНОСТИ ЗАДЕРЖЕК ПЕРЕКЛЮЧЕНИЯ ЭЛЕМЕНТОВ И И ИЛИ

Характер и особенности переходных процессов на узлах и длительность нестационарного состояния элементов, приведенные для треков с $t_{тр} = 160$ пс, полностью сохраняются для треков с образованием при 100 пс и 220 пс, что получено моделированием средствами TCAD в данной работе (см. рис. 3). Более того, длительности импульсов помех для треков, образованных при $t_{тр} = 260$ пс и 300 пс после завершения переключения элемента, совпадают с длительностями нестационарных процессов для тех же точек входа треков с той только разницей, что начинается импульс помехи с другого логического уровня после состоявшегося переключения элемента.

На рис. 6 приведены графики длительностей задержки переключения элементов И и ТМГ (ИЛИ) $t_{зд.пер.}$ относительно момента начала переключения по входам ТМГ при сборе заряда с трека в зависимости от момента возникновения трека и начала сбора заряда для вариантов переключения элемента ТМГ из “0” в “1” и из “1” в “0”. Результаты получены при треках с линейным переносом энергии 60 МэВ·см²/мг и с направлением по нормали к поверхности модели.

Длительности задержек переключения элементов относительно момента возникновения сигналов переключения на входах элемента возрастают при приближении момента возникновения трека к моменту начала смены сигналов на входах ТМГ элемента (рис. 6).

Задержка переключения элемента относительно момента смены сигналов на входах ТМГ при $t_{пер} = 200$ пс оказывается несколько меньше длительности нестационарного состояния элемента на интервал времени между возникновением трека $t_{тр}$ и до начала изменения сигналов на входах элемента $t_{пер}$, то есть на величину $\Delta t_{зд.пер.} = t_{пер} - t_{тр}$. Например (рис. 6), для случая $t_{тр} = 160$ пс длительность задержки переключения для случая на рис. 5а будет $t_{зд.пер.} = 287$ пс и $t_{зд.пер.} = 563$ пс для зависимости на рис. 5б.

При приближении момента появления трека $t_{тр}$ к моменту изменения сигналов на входах элемента $t_{пер}$ длительность задержки переключения увеличивается (рис. 6), приближаясь к длительности нестационарного состояния $t_{зд.пер.} = t_{нест}$ при совпадении моментов возникновения трека $t_{тр}$ и момента смены сигналов переключения $t_{тр} = t_{пер}$.

Это объясняется тем, что длительность нахождения элемента в нестационарном состоянии, отсчитываемая от момента образования трека, практически неизменна для конкретного трека и исходного состояния элемента.

Максимальное значение задержки переключения наблюдается при изменении сигналов на входах непосредственно перед моментом возникновения трека, и определяется как сумма интервала времени смены сигналов на входах ТМГ и длительности нестационарного состояния элемента для данной точки входа трека и исходного состояния элемента.

VII. АНАЛИЗ РЕЗУЛЬТАТОВ МОДЕЛИРОВАНИЯ

1. Длительность нестационарного состояния элементов И и ИЛИ при сборе заряда с трека и одновременном переключении по входам элемента TMG практически не зависит от момента образования трека для данной конкретной точки входа трека в группу транзисторов. Максимальные времена нестационарных состояний, когда трек проходит через открытые транзисторы с объединенными истоками и объединенными стоками в группе транзисторов Gr1P элемента И или в группе Gr4N элемента ИЛИ.

2. Исходно запертые транзисторы в группах И-НЕ (ИЛИ-НЕ) элементов И и ИЛИ могут переключаться при сборе заряда с трека при его образовании, что приводит к опережающему переключению элемента до изменения сигналов на его входах.

При опережающем переключении элемента TMG до изменения сигналов на его входах длительность нарастания фронта импульса выходного сигнала элемента TMG составляет 9–11 пс, что меньше длительностей задержек переключения мажоритарного элемента в режиме работы без воздействия одиночных частиц, которые заключены в пределах 35–58 пс.

Время опережения переключения $t_{\text{оп.пер}}$ – это разность между моментом возникновения сигналов переключения элемента на входах $t_{\text{пер}}$ и момента возникновения трека $t_{\text{тр}}$, приводящего к переключению элемента сбором заряда, $t_{\text{оп.пер}} = t_{\text{пер}} - t_{\text{тр}}$. Интервал времени опережения переключения уменьшается до нуля при сближении моментов образования трека и возникновения сигналов переключения элемента по входам.

3. Сбор заряда с треков, образованных после завершения переключения на выходе TMG, вызывает образование импульсов помех на выходе элемента TMG без его переключения. Длительность такого импульса помехи определяется длительностью нестационарного состояния, характерного для конкретной точки входа трека.

4. Длительность задержки переключения элементов относительно момента смены сигналов на входах элемента возрастает при приближении момента возникновения трека к моменту начала смены сигналов на входах мажоритарного элемента.

Отрицательные значения момента окончания переключения означают лишь то, на какое время ранее относительно момента начала изменения сигналов на входах происходит опережающее переключение.

VIII. ЗАКЛЮЧЕНИЕ

Результаты моделирования средствами 3D TCAD, полученные при линейной передаче энергии на трек $60 \text{ МэВ}\cdot\text{см}^2/\text{мг}$, подтвердили достаточно хорошую помехоустойчивость мажоритарного элемента на основе комбинационной логики И и ИЛИ с проектной

нормой 65-нм для КМОП объемной технологии. Особенности характеристик элемента при сборе заряда с трека ионизирующей частицы совместно с переключением сигналов на входах следует учитывать при проектировании КМОП микропроцессорных систем для космического применения. К этим особенностям относится практически неизменность длительности нестационарного состояния независимо от момента возникновения трека, если он возникает до переключения по входам. Другой особенностью является либо опережающее переключение мажоритарного элемента до переключения по входам, либо дополнительное увеличение задержки переключения, инициируемые сбором заряда с трека и зависящие от значений сигналов на входах. Время переключения может варьироваться от 9 пс до 600 пс в зависимости от точки входа трека и сигналов на входах.

Благодарности: Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 19-07-00651.

ЛИТЕРАТУРА

- [1] Dodd P.E., Messengill L.W. Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
- [2] Dodd P.E., Shaneyfelt M.R., Felix J.A., Shwank J.R. Production and Propagation of Single-Event Transients in High-Speed Digital Logic ICs // IEEE Transactions on Nuclear Science. 2004. V. 51. № 6. P. 3278–3284.
- [3] Ahlbin J. R., Messengill L. W., Bhuvu B. L., Narasimham B., Gadlage M. J., Eaton P. H., Single-event transient pulse quenching in advanced CMOS logic circuits // IEEE Transactions on Nuclear Science. 2009. V. 56. № 6. P. 3050–3056.
- [4] Atkinson N. M., Witulski A. F., Holman W. T., Ahlbin J. R., Bhuvu B. L., Messengill L. W., Layout technique for single-event transient mitigation via pulse quenching // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 885–890.
- [5] Ferlet-Cavrois V., Messengill L.W., Couker P. Single-Event Transients in Digital CMOS – A Review // IEEE Transactions on Nuclear Science. 2013. V. 60. № 3. P. 1767–1790.
- [6] Katunin Yu.V., Stenin V.Ya. TCAD Simulation of the 65-nm CMOS logical elements of the decoders with single-event transients compensation // Proceedings of 2018 Workshop on Electronic and Networking Technologies (MWENT), Moscow, 2018. P. 1–6.
- [7] Stenin V.Ya., Antonyuk A.V., Katunin Yu.V., Stepanov P.V. Translation lookaside buffer on the 65-nm STG DICE hardened elements // Telfor Journal. 2018. V. 10. № 1. P. 50–55.
- [8] Katunin Yu.V., Stenin V.Ya., Prozorova A. G. Simulation of errors impulses from single ionizing particles in CMOS triple majority gates // in Proc. 2019 IEEE 31st International Conference on Microelectronics (MIEL), Niš, Serbia, 2019, P. 201 P 204.
- [9] Garg R., Khatri S.P. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.

The CMOS Majority Gate when Switching and Charge Collecting from the Track of a Single Particle

Yu.V. Katunin¹, V.Ya. Stenin^{1,2}

¹Scientific Research Institute of System Analysis of RAS, Moscow

²National Research Nuclear University MEPhI (Moscow Engineering Physics Institute), Moscow

katunin@cs.niisi.ras.ru, vystenin@mephi.ru

Abstract — The simulation results for the triple majority gate when its inputs switch during the charge collection by its transistors from the particle track are presented. The triple majority gate is based on three 2-input AND gates and one 3-input OR gate. Each of the gates (AND or OR) consists of two transistor groups. One group is a group of NMOS transistors, the other is a group of PMOS transistors. Combining transistors into groups is performed to implement the pulse quenching effect due to simultaneously charge collection by transistors of the same conductivity belonging to adjacent logic gates. Such layout optimization is performed to narrow the noise pulses caused by the impacts of particles. In this paper, we used a mixed TCAD-SPICE simulation. TCAD is preferred for simulation the physical processes of charge carrier generation and the processes of charge collection by transistors. One AND gate and one OR gate, involved in the switching process, were modeled using TCAD. Their 3D device models were designed using 65-nm CMOS bulk technology and located on the common area of the chip. The two remaining AND gates were modeled as SPICE 65-nm models. As a test effect, the charge is collected from a track directed normally to the chip surface. By default, the linear energy transfer value was 60 MeV·cm²/mg. It is found that the duration of non-stationary state in the AND gates and OR gate, forming the majority gate, when collecting the charge and simultaneously switching the input signals, practically does not depend on the moment, when the track appears, for each specific input track point into the group of transistors. When the charge is collected before switching signals, either the gates switch ahead of time before switching signals appear at the inputs, in cases when the closed transistors begin to collect the charge, or they switch with an additional delay when the initially open transistors begin to collect the charge. When the majority gate switches ahead the rise time of the output signal is 9-11 ps, which is less than the switching delays in operation mode without impacts of single particles, which are in the range of 35-58 ps. The switching delay of the triple majority gate increases as the moment, when the track originates, approaches to the moment, when the input signals begin to change. As result, the switching delay of the majority gate varies from 9 ps to 600 ps depending on the coordinate of the input track point and the signals at the inputs. For tracks that occur after switching the input signals of the majority gate, noise pulse is generated at the output of the gate with the duration of the non-stationary state typical for this input track point. The results of 3D mixed TCAD simulation confirmed a fairly good fault tolerance of the triple majority gate based on

AND gates and OR gate designed using 65-nm CMOS bulk technology. These results can be used for production of high-performance systems on chip designed for space applications.

Keywords — charge collection, majority gate, noise pulse, simulation, single event transient, single particle, track.

REFERENCES

- [1] Dodd P.E., Messengill L.W. Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
- [2] Dodd P.E., Shaneyfelt M.R., Felix J.A., Shwank J.R. Production and Propagation of Single-Event Transients in High-Speed Digital Logic ICs // IEEE Transactions on Nuclear Science. 2004. V. 51. № 6. P. 3278–3284.
- [3] Ahlbin J. R., Messengill L. W., Bhuvu B. L., Narasimham B., Gadlage M. J, Eaton P. H., Single-event transient pulse quenching in advanced CMOS logic circuits // IEEE Transactions on Nuclear Science. 2009. V. 56. № 6. P. 3050–3056.
- [4] Atkinson N. M., Witulski A. F., Holman W. T., Ahlbin J. R., Bhuvu B. L., Messengill L. W., Layout technique for single-event transient mitigation via pulse quenching // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 885–890.
- [5] Ferlet-Cavrois V., Messengill L.W., Couker P. Single-Event Transients in Digital CMOS – A Review // IEEE Transactions on Nuclear Science. 2013. V. 60. № 3. P. 1767–1790.
- [6] Katunin Yu.V., Stenin V.Ya. TCAD Simulation of the 65-nm CMOS logical elements of the decoders with single-event transients compensation // Proceedings of 2018 Workshop on Electronic and Networking Technologies (MWENT), Moscow, 2018. P. 1–6.
- [7] Stenin V.Ya., Antonyuk A.V., Katunin Yu.V., Stepanov P.V. Translation lookaside buffer on the 65-nm STG DICE hardened elements // Telfor Journal. 2018. V. 10. № 1. P. 50–55.
- [8] Katunin Yu.V., Stenin V.Ya., Prozorova A. G. Simulation of errors impulses from single ionizing particles in CMOS triple majority gates // in Proc. 2019 IEEE 31st International Conference on Microelectronics (MIEL), Niš, Serbia, 2019, P. 201 P 204.
- [9] Garg R., Khatri S.P. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.