

Проектирование топологии сбоеустойчивых ячеек статической памяти высокой плотности

А.О. Балбеков¹, М.С. Горбунов¹, А.М. Галимов²

¹ФГУ ФНЦ НИИСИ РАН, г. Москва, balbekov@cs.niisi.ras.ru

²АО НИИМА «Прогресс», г. Москва

Аннотация — Для защиты космической электроники от воздействия тяжелых заряженных частиц применяется ряд архитектурных и схемотехнических мер, в частности, это резервирование и использование сбоеустойчивых схем. В интегральных схемах, выполненных по технологии порядка 65 нм, одна частица может сбить несколько копий резервированного сигнала или затронуть несколько чувствительных узлов ячейки DICE. В данной статье представлены рекомендации по разработке топологии интегральных схем, которые позволят минимизировать кратность множественных сбоев при поддержании высокой плотности устройств, тем самым усилив эффективность архитектурных мер защиты.

Ключевые слова — ТЗЧ, SET, топология сбоеустойчивых ячеек памяти.

I. ВВЕДЕНИЕ

Различные топологические факторы могут влиять на образование множественных сбоев в интегральной схеме. Воздействие тяжелых заряженных частиц (ТЗЧ) приводит к образованию носителей заряда в объеме полупроводника. Носители растекаются по объему кармана и вызывают модуляцию его потенциала, которая является причиной сбоев, порожденных эффектом паразитного биполярного транзистора [1], [2]. Расположение чувствительных транзисторов в разных карманах позволяет снизить кратность множественных сбоев [3], вызванных последним эффектом. Контакты к карману участвуют в компенсации избытка носителей зарядов и стабилизации потенциала кармана. Результаты экспериментов в [4] и [5] показывают, что в блоках памяти рядом с контактами к карману кратность множественных сбоев меньше, чем в других областях. Ряд исследований демонстрирует, что увеличение плотности контактов к карману уменьшает длительность паразитного импульса [6], [7], [8]. В [9] защитный контакт к телу размещался между двумя транзисторами. Когда один из них подвергался воздействию ТЗЧ, на соседнем собиралось в 65 раз меньше зарядов, чем без защитного контакта. Размеры транзисторов также влияют: увеличение ширины транзистора приводит к уменьшению длительности паразитного импульса [10].

Существует удобное правило проектирования сбоеустойчивой топологии: чувствительные области

нужно разносить в пространстве на расстояние не менее 2 мкм [11]. Проектирование топологии с учетом этого правила приводит к большим потерям в площади и быстродействию. Применение резервирования для защиты от ТЗЧ кратно увеличивает размер устройства [12], [13]. Сбоеустойчивые ячейки памяти и триггеры занимают площадь в 2 и более раз больше, чем стандартные, но выполняют ту же функцию. В технологиях уровня 65 нм одна частица может привести к множественным сбоям, что накладывает необходимость разносить чувствительные узлы в резервированных схемах, что еще больше увеличивает размер топологии, а с ней и длину металлических соединений. Последнее означает увеличение влияния паразитных параметров на работу устройства: сбоеустойчивая схема работает медленнее и потребляет больше обычной.

В данной работе исследуется возможность снизить расстояние разнесения при попытке учесть влияние различных топологических факторов на образование множественного сбоя. Целью является снижение кратности множественных сбоев.

II. МОДЕЛИРОВАНИЕ

A. Методика моделирования

В данной работе используется ранее разработанная методика моделирования воздействия ТЗЧ на интегральную схему [14]. На первом этапе моделирования создается сетка сопротивлений, которая моделирует растекание зарядов по подложке и карману. Транзисторы дополняются схемой из диодов и источников тока, она представляет собой биполярный транзистор модели Эберса-Молла. На втором этапе на топологию накладывается область воздействия – окружность некоторого радиуса. К транзисторам, которые попали в область воздействия, подключаются источники тока. Полученная схема представлена на рис. 1, результат преобразуется в SPICE файл и передается симулятору. Методика использует набор параметров, их значения были получены после калибровки по данным эксперимента. Параметры и их значения представлены в табл. 1.

B. Моделируемая схема

Моделировались два инвертора, расположенных на некотором расстоянии друг от друга (рис. 2). Напряжение питания инверторов - 1 В. Воздействие

ТЗЧ подавалось на один из инверторов, отслеживалось напряжение на выходе другого, если оно пересекало пороговое значение $0,5V_{питания}$ - регистрировался сбой. При моделировании попадания в р-транзистор на входы инверторов подавалось напряжение 1 В, при моделировании попадания в п-транзистор на входы инверторов подавалось напряжение 0 В.

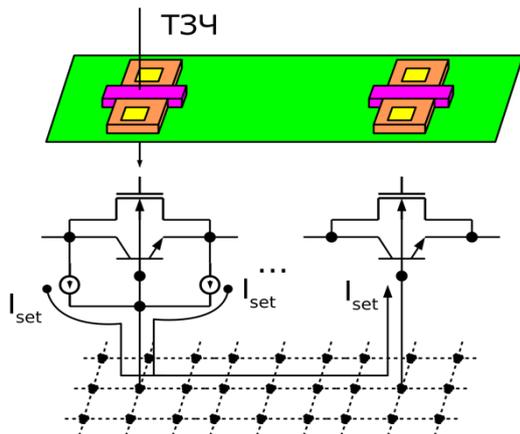


Рис. 1. Иллюстрация работы методики моделирования. ТЗЧ – трек частицы, I_{set} – источник тока, моделирующий воздействие частицы на устройство

Таблица 1

Калибровочные параметры

Параметр	Описание	Значение
$R_{p-подложка}$	Сопротивление р-подложки	1200 Ом
$R_{n-карман}$	Сопротивление п-кармана	600 Ом
$R_{p-карман}$	Сопротивление р-кармана	1200 Ом
$R_{контакт}$	Сопротивление межслойного контакта	10,4 Ом
α	Коэффициент передачи по току	0,8
l	Длина сбора	3 мкм
Распределение диаметра области воздействия по ЛПЭ		
ЛПЭ, МэВ·см ² /мг	Диаметр, мкм	
7	0,2	
18	0,4	
41	0,8	
60	1,6	

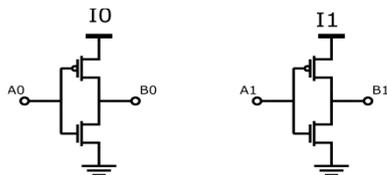


Рис. 2. Схема моделируемой структуры

С. Пространственное разнесение

Моделировалось 4 топологии. Базовая топология (БТ) – два расположенных рядом инвертора. КР – контакты к карману/подложке расположены рядом с транзисторами. КМ – контакты к карману/подложке расположены между транзисторами. ТМ – между

инверторами расположены другие транзисторы. Все варианты показаны на рис. 3. Инверторы расположены на расстоянии D друг от друга. Расстояние D менялось от 150 нм до 2,1 мкм. В результате моделирования было получено расстояние, на которое нужно разнести транзисторы одного типа так чтобы попадание ТЗЧ в один из них не повлияло на соседний инвертор, результаты представлены в табл. 2. При моделировании учитывался только случай нормального падения частиц

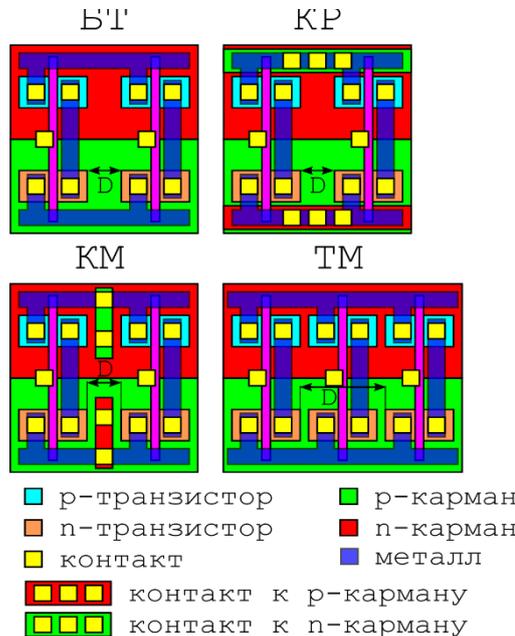


Рис. 3. Моделируемая топология

Таблица 2

Пространственное разнесение транзисторов

Топо логия	ЛПЭ, МэВ·см ² /мг	Расстояние для р-транзистора, мкм	Расстояние для п-транзистора, мкм
БТ	7	0,15	0,15
	18	1,50	0,15
	41	> 2,1	0,30
	60	> 2,1	0,45
КР	7	0,15	0,15
	18	0,15	0,15
	41	0,30	0,30
	60	0,45	0,45
КМ	7	0,49*	0,49*
	18	0,45*	0,45*
	41	0,45*	0,45*
	60	0,45*	0,45*
ТМ	7	0,71*	0,71*
	18	0,71*	0,71*
	41	> 2,1	1,2
	60	> 2,1	> 2,1

* – минимальное расстояние согласно правилам проектирования

БТ – транзисторы p-типа наиболее чувствительны к воздействию ТЗЧ. На ЛПЭ 41 и 60 МэВ·см²/мг нечему компенсировать значительную просадку потенциала кармана, сбой зарегистрированы на расстоянии больше, чем 2 мкм от места попадания ТЗЧ. На ЛПЭ 7 и 18 МэВ·см²/мг расстояние разнесения чуть больше минимального расстояния по правилам проектирования.

КР – для p-транзисторов расположение контактов к карману рядом с транзисторами "выключило" эффект биполярного транзистора. Расстояние разнесения сократилось до размера области сбора зарядов (min - 0,2 мкм, max - 1,2 мкм). Для транзисторов n-типа результаты аналогичны БТ. Такое расположение контактов к телу часто используется в стандартных ячейках.

КМ – в топологии КМ минимальное расстояние между транзисторами согласно правилам проектирования 0,45 мкм, оно же будет расстоянием разнесения. Причины такие же, как в КР. В автоматизированном маршруте проектирования топологии можно использовать контакты к телу из библиотеки стандартных ячеек (tap cell) для разделения троированной логики по горизонтали.

ТМ – минимальное расстояние между транзисторами 0,71 мкм. Транзистор p-типа на ЛПЭ 41 и 60 МэВ·см²/мг сбивается на любом расстоянии. Транзисторы n-типа нужно разносить дальше, чем в БТ. Для компенсации потери площади при разнесении используют перемешивание, но таким образом можно сделать уязвимую топологию.

Можно заметить, что для n-транзистора расстояние разнесения, на котором перестает регистрироваться сбой, меньше, чем для p-транзистора. Расстояние разнесения для n-транзистора определяется размером области воздействия, т.е. доминирует диффузионный сбор зарядов. Аналогичные результаты опубликованы в [11], [15], [16].

D. Рекомендации к проектированию

Результаты моделирования из предыдущего раздела могут быть преобразованы в рекомендации к проектированию сбоеустойчивой топологии. Рекомендации предназначены для усиления архитектурных и схемотехнических мер защиты от воздействия ТЗЧ. В данном разделе описаны рекомендации для проектирования топологии, которые позволят снизить кратность множественных сбоев.

Введем определения: *чувствительный транзистор* - транзистор, попадание в который может привести к сбою; *нечувствительный транзистор* - попадание в него не приведет к сбою. Чувствительность транзистора зависит от напряжения на его контактах и может меняться в процессе работы устройства.

Рекомендации к проектированию для p-транзисторов:

1) Разнесение транзисторов без дополнительных контактов к карману возможно для защиты от ТЗЧ с

ЛПЭ < 18 МэВ·см²/мг. Расстояние разнесения должно быть не менее 1,5 мкм (I на рис. 4).

2) Внутри одного кармана разделять чувствительные транзисторы контактом к карману (II на рис. 4).

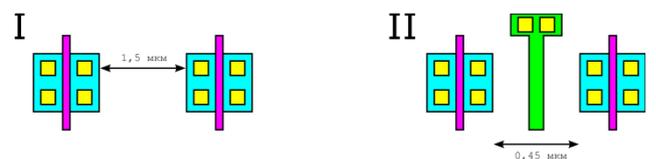
3) Размещать контакт к карману как можно ближе к чувствительным транзисторам. Если рядом с транзисторами есть контакт к карману, то для снижения чувствительности к ТЗЧ с ЛПЭ > 18 МэВ·см²/мг расстояние между транзисторами должно быть не менее 0,45 мкм (I на рис. 5).

4) При перемешивании чувствительных транзисторов с нечувствительными для снижения чувствительности к ТЗЧ с ЛПЭ > 18 МэВ·см²/мг нужно размещать рядом с ними контакт к телу (II на рис. 5).

Рекомендации к проектированию для n-транзисторов:

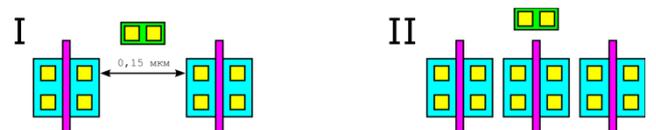
5) Для защиты от ТЗЧ с ЛПЭ > 18 МэВ·см²/мг необходимо соблюсти расстояние разнесения не менее 0,3 мкм (рис. 6). Для защиты от ТЗЧ с ЛПЭ < 18 МэВ·см²/мг расстояние разнесения может быть меньше.

6) При перемешивании чувствительных транзисторов с нечувствительными для снижения чувствительности к ТЗЧ с ЛПЭ > 18 МэВ·см²/мг нужно размещать рядом с ними контакт к телу (II на рис. 6).



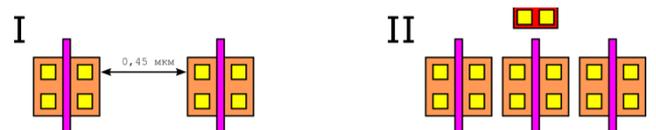
■ p-транзистор ■■■ контакт к n-карману
■ контакт

Рис. 4. Рекомендации 1–2



■ p-транзистор ■■■ контакт к n-карману
■ контакт

Рис. 5. Рекомендации 3–4



■ n-транзистор ■■■ контакт к подложке
■ контакт

Рис. 6. Рекомендации 5 и 6

Представленные выше рекомендации позволят повысить плотность размещения устройств в резервированных схемах, что даст возможность

создавать быстрые, сбоеустойчивые ИС при сохранении эффективности защитных мер.

III. ВЕРИФИКАЦИЯ РЕКОМЕНДАЦИЙ

A. Сбоеустойчивая память

В ФГУ ФНЦ НИИСИ РАН в сотрудничестве со специалистами ООО "Альфачип" разработан компилятор статической памяти с произвольным доступом по технологии TSMC 65 нм [17]. Компилятор памяти использует ячейки 3-х типов: однопортовые 6Т, двухпортовые 8Т и однопортовые DICE. Площадь 6Т и 8Т ячеек памяти в 2 раза меньше аналогичной ячейки памяти на основе DICE, это позволяет разместить на кристалле блок памяти большего объема.

Для повышения сбоеустойчивости блока памяти был применен ряд архитектурных решений. С данными блоками памяти предполагается использовать помехоустойчивое кодирование с исправлением однократных и обнаружением двукратных ошибок. Для эффективной работы этого кодирования необходимо, чтобы в слове сбивалось не больше 2 бит. В блоках памяти используется мультиплексирование $x2-x16$, колонка выбирается младшими битами адреса. Расстояние между соседними ячейками кратно размеру самих ячеек памяти и соответствует значению мультиплексирования. Мультиплексирование $x4$ проиллюстрировано на рис. 7. D, C, B, A – слова, располагающиеся по адресам b11, b10, b01, b00, P – физический адрес ячейки в массиве памяти. Видно, что соседние биты в D[1] и D[0] разнесены на расстояние равное размеру ячеек памяти, содержащих биты C[1], B[1], A[1]. Благодаря такому решению, множественный сбой в соседних ячейках по горизонтали превращается в несколько однократных сбоев в разных словах, находящихся по разным адресам. Несколько однократных сбоев будут скорректированы кодированием, а регулярный скраббинг позволит избежать накопления сбоев.

D[n]	C[n]	B[n]	A[n]	...	D[1]	C[1]	B[1]	A[1]	D[0]	C[0]	B[0]	A[0]
P[4n+3]	P[4n+2]	P[4n+1]	P[4n]	...	P[7]	P[6]	P[5]	P[4]	P[3]	P[2]	P[1]	P[0]

Рис. 7. Организация слов в строке

B. Ячейка памяти

Топология 6Т и 8Т ячеек памяти выполнена по одному принципу, который проиллюстрирован на рис. 8, при ее проектировании были применены меры защиты от воздействия ТЗЧ. Ячейки памяти расположены в массиве вертикально, одна над другой. Области n-кармана проходят вертикально через массив памяти. Все транзисторы плотно уложены в соответствующих областях. P-транзисторы бистабильной ячейки расположены в разных карманах справа и слева от n-транзисторов. В одном n-кармане лежит по одному p-транзистору от соседних ячеек. Расстояние между соседними ячейками памяти одного слова по горизонтали не менее 3 мкм.

Для успешного срабатывания решений с кодированием и мультиплексированием необходимо обеспечить отсутствие сбоев более чем в двух соседних ячейках по горизонтали. Так как сбой в одной или двух соседних ячейках памяти допустим, то можно разместить ее транзисторы максимально плотно, что сэкономит площадь. Для p-транзисторов можно считать чувствительной всю область кармана, для n-транзисторов чувствительной будет вся область положки. Рядом с транзисторами в области n-кармана и области p-подложки есть вертикальные контакты к телу, которые в массиве объединяются в один большой контакт (соответствует рекомендациям 4 и 6). Согласно рекомендациям 3 и 5 следует разнести соседние ячейки памяти по вертикали на расстояние не менее 0,45 мкм, что равно половине высоты ячейки. Если разместить ячейки плотно, одна над другой, то рекомендации 3, 5 и данные из таблицы 2 можно интерпретировать так, что кратность сбоев по вертикали будет не более 4.

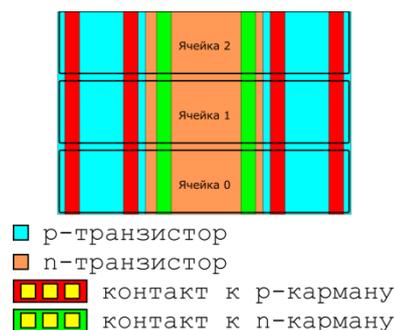


Рис. 8. Схема двухпортовой ячейки памяти

C. Моделирование массива ячеек памяти

С целью исследовать сбоеустойчивость массива памяти был проведен ряд моделирований. Моделировался массив 6×9 8Т ячеек памяти, в одном варианте моделирования использовался код b111111 (код 1), в другом использовался код b010101 (код 2). В обоих случаях флюенс составил $2,2 \cdot 10^9$ см². Параметры моделирования и ЛПЭ ионов показаны в табл. 1. На рис. 9 показаны распределения кратностей сбоев для кода 1 и кода 2. Максимальная кратность сбоев: на ЛПЭ 7, 18 – 2, на ЛПЭ 41 – 3, на ЛПЭ 60 – 4. Карты сбоев на рис. 10 и 11 показывают, что по горизонтали кратность сбоев не более 2, а по вертикали не более 4, т.е. даже при мультиплексировании $x2$ помехоустойчивое кодирование и скраббинг смогут исправить или обнаружить сбой. Моделирование показало выполнение оценок по кратностям сбоев по вертикали и горизонтали, сделанным на основании рекомендаций по проектированию.

D. Эксперимент

Было проведено два эксперимента по облучению образцов памяти на описанных выше ячейках. В эксперименте 1 использовались блоки памяти с мультиплексированием $x2$ и ячейками памяти 8Т. Массив заполнялся кодом A/5, физически строки

массива содержали код ..11001100.., флюенс составлял $0,89 - 1,85 \cdot 10^7 \text{ см}^{-2}$, параметры ионов указаны в табл. 3. В эксперименте 2 использовались блоки памяти с мультиплексированием $\times 8$ и ячейками памяти 6Т. Массив заполнялся кодом A/5, строки физического массива содержали код ..111111100000000.., флюенс составлял $1,5 - 4,4 \cdot 10^5 \text{ см}^{-2}$, параметры ионов указаны в табл. 4.

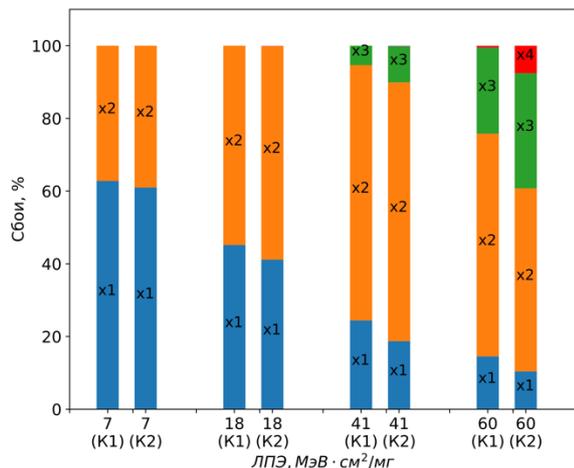


Рис. 9. Распределение кратностей сбоев в моделировании. Обозначения на оси абсцисс: K1 – результаты с кодом 1, K2 – результаты с кодом 2

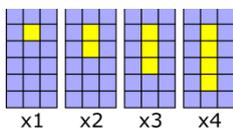


Рис. 10. Карты сбоев для кода 1

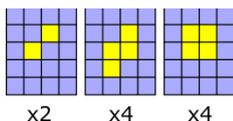


Рис. 11. Карты сбоев для кода 2

Таблица 3

Параметры ионов в эксперименте 1

Ион	Энергия, МэВ/нуклон	ЛПЭ, МэВ·см²/мг
^{40}Ar	25	6
^{84}Kr	26	20
^{132}Xe	23	46
^{132}Xe	11	67

Таблица 4

Параметры ионов в эксперименте 2

Ион	Энергия, МэВ/нуклон	ЛПЭ, МэВ·см²/мг
^{20}Ne	5	6
^{40}Ar	4	15
^{132}Xe	22	42
^{132}Xe	7	64

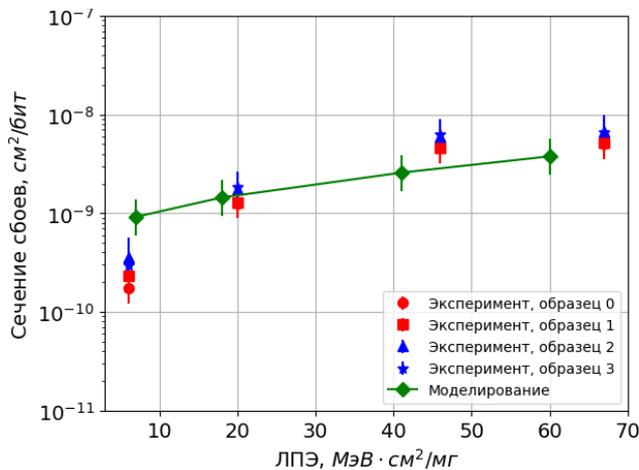


Рис. 12. Сравнение распределения сечения сбоев в эксперименте 1 и моделировании

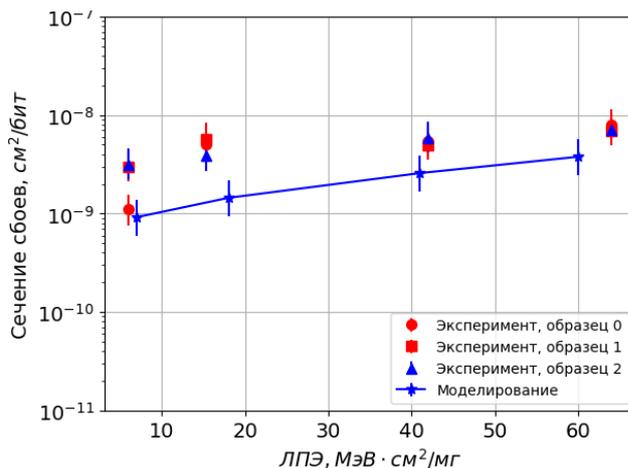


Рис. 13. Сравнение распределения сечения сбоев в эксперименте 2 и моделировании

На рис. 12 и 13 показано сравнение распределения сечения сбоев по ЛПЭ для эксперимента 1 и 2 с результатами моделирования. Значения совпадают в пределах одного порядка. На рис. 13 сравнивается результат эксперимента с ячейками 6Т и результат моделирования с ячейками 8Т, различие в сечении сбоев связано с тем, что ячейки 8Т в 1,2 раза больше ячеек 6Т. На рис. 14 и 15 показано распределение кратностей сбоев по ЛПЭ, на одном рисунке приведены данные эксперимента и результаты моделирования. На ЛПЭ $< 18 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ встречаются только $\times 1$ и $\times 2$ сбой. На ЛПЭ $> 40 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ обнаружены сбой с кратностью 3 и 4. В эксперименте 1 были зарегистрированы сбой с кратностью больше 4, количество этих сбоев не превышает 0,1 %, анализ карт сбоев высокой кратности позволил отнести их к ошибкам накопления. Карты сбоев эксперимента 1 и эксперимента 2 соответствуют картам сбоев, полученным в результате моделирования (рис. 10 и 11). Результаты экспериментов и моделирования показывают, что при такой топологии ячеек памяти нет сбоев с кратностью больше $\times 2$ по горизонтали. Множественные сбой, отраженные на картах на рис. 11 появляются в случаях, когда две соседние ячейки

памяти хранят разное значение. Перекося соотношения кратностей сбоев в сторону кратностей x_3 и x_4 в моделировании связан с кодом, который был записан в массив. В моделировании ячейки, хранившие разные значения, встречались гораздо чаще, чем в экспериментах. Экспериментальная проверка сбоеустойчивости блоков памяти, разработанных на основе ячеек, топология которых поддерживает рекомендации к проектированию из данной статьи, показала верность оценки сечения сбоев и их кратности, полученной в моделировании.

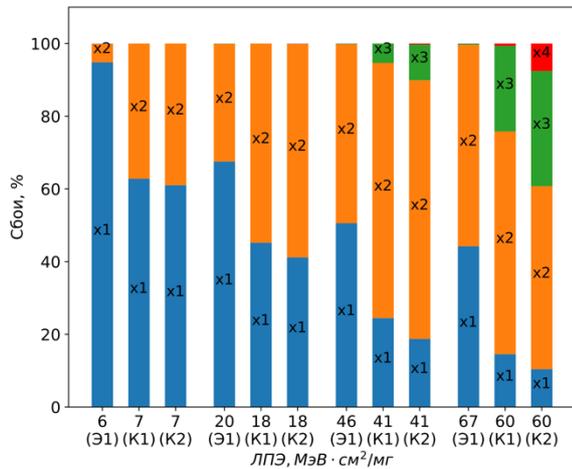


Рис. 14. Распределение кратностей сбоев в эксперименте 1. Обозначения на оси абсцисс: Э1 – результаты для эксперимента 1, К1 – результаты с кодом 1, К2 – результаты с кодом 2

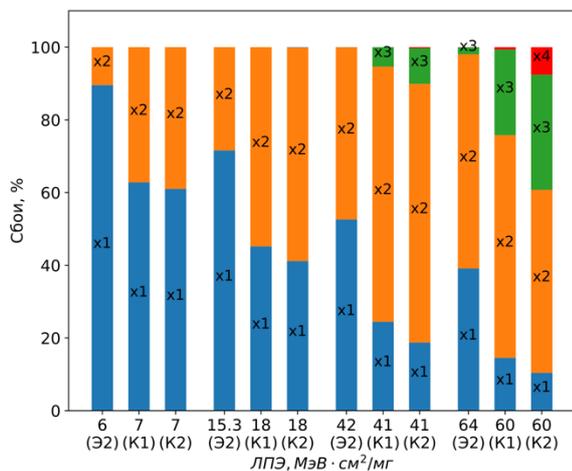


Рис. 15. Распределение кратностей сбоев в эксперименте 2. Обозначения на оси абсцисс: Э2 – результаты для эксперимента 2, К1 – результаты с кодом 1, К2 – результаты с кодом 2

IV. ЗАКЛЮЧЕНИЕ

В данной статье описан результат решения задачи по разработке быстрой сбоеустойчивой памяти высокой плотности, которую можно разместить на одном кристалле с процессором. Память предполагается использовать в микросхемах, ориентированных на работу в космосе, что потребовало озаботиться мерами повышения

сбоеустойчивости в условиях космической радиации, это привело к выбору ряда архитектурных решений. Для оценки эффективности этих мер была использована методика моделирования воздействия ТЗЧ на интегральные схемы, основанная на анализе топологии и SPICE моделировании. В работе показан процесс разработки рекомендаций к проектированию сбоеустойчивой топологии, эти рекомендации позволят усилить эффективность архитектурных и схемотехнических мер защиты от одиночных и множественных сбоев. В результате ряда моделирований инверторов с разной топологией были получены данные о пространственном разнесении транзисторов при разном расположении относительно них контактов к телу. Эти результаты легли в основу рекомендаций к проектированию сбоеустойчивой топологии. В статье представлены результаты моделирования и результаты экспериментов по облучению образцов памяти, топология ячеек которых следует сформулированным рекомендациям. Моделирование и эксперименты показали, что следование этим рекомендациям позволяет сократить кратность сбоев до x_3 – x_4 на высоких ЛПЭ частиц и до x_1 – x_2 на низких. Выбранные топологические решения позволили обеспечить отсутствие сбоев более x_2 в строке.

ПОДДЕРЖКА

Работа была выполнена при поддержке гранта № 18-37-20008 Российского фонда фундаментальных исследований.

ЛИТЕРАТУРА

- [1] J.G. Rollins, J. Choma, W.A. Kolasinski. Single Event Upset in SOS Integrated Circuits // IEEE Transactions on Nuclear Science. 1987. V. 34. № 6. P. 1713-1717.
- [2] R. Song, S. Chen, Y. Chi, Z. Wu, B. Liang, J. Chen, J. Xu, P. Hao, J. Yu. Experimental Characterization of the Dominant Multiple Nodes Charge Collection Mechanism // Applied Physics Letters. 2017. V. 110. № 23. P. 232106-1-4.
- [3] A. Evans, M. Glorieux, D. Alexandrescu, C. B. Polo, V. Ferlet-Cavrois. Single event multiple transient (semt) measurements in 65 nm bulk 1nology // 16th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Bremen, Germany, 19–23 Sep. 2016. P. 1–6.
- [4] N. Mahatme, B. Bhuvu, Y. Fang, A. Oates. Analysis of multiple cell upsets due to neutrons in srams for a deep-n-well process // 2011 International Reliability Physics Symposium. Monterey, CA, USA, 10–14 April 2011, P. SE.7.1–SE.7.6.
- [5] S. H. Jeon, S. Lee, S. Baeg, I. Kim, G. Kim. Novel error detection 2 with the harmonious use of parity codes, well-taps, and interleaving distance // IEEE Transactions on Nuclear Science. 2014. V. 61. № 5. P. 2711–2717.
- [6] O. A. Amusan, L. W. Massengill, B. L. Bhuvu, S. DasGupta, A. F. Witulski, J. R. Ahlbin. Design Iniques to reduce set pulse widths in deepsubmicron combinational logic // IEEE Transactions on Nuclear Science. 2007. V. 54. № 6. P. 2060–2064.
- [7] B. Narasimham, B. L. Bhuvu, R. D. Schrimpf, L. W. Massengill, M. J. Gadlage, W. T. Holman, A. F. Witulski, W. H. Robinson, J. D. Black, J. M. Benedetto, P. H. Eaton. Effects of guard bands and well contacts in mitigating long

- sets in advanced cmos processes // IEEE Transactions on Nuclear Science. 2008. V. 55. № 3, P. 1708–1713.
- [8] N. J. Gaspard, A. F. Witulski, N. M. Atkinson, J. R. Ahlbin, W. T. Holman, B. L. Bhuvu, T. D. Loveless, L. W. Massengill. Impact of well structure on single-event well potential modulation in bulk cmos // IEEE Transactions on Nuclear Science. 2011. V. 58. № 6. P. 2614–2620.
- [9] J. Black, A. Sternberg, M. Alles, A. Witulski, B. Bhuvu, L. Massengill, J. Benedetto, M. Baze, J. Wert, M. Hubert. HBD 3 isolation techniques for multiple node charge collection mitigation // IEEE Transactions on Nuclear Science. 2005. V. 52. № 6. P. 2536–2541.
- [10] W. Zhao, C. He, W. Chen, R. Chen, P. Cong, F. Zhang, Z. Wang, X. Guo, L. Ding. Single-event double transients in inverter chains designed with different transistor widths // IEEE Transactions on Nuclear Science. 2019. V. 66. № 7. P. 1491–1499.
- [11] O. A. Amusan, A. F. Witulski, L. W. Massengill, B. L. Bhuvu, P. R. Fleming, M. L. Alles, A. L. Sternberg, J. D. Black, R. D. Schrimpf. Charge collection and charge sharing in a 130 nm cmos technology // IEEE Transactions on Nuclear Science. 2006. V. 53. № 6. P. 3253–3258.
- [12] I.A. Danilov, A.I. Shnaider Khazanova, A.O. Balbekov, M.S. Gorbunov. Standard Verification Flow Compatible Layout-Aware Fault Injection Technique for Single Event Effects Tolerant ASIC Design // European Conference on Radiation and its Effects on Components and Systems. Montpellier, France, 16–20 Sep. 2019.
- [13] P. Chernyakov, A. Skorobogatov, A. Zvyagin, E. Emin, I. Danilov, A. Balbekov, A. Shnaider Khazanova, M. Gorbunov. Comparative Analysis of Layout-Aware Fault Injection on TMR-based DMA Controllers // 2019 IEEE 31st International Conference on Microelectronics (MIEL). Nis, Serbia, 16–18 Sep. 2019. P. 289–292.
- [14] A.O. Balbekov, M.S. Gorbunov, G.I. Zebrev. Circuit-Level Layout-Aware Modeling of Single-Event Effects in 65-nm CMOS ICs // IEEE Transactions on Nuclear Science. 2018. V. 65. № 8. P. 1914–1919
- [15] J. Qin, S. Chen, C. Guo, Y. Du. Simulation study of the singleevent effects sensitivity in nanoscale cmos for body-biasing circuits // IEEE Transactions on Device and Materials Reliability. 2014. V. 14. № 2. P. 639–644.
- [16] S. Chen, Y. Du, B. Liu, J. Qin. Calculating the soft error vulnerabilities of combinational circuits by re-considering the sensitive area // IEEE Transactions on Nuclear Science. 2014. V. 61. № 1. P. 646–653.
- [17] П.Г. Кириченко, А.О. Власов, А.А. Морозов, П.В. Тургунев, А.Г. Васильев. Разработка компиляторов радиационноустойчивых сбоеустойчивых СОЗУ по 65 нм КМОП технологии // Труды НИИСИ РАН. 2018. Т. 8. № 3. С. 42 – 43.

Layout Design Recommendations for Radiation-Hardened High-Density SRAM Cells

A.O. Balbekov¹, M.S. Gorbunov¹, A.M. Galimov²

¹SRISA RAS, Moscow, balbekov@cs.niisi.ras.ru

²JSC NIIMA PROGRESS, Moscow

Abstract — This article outlines the result of the efforts to design a radiation-hardened high-density SRAM for System-on-Chip integration. The SRAM is supposed to be exploited in space equipment. This circumstance prompted the designers to develop several architectural and circuit hardening measures. To evaluate the effectiveness of these measures, we used a SPICE based layout-aware simulation technique. In this work, we present the development process. The result of this process is a set of recommendations for layout design. The purpose of these recommendations is to reduce the multiplicity of the upset caused by a single charged particle. We used a spatial separation of two inverters with different well and body tie contacts as a parameter to conceive the recommendations. A memory cell, the layout of which follows the formulated recommendations, was used to build SRAM modules. The results of the simulations and irradiation experiments of the modules are presented in this article. The results have shown that following these recommendations can reduce the upset multiplicity rates to $\times 3$ - $\times 4$ at high LET and to $\times 1$ - $\times 2$ at low. The selected architectural solutions require the absence of failures with a multiplicity of more than $\times 2$ per line, which was possible to provide.

Keywords — SEU, SET, rad-hard memory cell layout.

REFERENCES

- [1] J.G. Rollins, J. Choma, W.A. Kolasinski. Single Event Upset in SOS Integrated Circuits // IEEE Transactions on Nuclear Science. 1987. V. 34. № 6. P. 1713–1717.
- [2] R. Song, S. Chen, Y. Chi, Z. Wu, B. Liang, J. Chen, J. Xu, P. Hao, J. Yu. Experimental Characterization of the Dominant Multiple Nodes Charge Collection Mechanism // Applied Physics Letters. 2017. V. 110. № 23. P. 232106-1-4.
- [3] A. Evans, M. Glorieux, D. Alexandrescu, C. B. Polo, V. Ferlet-Cavrois. Single event multiple transient (semt) measurements in 65 nm bulk technology // 16th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Bremen, Germany, 19–23 Sep. 2016. P. 1–6.
- [4] N. Mahatme, B. Bhuvu, Y. Fang, A. Oates. Analysis of multiple cell upsets due to neutrons in srams for a deep-n-well process // 2011 International Reliability Physics Symposium. Monterey, CA, USA, 10–14 April 2011, P. SE.7.1–SE.7.6.
- [5] S. H. Jeon, S. Lee, S. Baeg, I. Kim, G. Kim. Novel error detection 2 with the harmonious use of parity codes, well-taps, and interleaving distance // IEEE Transactions on Nuclear Science. 2014. V. 61. № 5. P. 2711–2717.
- [6] O. A. Amusan, L. W. Massengill, B. L. Bhuvu, S. DasGupta, A. F. Witulski, J. R. Ahlbin. Design techniques to reduce set pulse widths in deepsubmicron combinational logic // IEEE

- Transactions on Nuclear Science. 2007. V. 54. № 6. P. 2060–2064.
- [7] B. Narasimham, B. L. Bhuva, R. D. Schrimpf, L. W. Massengill, M. J. Gadlage, W. T. Holman, A. F. Witulski, W. H. Robinson, J. D. Black, J. M. Benedetto, P. H. Eaton. Effects of guard bands and well contacts in mitigating long sets in advanced cmos processes // IEEE Transactions on Nuclear Science. 2008. V. 55. № 3, P. 1708–1713.
- [8] N. J. Gaspard, A. F. Witulski, N. M. Atkinson, J. R. Ahlbin, W. T. Holman, B. L. Bhuva, T. D. Loveless, L. W. Massengill. Impact of well structure on single-event well potential modulation in bulk cmos // IEEE Transactions on Nuclear Science. 2011. V. 58. № 6. P. 2614–2620.
- [9] J. Black, A. Sternberg, M. Alles, A. Witulski, B. Bhuva, L. Massengill, J. Benedetto, M. Baze, J. Wert, M. Hubert. HBD 3 isolation techniques for multiple node charge collection mitigation // IEEE Transactions on Nuclear Science. 2005. V. 52. № 6. P. 2536–2541.
- [10] W. Zhao, C. He, W. Chen, R. Chen, P. Cong, F. Zhang, Z. Wang, X. Guo, L. Ding. Single-event double transients in inverter chains designed with different transistor widths // IEEE Transactions on Nuclear Science. 2019. V. 66. № 7. P. 1491–1499.
- [11] O. A. Amusan, A. F. Witulski, L. W. Massengill, B. L. Bhuva, P. R. Fleming, M. L. Alles, A. L. Sternberg, J. D. Black, R. D. Schrimpf. Charge collection and charge sharing in a 130 nm cmos 1nology // IEEE Transactions on Nuclear Science. 2006. V. 53. № 6. P. 3253–3258.
- [12] I.A. Danilov, A.I. Shnaider Khazanova, A.O. Balbekov, M.S. Gorbunov. Standard Verification Flow Compatible Layout-Aware Fault Injection Technique for Single Event Effects Tolerant ASIC Design // European Conference on Radiation and its Effects on Components and Systems. Montpellier, France, 16–20 Sep. 2019.
- [13] P. Chernyakov, A. Skorobogatov, A. Zvyagin, E. Emin, I. Danilov, A. Balbekov, A. Shnaider Khazanova, M. Gorbunov. Comparative Analysis of Layout-Aware Fault Injection on TMR-based DMA Controllers // 2019 IEEE 31st International Conference on Microelectronics (MIEL). Nis, Serbia, 16–18 Sep. 2019. P. 289–292.
- [14] A.O. Balbekov, M.S. Gorbunov, G.I. Zebrev. Circuit-Level Layout-Aware Modeling of Single-Event Effects in 65-nm CMOS ICs // IEEE Transactions on Nuclear Science. 2018. V. 65. № 8. P. 1914–1919
- [15] J. Qin, S. Chen, C. Guo, Y. Du. Simulation study of the singleevent effects sensitivity in nanoscale cmos for body-biasing circuits // IEEE Transactions on Device and Materials Reliability. 2014. V. 14. № 2. P. 639–644.
- [16] S. Chen, Y. Du, B. Liu, J. Qin. Calculating the soft error vulnerabilities of combinational circuits by re-considering the sensitive area // IEEE Transactions on Nuclear Science. 2014. V. 61. № 1. P. 646–653.
- [17] P.G. Kirichenko, A.O. Vlasov, A.A. Morozov, P.V. Turgenev, A.G. Vasil'ev. Radiation Resistant and Fault-Tolerant SRAM Compilers Development for 65-nm CMOS 1nology // Trudy NIISI RAN (in Russian). 2018. V. 8. № 3. P. 42 – 43.