

Метод валидации в кремнии библиотек стандартных цифровых элементов

С. А. Ильин^{1,3}, Д. Ю. Копейкин¹, О. В. Ласточкин¹, А. А. Новиков^{1,2}, Д. С. Шипицин¹

¹АО «Научно-исследовательский институт молекулярной электроники», г. Москва

²Высшая школа системного инжиниринга МФТИ, г. Долгопрудный

³НИУ «Московский институт электронной техники», г. Москва

annovikov@niime.ru

Аннотация — Проблема валидации комплектов средств проектирования является фундаментальной вне зависимости от уровня полупроводниковой технологии. Переход на современные субмикронные технологии значительно повышает её актуальность, так как ошибки в проекте, наследованные из средств проектирования, неизбежно приведут к существенным временным и, как следствие, финансовым затратам для их выявления и устранения. Данная работа посвящена исследованию и разработке метода валидации в кремнии библиотек стандартных цифровых элементов, входящих в состав комплектов средств проектирования.

Ключевые слова — комплект средств проектирования (КСП), библиотека стандартных цифровых элементов, валидация, тестирование.

I. ВВЕДЕНИЕ

Уменьшение технологических норм, высокая конкуренция и повышение стоимости изготовления проектов в кремнии делают актуальной задачу обеспечения высокого качества комплекта средств проектирования (КСП) [1]. Под качеством следует понимать совокупность критериев: отсутствие ошибок в самом КСП [2], [3]; обеспечение соответствия результатов SPICE-моделирования и измерений в кремнии; аттестацию функциональности в предельно допустимых, предельных и расширенных режимах функционирования каждого элемента КСП. Современные средства проектирования содержат от нескольких сотен до полутора тысяч логических элементов, что существенно затрудняет их полную проверку. В работе [4] показано, что при автоматизированном структурном синтезе проекта используется меньше половины элементов из доступного логического базиса. Теоретически это позволяет валидировать функциональность и характеристики ограниченного набора ключевых элементов библиотеки, распространяя результаты их проверки на КСП в целом, но не гарантирует полноценной работоспособности проекта, если в процессе синтеза будут задействованы невалидированные элементы.

Важно отметить, что существуют направления проектирования, для которых недопустимо отклонение наиболее важных характеристик элементов, входящих в состав КСП (стойкость к специальным видам воздействующих факторов (СВВФ), быстродействие, потребляемая мощность и т. д.). К таким направлениям, в первую очередь, относится проектирование радиационно-стойких интегральных схем [5]. Гарантированно обеспечить заранее заданный уровень стойкости конечного изделия к СВВФ возможно только при условии, что все элементы из используемого логического базиса обеспечивают уровень стойкости не ниже требуемого. Подтвердить стойкость всего КСП можно только после валидации в кремнии всех элементов, входящих в его состав, по соответствующим параметрам. Существуют методы оценки воздействия радиационных эффектов на этапе схемотехнического моделирования [6], но валидация в кремнии имеет более высокий приоритет.

Комплексная валидация в кремнии также позволит выявить элементы, не соответствующие целевому критерию по требуемым параметрам (например, стойкость к СВВФ [7], быстродействие, потребляемая мощность, статические токи утечки и т. д.), с целью их перепроектирования и, как следствие, повышения общего качества КСП.

Таким образом, для решения поставленной задачи необходимо разработать метод валидации КСП в кремнии.

II. ПОСТАНОВКА ЗАДАЧИ

Гарантировать целевые характеристики каждого элемента, входящего в состав КСП, возможно тогда и только тогда, когда он будет изготовлен в кремнии и соответствующим образом провалидирован: для всех требуемых сочетаний температуры и напряжения питания будут проверены все допустимые режимы функционирования, все состояния и переходы между ними. Как сказано выше, изготовление реального проекта не может гарантировать полноту тестирования и валидации КСП. Соответственно, актуальной является задача создания общей архитектуры специализированной системы, которая обеспечит

решение поставленной задачи. Основные требования к такой системе могут быть сформулированы следующим образом:

1. полнота использования всех элементов КСП;
2. минимизация занимаемой площади и, по возможности, количества задействованных выводов;
3. обеспечение всех режимов функционирования элементов;
4. технологическая независимость;
5. низкая чувствительность к составу КСП;
6. возможность автоматизации.

Первое требование является основным в контексте решаемой задачи. Второе требование продиктовано экономическими соображениями: снизить стоимость изготовления и валидации (выбор корпуса, разработка оснастки для измерений и испытаний и т. д.). Выполнение третьего требования обеспечивает полноту тестирования каждого элемента. Под технологической независимостью в четвертом требовании понимается независимость системы от особенностей конкретной технологии. В пятом требовании подразумевается гибкость архитектуры системы и ее способность к модификации под заданный базис КСП. В шестом требовании заложена возможность автоматизированной разработки системы для выбранного базиса, что позволит минимизировать трудозатраты разработчика на этапах проектирования и верификации системы, включая этап оценки результата.

III. АНАЛИЗ АЛЬТЕРНАТИВНЫХ МЕТОДОВ

Рассмотрим наиболее распространенные методы решения поставленной задачи, чтобы оценить, насколько каждый из них удовлетворяет перечисленным требованиям к системе.

A. Использование специализированных транзисторных структур

Одним из возможных подходов является создание специализированных тестовых структур, состоящих из P- и N-канальных транзисторов разной ширины в различных включениях для измерения непосредственно на пластине, в том числе параллельно и/или последовательно включенных двух и более транзисторов [8]. Параметры и коммутация приборов в такой структуре повторяют конфигурацию базовых схемотехнических узлов в элементах КСП. К преимуществам такого подхода следует отнести небольшую занимаемую площадь, а к недостаткам – косвенную проверку логических элементов и сложности при измерении.

B. Использование кольцевых генераторов

Самый распространенный подход – применение кольцевых генераторов на основе набора базовых логических элементов (инверторов, буферов, 2И-НЕ, 2ИЛИ-НЕ и т. д.) [9]. К преимуществам такого подхода

следует отнести относительную простоту разработки и последующих измерений. Недостатками являются сложность обеспечения полного покрытия КСП (для полной валидации КСП необходимо разработать множество кольцевых генераторов на основе полного базиса логических элементов), сложность реализации для последовательностной логики, относительно большая занимаемая площадь, возможность валидации только ограниченного набора режимов функционирования элементов.

C. Использование тестового проекта

Альтернативным подходом является разработка в базисе исследуемого КСП условного тестового проекта [10]. Основное преимущество такого подхода состоит в наличии готовой структуры в виде модели проекта на языке описания аппаратуры (обычно это RTL-описание на языке Verilog) и максимально приближенных к реальным условиям использования элементов КСП при прохождении основных этапов маршрута разработки. Недостатками являются невозможность обеспечить полное покрытие КСП, более высокая трудоемкость в сравнении с использованием кольцевых генераторов, повышенная сложность выявления ошибок в проекте и причин их возникновения.

Рассмотренные альтернативы обеспечивают частичное выполнение только некоторых из сформулированных требований. Выполнение всех требований в полном объеме с применением рассмотренных подходов либо невозможно, либо потребуются глубокая переработка данных подходов, что, в свою очередь, приведет к существенному усложнению этих систем, кардинальному увеличению занимаемой площади, усложнению процесса тестирования и валидации, а также к значительному росту трудозатрат.

Недостатки рассмотренных подходов обуславливают необходимость разработки общей архитектуры специализированной системы, которая будет полностью соответствовать выдвинутым требованиям.

IV. ПРЕДЛАГАЕМОЕ РЕШЕНИЕ

Полностью удовлетворить всем перечисленным в разделе II требованиям позволяет специализированная структура для тестирования и валидации в кремнии библиотек стандартных цифровых элементов. Реализация предлагаемой структуры основана на базовых принципах построения конвейерно-распределительной архитектуры.

Рассмотрим основные этапы и особенности реализации предлагаемой архитектуры. На первом этапе исследуемый базис разделяется на два множества: комбинационных и последовательностных элементов. Для каждого множества, вследствие особенностей функционирования, предусматривается собственная базовая структура. Обобщенные структурные схемы блоков тестирования комбинационных и последовательностных элементов показаны на рис. 1 и 2, соответственно.

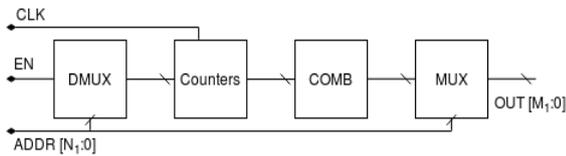


Рис. 1. Общая структура блока тестирования комбинационных ячеек

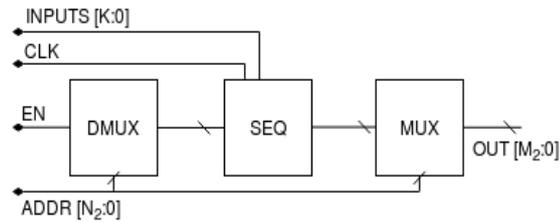


Рис. 2. Общая структура блока тестирования последовательных ячеек

Центральными элементами тестовых структур являются модули COMB/SEQ, включающие в себя комбинационные и последовательные элементы, соответственно. Структурно блоки устроены единообразно и состоят из блоков тестовых цепочек, в которые включены элементы библиотеки, сгруппированные по логическим функциям и коэффициентам разветвления по выходу. Например, блок элементов 2И-НЕ включает все элементы с такой логической функцией со всеми коэффициентами разветвления по выходу. Блоки DMUX/MUX представляют собой демультиплексор и мультиплексор, соответственно. Они обеспечивают поочередную подачу входных воздействий на каждую группу ячеек блоков COMB/SEQ в соответствии с выбранным адресом ADDR, формирование и передачу на выход структуры отклика на входное воздействие соответствующей группы элементов. Входные воздействия с блока DMUX подаются на тестовые блоки, а выходные отклики с тестовых блоков передаются на блок MUX. Главным отличием блока SEQ является группа входов INPUTS, в которую объединены все входы ячеек, кроме тактового (сброс/установка/разрешение_сканирования/данные_сканирования и т. д.), что позволяет гибко управлять режимами работы. Блок Counters представляет собой блок делителей входной частоты со входа CLK, что обеспечивает полный перебор входных векторов комбинационных элементов. Размерность шин адреса N_1/N_2 выбирается исходя из количества адресуемых тестовых цепочек. Размерность шин выхода M_1/M_2 выбирается исходя из количества выходов в той или иной тестовой цепочке.

На следующем уровне иерархии блоки объединяются, как показано на рис. 3.

Размерность шины адреса N_3 и шины выхода M_3 определяется исходя из следующих ограничений:

$$N_3 = \max\{N_1, N_2\} \quad (1)$$

$$M_3 = \max\{M_1, M_2\}, \quad (2)$$

где N_1, N_2, M_1, M_2 определены ранее.

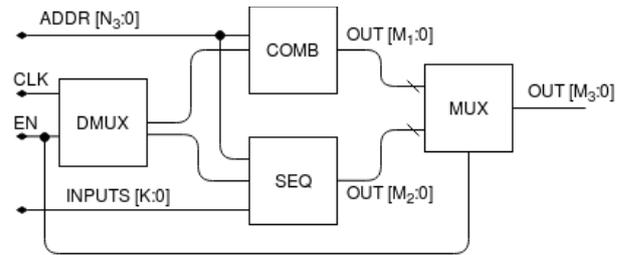


Рис. 3. Общий вид объединенного блока тестирования библиотеки

Представленная тестовая структура позволяет выполнять полную верификацию и валидацию одной библиотеки стандартных цифровых элементов. Наиболее важным свойством структуры является то, что она обеспечивает выполнение основного требования: полноту использования всех элементов из библиотеки. Наличие доступа к каждому элементу каждой тестовой группы дает возможность выполнять тестирование в необходимых режимах и любыми входными тестовыми последовательностями. Структура полностью технологически независима и не чувствительна к составу библиотеки.

Предлагаемая архитектура обладает высокой гибкостью и может быть масштабирована в структуру более высокого уровня иерархии для тестирования нескольких библиотек, как показано на рис. 4.

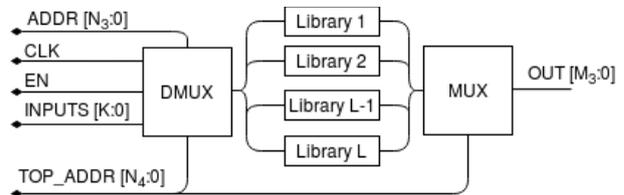


Рис. 4. Общий вид структуры для тестирования нескольких библиотек

При добавлении еще одного уровня блоков DMUX/MUX, обеспечивающих выбор конкретной библиотеки по адресу на шине TOP_ADDR, где размерность N_4 выбирается исходя из количества библиотек L ($N_4 = \log_2 L$), базовая структура для валидации одной библиотеки трансформируется в структуру, обеспечивающую валидацию нескольких библиотек.

Требования к количеству входов/выходов структуры, изображенной на рис. 4, могут быть формализованы следующим образом:

$$N_3 + M_3 + N_4 + K + 1 < Z, \quad (3)$$

где N_3 – разрядность шины для адресации элементов в библиотеке, M_3 – разрядность шины выхода, N_4 – разрядность шины выбора библиотеки, K – общее количество уникальных входов последовательных элементов, за исключением входа тактового сигнала. Число Z в формуле (3) означает количество доступных выводов корпуса. Необходимо помнить, что в случае,

если тестовая структура выполняется в отдельном корпусе, то следует учесть размещение ячеек земли/питания ядра и периферии, ячеек защиты от ЭСР и т. д., так как это существенно уменьшает количество доступных выводов по сравнению с номинальным.

Обозначив количество комбинационных ячеек через N_C , а последовательностных через N_S , можно получить выражения для N_1/N_2 :

$$N_1 = \log_2 N_C \quad (4)$$

$$N_2 = \log_2 N_S \quad (5)$$

Исходя из этого, выражение (3) может быть преобразовано к следующему виду:

$$\max\{\log_2 N_C, \log_2 N_S\} + \max\{M_1, M_2\} + \log_2 L + K + 1 < Z \quad (6)$$

Наибольшая эффективность достигается при $M_1 = M_2$: в таком случае все биты шины выхода используются при тестировании. Обозначив количество выходов комбинационных ячеек как N_C^{out} , а последовательностных как N_S^{out} , можно сформулировать следующие ограничения:

$$N_C^{out} : M_1 \quad (7)$$

$$N_S^{out} : M_2 \quad (8)$$

что позволит уменьшить число неиспользуемых бит в шинах. Выражение (6) связывает количество ячеек каждого типа в библиотеке, количество выходов ячеек с учетом ограничений (7) и (8), общее количество различных входов всех последовательностных ячеек, кроме тактового, и количество тестируемых библиотек. Это, с одной стороны, позволяет оценить количество выводов корпуса, необходимых для проведения валидации выбранной библиотеки (или библиотек), с другой – сформировать расширенные требования и ограничения для состава и структуры КСП с учетом фаз жизненного цикла системы и этапа валидации в кремнии.

Одним из возможных применений предлагаемой архитектуры является определение предельного уровня стойкости к воздействию СВВФ, так как структура обеспечивает одновременную валидацию всех элементов КСП. Достигнутый в ходе испытаний уровень воздействия, при котором появляется первый сбой, определяет максимальный уровень стойкости всей библиотеки и, как следствие, проектов, разработанных с ее применением.

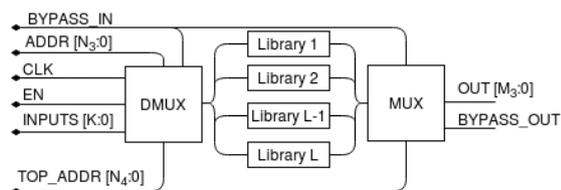


Рис. 5. Общий вид тестовой структуры с режимом BYPASS

Чтобы исключить маскирование ошибок, возникающих при валидации в элементах библиотеки, ошибками в блоках управления, в архитектуре

предусмотрен режим BYPASS, который обеспечивает проверку корректности функционирования всех блоков структуры по отдельности. Общая архитектура тестовой структуры с режимом BYPASS показана на рис. 5.

V. АВТОМАТИЗИРОВАННАЯ ГЕНЕРАЦИЯ ТЕСТОВОЙ СТРУКТУРЫ

Разветвленность и сложность предлагаемой структуры существенно затрудняют ее проектирование. Принимая во внимание тот факт, что цифровые библиотеки отличаются друг от друга количеством элементов, набором реализуемых логических функций, а также диапазоном коэффициентов разветвления по выходу, эффективность ручной разработки системы в базисе разных библиотек может быть крайне низкой, а вероятность появления ошибок достаточно высокой. Для повышения эффективности разработки тестовой структуры был создан пакет специализированного программного обеспечения для автоматизированного создания ее синтезируемой поведенческой модели на языке описания аппаратуры. Входными данными для программы являются Verilog-файл с поведенческими моделями цифровых элементов (входит в состав библиотеки) и конфигурационный файл с информацией о наименовании и типах портов. Выходными данными являются синтезируемые Verilog-описания всех блоков, входящих в состав проекта и верхний уровень с интеграцией блоков в соответствии с предложенной выше структурой. Для проверяемых ячеек (блоки SEQ и COMB) Verilog-описание генерируется на вентиляльном уровне с использованием элементов библиотеки. Для блоков управления и контроля генерируется синтезируемое поведенческое Verilog-описание. С целью проведения функционально-логического моделирования в программу заложена возможность генерации файла автоматизированных тестовых воздействий.

VI. ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ ПРЕДЛОЖЕННОГО МЕТОДА

Основная цель разработки метода заключается в обеспечении комплексной валидации в кремнии всех элементов отдельной библиотеки. Предложенный метод прошел апробацию при разработке архитектуры тестового кристалла в рамках выполнения внутренней работы АО «НИИМЭ», в ходе которой были разработаны четыре версии специализированных библиотек стандартных цифровых элементов. Принципиальное отличие библиотек заключается в конструкторско-топологической реализации. Для валидации были выбраны метод на основе кольцевых генераторов и метод, предлагаемый в данной работе для сравнительного анализа по критериям удобства использования и качества полученных результатов.

Предложенный метод имеет ряд преимуществ перед применением кольцевых генераторов:

1. тестовая структура позволяет выполнить проверку всех ячеек из базиса библиотеки, тогда как КГ

проектируются в базе нескольких выбранных логических функций;

2. обеспечивает возможность независимого обращения к любому порту ячейки, что позволяет проверить все режимы функционирования ячеек и переходы между ними;

3. предложенный метод позволяет по результатам измерений выявлять в библиотеке ячейки или группы ячеек, отклоняющиеся по выбранному критерию (быстродействие, мощность утечки, стойкость к спецвоздействиям и т.д.) для дополнительного анализа.

С помощью разработанного ПО было получено Verilog-описание структуры, куда вошли тестовые блоки для четырех библиотек (см. рис. 6). Для построения кольцевых генераторов было выбрано подмножество из базовых логических элементов: НЕ, 2И-НЕ, 3И-НЕ, 2ИЛИ-НЕ, 3ИЛИ-НЕ. На рис. 6 показан общий вид топологии тестового кристалла. В верхней части размещены тестовые структуры (№1 - 4) разработанные на основе предлагаемого метода. Ниже размещены наборы кольцевых генераторов. Для валидации первой и третьей библиотеки разработано 56 генераторов, для второй и четвертой – 8.

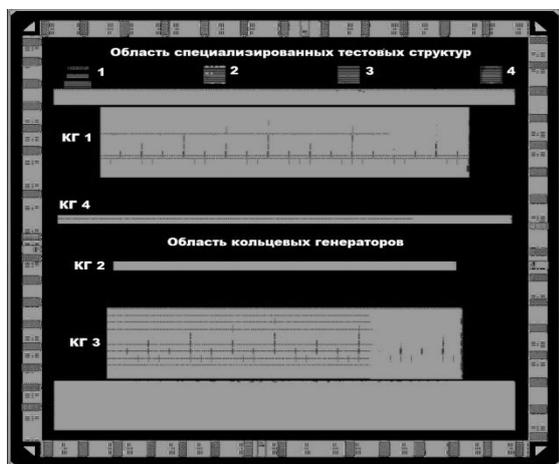


Рис. 6. Общий вид верхнего уровня разработанного тестового кристалла

Разный выбор количества кольцевых генераторов для разных библиотек обусловлен особенностями применения каждой библиотеки при разработке физического уровня проекта. На рис. 6 видно, что площадь, занимаемая тестовыми структурами, существенно меньше площади, занимаемой кольцевыми генераторами, даже если для валидации выбран ограниченный набор кольцевых генераторов. При этом важно отметить, что структуры позволяют валидировать всю библиотеку, в то время как кольцевые генераторы позволяют проверить только несколько комбинационных функций. Таким образом, требование по минимизации занимаемой площади специализированных тестовых структур выполнено полностью. Пластины с тестовым кристаллом находятся в изготовлении.

VII. ЗАКЛЮЧЕНИЕ

В работе предложен метод валидации библиотек стандартных цифровых элементов в кремнии. Рассмотрены альтернативные решения, показаны их преимущества и недостатки. Разработана архитектура специализированной тестовой структуры для валидации библиотек в кремнии. Для автоматизированной генерации поведенческой модели структуры на языке описания аппаратуры создано специализированное программное обеспечение. Проведена апробация предложенного метода при проектировании тестового кристалла для валидации разработанных библиотек стандартных цифровых элементов.

ЛИТЕРАТУРА

- [1] Красников Г. Я., Шелепин Н. А., Шипицин Д. С., Игнатов П. В. Особенности технологии, компонентов и библиотек уровня 28 нм // 5-я Международная научная конференция «Электронная компонентная база и микроэлектронные модули». Сборник тезисов Республика Крым, г. Алушта, 30 сентября – 05 октября 2019 г. С. 45-47.
- [2] Ильин С. А., Кочанов С. К., Ласточкин О. В., Новиков А. А. Методика проектирования и верификации библиотек стандартных цифровых элементов и элементов ввода-вывода // 2-я Международная научная конференция «Электронная компонентная база и микроэлектронные модули». Сборник тезисов Республика Крым, г. Алушта, 2016 г. С. 312-316.
- [3] Ильин С. А. Тестирование библиотек цифровых ячеек // Известия вузов. Электроника, 2013. - № 3. - С. 48-53.
- [4] Калашников В. С., Семёнов М. Ю. Оптимизация состава библиотек стандартных ячеек // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2016. № 2. С. 217-224.
- [5] Ильин С. А., Ласточкин О. В., Надин А. С., Новиков А. А., Шипицин Д. С. Конструкторско-технологическая платформа проектирования СБИС на базе отечественной технологии КМОП 90 нм // Сборник тезисов 4-ой Международной научной конференции "Микроэлектроника-2018". С. 226-228.
- [6] Титов А. И., Шелепин Н. А., Селецкий А. В. Исследование и разработка структур для экстракции параметров моделей схемотехнического учета дозовых радиационных эффектов субмикронных СБИС // Проблемы разработки перспективных микро- и наноэлектронных систем - 2014. Сборник трудов / под общ. ред. академика РАН А. Л. Стемповского. М.: ИППМ РАН, 2014. Часть 3. С. 149-154.
- [7] Dwivedi H. K. et al. Combinational and sequential standard cell design using Radiation Hardened by Design (RHBD) Technique // 2018 International Conference on Advanced Computation and Telecommunication (ICACAT) Advanced Computation and Telecommunication (ICACAT), 2018 International Conference on.:1-5 Dec, 2018.
- [8] Ильин С. А. Выбор базовых схемотехнических решений для проектирования библиотек цифровых ячеек // Известия высших учебных заведений. Электроника. 2015. Т. 20. № 1. С. 44-49.
- [9] Doman, D. Engineering the CMOS library: enhancing digital design kits for competitive silicon. // John Wiley & Sons, 1-st ed., 2012, p. 342.
- [10] Mishra P., Frahmanti F. Post-Silicon Validation and Debug // Springer, 1-st ed., 2019. p. 394.

The Post-Silicon Validation Method of Standard Cell Libraries

S.A. Ilin^{1,3}, D.J. Kopeikin¹, O.V. Lastochkin¹, A.A. Novikov^{1,2}, D.S. Shipitsin¹

¹Molecular Electronics Research Institute (JS “MERI”), Moscow

²High School of Systems Engineering MIPT, Dolgoprudny

³National Research University of Electronic Technology (MIET), Moscow

annovikov@niime.ru

Abstract — The problem of validation DDK is fundamental despite of the level of semiconductor technology. The transition to modern submicron technologies significantly increases its relevant, since errors in the project inherited from the design tools will inevitably lead to significant time and, as a consequence, financial costs for their identification and elimination. This work is devoted to the studying and developing the method of validation of standard cell libraries, that are a part of DDK, in silicon.

The decreasing in technological standards, high competition and the increase in the cost of manufacturing projects in silicon make the task of providing high quality DDK. Quality should be considered as a set of criteria: the absence of errors in the DDK itself; ensuring the compliance of the SPICE-modeling results and the measurements in silicon; certification of functionality in the maximum permissible, maximum and advanced modes of operation of each element of the DDK. Theoretically, this allows to validate the functionality and characteristics of a limited set of key library elements, disseminating the results of their verification to DDK as a whole, but it does not guarantee the full working capacity of the project in unvalidated elements are involved in the synthesis process.

It is important to note that there are design areas for which the deviation of the most important characteristics of the elements, that make up DDK, is unacceptable. These areas, in the first place, include the design of radiation-resistant integrated circuits. It is possible to guarantee the providing of a predetermined level of resistance of the final product to special types of influencing factor only if all the elements from the used logical basis provide a level of resistance not lower than required. The stability of the entire DDK can be confirmed only after validation of all the elements in silicon included in its composition according to the relevant parameters. There are methods for assessing the impact of radiation effects at the stage of circuit simulation, but validation in silicon has a higher priority.

Complex post-silicon validation will also allow identifying the elements that do not meet the target criterion in term of the required parameters (for example resistance to special types of influencing factors, speed, power consumption, leakage, etc.), with the aim of their redesigning and, as a result, increasing the overall quality of DDK.

Thus, to solve the given problem, it is necessary to develop a method of DDK validation in silicon.

Keywords — DDK, STD, IC, Post-Silicon validation, standard cell, libraries, semiconductor technology.

REFERENCES

- [1] Krasnikov G. J., Shelepin N. A., Shipitsin D. S., Ignatov P. V. The specificity of technology, components, and 28 nm libraries // 5th international scientific conference “Electronic component base and microelectronic modules”. Book of abstracts, Republic of Crimea, Alushta, 2019. pp 45-47 (in Russian).
- [2] Ilin S. A., Kochanov S. K., Lastochkin O. V., Novikov A. A. Methods of design and verification of libraries of STD elements and IO buffers // 2nd international scientific conference “Electronic component base and microelectronic modules”. Book of abstracts, Republic of Crimea, Alushta, 2016. pp 312-316 (in Russian).
- [3] Ilin S. A. Test of standard cells libraries // *Izvestiia vuzov. Electronic*, 2013. № 3. pp. 48-53 (in Russian).
- [4] Kalashnikov V. S., Semenov M. Y. Standard cell libraries content optimization // *Problems of development of advanced micro- and nanoelectronics systems (MES)*. 2016. №2. pp. 217-224 (in Russian).
- [5] Ilin S. A., Kochanov S. K., Lastochkin O. V., Nadin A. S., Novikov A. A., Shipitsin D. S. Design and technology platform for VLSI design based on the national SOI 90 nm technology // *Book of abstract of 4th international scientific conference “Microelectronic – 2018”*. pp. 226-228 (in Russian).
- [6] Titov A. I. Shelepin N. A., Seleckii A. V. Research and development of structure for extraction of model properties for the schematic report of dose radioactive effects for submicron technology VLSI // *Problems of development of advanced micro- and nanoelectronics systems (MES)*. 2014. № 2. pp. 149-154 (in Russian).
- [7] Dwivedi H. K. et al. Combinational and sequential standard cell design using Radiation Hardened by Design (RHBD) Technique // 2018 International Conference on Advanced Computation and Telecommunication (ICACAT) Advanced Computation and Telecommunication (ICACAT), 2018 International Conference on.:1-5 Dec, 2018.
- [8] Ilin S. A. Choice of base circuit solutions for the design of standard cell libraries // *Izvestiia vuzov. Electronic*, 2015. Val. 20. № 1. pp. 44-49 (in Russian).
- [9] Doman, D. Engineering the CMOS library: enhancing digital design kits for competitive silicon. // John Wiley & Sons, 1-st ed., 2012, p. 342
- [10] Mishra P., Frahmadi F. Post-Silicon Validation and Debug // Springer, 1-st ed., 2019. p. 39.