

# Поиск рациональной структуры тестового генератора для подсистем встроенного самотестирования цифровых схем

Н.В. Быханова<sup>1</sup>, С.Г. Мосин<sup>2</sup>

<sup>1</sup>ООО «Атак Киллер», ГК Инфовотч, nvc\_8@list.ru

<sup>2</sup> Казанский (Приволжский) федеральный университет. Институт вычислительной математики и информационных технологий, smosin@ieee.org

**Аннотация** — В данной статье предложен способ поиска рациональной структуры тестового генератора, входящего в состав подсистем встроенного самотестирования цифровых схем. Решение направлено на минимизацию аппаратных и временных затрат и автоматизацию процесса формирования тестового генератора. В его основе лежит поиск баланса между двумя способами тестирования: псевдослучайным и детерминированным. Представлены результаты экспериментальных исследований.

**Ключевые слова** — встроенное самотестирование, тестовый генератор, LFSR, покрытие неисправностей.

## I. ВВЕДЕНИЕ

Тестирование – необходимая часть процесса изготовления электронных устройств, так как оно позволяет обеспечить требуемое качество продукции.

С увеличением степени интеграции и сложности цифровых схем увеличиваются и затраты на их тестирование: увеличивается время выпуска на рынок и стоимость изделия.

Для снижения этих затрат в настоящее время широко применяется тестопригодное проектирование, в частности, встроенное самотестирование, поскольку оно позволяет снизить затраты на внешнее тестовое оборудование, на время тестирования, а также предоставляет возможность тестирования устройства во время эксплуатации.

Полное покрытие всех неисправностей множеством тестовых наборов важно в отраслях, где предъявляются повышенные требования к надёжности оборудования. Вместе с тем, важными характеристиками являются время тестирования и площадь кристалла, занимаемая тестирующей подсхемой. В большинстве случаев применяется псевдослучайное тестирование, но в схеме могут присутствовать трудно определяемые неисправности, которые псевдослучайное тестирование не позволяет выявить. Эту задачу решает детерминированное тестирование. Однако в этом случае возрастают аппаратные затраты.

Для выполнения этих задач были предложены различные решения, совмещающие оба вида тестирования. Для их практической реализации задействуют

сдвиговые регистры с линейными обратными связями (LFSR – Linear Feed-back Shift Register).

Для получения нужных детерминированных тестовых наборов одни решения используют LFSR с несколькими полиномами [1], в других на определенных этапах тестовой процедуры выполняется переинициализация LFSR новым тестовым вектором [2-3]. Есть решения, использующие блоки одной части тестируемой схемы для тестирования другой части, объединяя часть элементов памяти в LFSR [4], и решения, имеющие в основе конечные автоматы и счетчики [5-8].

Однако в этих решениях помимо LFSR используются различные схемы управления или переинициализации, что увеличивает сложность тестирующей подсистемы и, следовательно, риск возникновения неисправностей в ней самой.

Ранее было описано решение, имеющее в основе только регистры с линейными обратными связями и при этом выполняющее детерминированное и псевдослучайное тестирование [10,11]. В данной статье предлагается алгоритм поиска рациональной структуры такого тестового генератора.

## II. ТЕСТОВЫЙ ГЕНЕРАТОР

Поиск оптимальной структуры тестового генератора является задачей многокритериальной оптимизации.

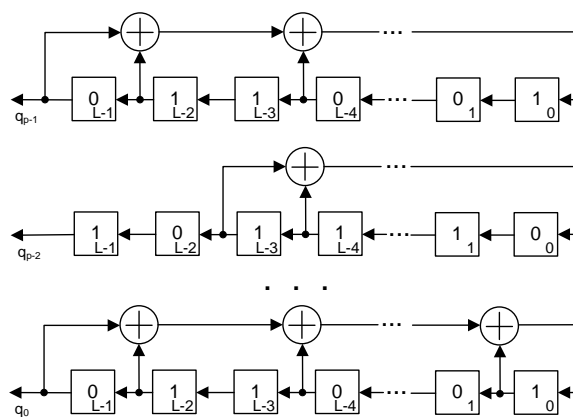


Рис. 1. Структура параллельного ТГ

Здесь объектом является тестовый генератор (ТГ) на основе LFSR, характеристический полином которого вычислен с применением алгоритма Берликемпа-Мессии по последовательности тестовых наборов, сформированных при помощи средства автоматической генерации тестов [9].

Структура данного ТГ (рис.1) позволяет на каждом такте синхросигнала генерировать все разряды очередного тестового набора [11].

Для детерминированной последовательности длиной  $M$  тестовых наборов разрядностью  $L$  справедливо

$$FC(M) = 100\%,$$

$$N = 2^L,$$

$$P = N - M,$$

$$\exists N_{det} < M, N_{ps} < P,$$

$$FC(N_{det}) + FC(N_{ps}) = 100\%,$$

где  $FC(x)$ - покрытие неисправностей последовательностью тестовых наборов длиной  $x$ ,

$L$  – длина одного разряда параллельного ТГ,

$N$  – максимальное количество разных тестовых наборов, которые может сгенерировать ТГ,

$P$  – максимальное количество разных псевдослучайных тестовых наборов, которые может сгенерировать ТГ после генерации последовательности детерминированных тестовых наборов.

Следовательно, возможно найти такие длины детерминированной  $N_{det}$  и псевдослучайной  $N_{ps}$  последовательности, чтобы обеспечить полное покрытие неисправностей тестовыми наборами из обеих последовательностей.

Таким образом, за счет уменьшения длины детерминированной последовательности возможно уменьшить размер тестового генератора. Но при этом увеличится время тестирования. Поиск наилучшего соотношения размера ТГ и времени тестирования является задачей оптимизации.

Критериями оптимизации структуры тестового генератора являются минимум площади кристалла, необходимой для размещения ТГ и минимум времени тестирования. Для количественной оценки площади кристалла на этапе моделирования используется общее количество элементов памяти тестового генератора  $L$ . Для оценки времени тестирования используется общее количество тестовых наборов  $N_{full} = N_{det} + N_{ps}$ , которые должны быть приложены к тестируемой схеме для достижения полного покрытия неисправностей.

Алгоритм поиска наилучшего варианта ТГ сводится к поиску минимума целевой функции

$$\min (C_w(L, N_{full})),$$

$$L \in (L_{start}, L_{det}),$$

на множестве значений  $L$  – размеров ТГ от некоторого начального размера до размера полностью детерминированного ТГ, и соответствующих им значений  $N_{full}$ .

В качестве целевых функций могут быть применены следующие скалярные функции:

1. Расстояние до точки в пространстве критериев:

$$C_s(L, N_{full}) = \sqrt{L^2 + N_{full}^2}.$$

2. Весовая функция:

$$C_w(L, N_{full}) = \lambda_1 L + \lambda_2 N_{full}, \text{ где } \lambda_1 + \lambda_2 = 1.$$

Для анализа исходных данных алгоритма поиска наилучшего варианта структуры ТГ было проведено моделирование с целью выявления зависимости общего количества тестовых наборов, нужных чтобы достичь полного покрытия неисправностей, от длины детерминированной части последовательности, по которой строится ТГ.

Для исследуемой схемы, заданной справочником неисправностей, была сформирована детерминированная последовательность тестовых наборов (ТН), покрывающая все неисправности длиной  $N_{det}$  (Рис. 2).



**Рис. 2. Покрытие неисправностей для исходной последовательности**

Для каждой длины детерминированной последовательности  $N_{start} \leq N \leq N_{det}$  был сформирован ТГ. Затем для каждого из этих ТГ было проведено моделирование и получено общее количество  $N_{full}$  детерминированных и псевдослучайных тестовых наборов, необходимых для достижения полного покрытия неисправностей. Результаты представлены на рис. 3.

Результаты моделирования показали, что значения  $N_{full}$  количества тестовых наборов случайно распределены вдоль кривой, которая убывает до количества тестовых наборов  $N_{det}$  в полной детерминированной последовательности. Следовательно, найти оптимальную структуру ТГ возможно только посредством полного перебора вариантов. При этом получение значения целевой функции для одного варианта ТГ предполагает симуляцию его работы – то есть непосредственную генерацию тестовых наборов. Однако, время симуляции работы всех вариантов ТГ, зависящее от длины исходной тестовой последовательности, может быть неприемлемо большим. Поэтому требуется определить

множество вариантов структур ТГ, для которых будет выполняться симуляция. Полученное в таком случае решение не обязательно будет оптимальным, но будет рациональным, близким к оптимальному.

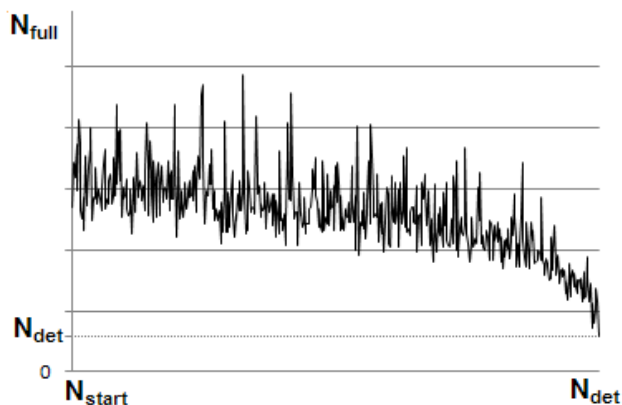


Рис. 3. Зависимость суммарного количества ТН от размера ТГ

Как было отмечено ранее, детерминированная последовательность тестовых наборов прямо пропорционально влияет на размер ТГ. Кривая на рис. 2 отражает увеличение покрытия неисправностей с увеличением количества примененных ТН. Для поиска рационального решения выбраны три участка этой кривой (Рис. 4): крутой участок кривой, окрестность точки, где касательная к кривой имеет угол наклона 45 градусов, и пологий участок кривой.

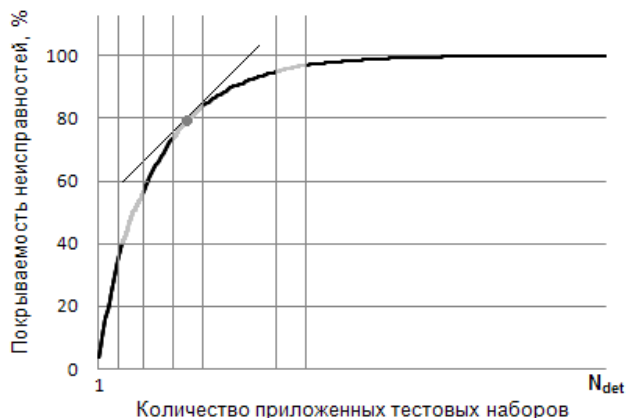


Рис. 4. Диапазоны значений для оптимизации

Крутой участок кривой соответствует более коротким детерминированным последовательностям и как следствие, меньшим размерам ТГ. При этом длина псевдослучайных последовательностей здесь в среднем больше чем на других участках. Пологий участок кривой в свою очередь соответствует более длинным детерминированным ТН и большим размерам ТГ. А средняя длина псевдослучайных последовательностей наоборот меньше, чем на других участках.

Время моделирования генерации одного тестового набора тестовым генератором определяется разрядностью тестового набора и одинаково для всех вариантов ТГ. Следовательно, время поиска рациональной

структуры ТГ можно оценить суммарным количеством тестовых наборов, сгенерированных тестовыми генераторами:

$$T_{full} = N_{det} \cdot t,$$

$$T_p = (N_1 + N_2 + N_3) \cdot t,$$

$$N_1 + N_2 + N_3 < N_{det} \Rightarrow T_p < T_{full},$$

где  $T_{full}$  – время генерации тестовых наборов всеми вариантами ТГ,

$T_p$  – суммарное время генерации тестовых наборов вариантами ТГ, сформированными по последовательностям из диапазонов  $N_1, N_2, N_3$ ,

$t$  – время генерации одного тестового набора.

Таким образом, можно найти такие значения целевой функции  $C(L, N_{full})$ , чтобы при небольших размерах ТГ тестирование выполнялось за приемлемое время.

### III. АЛГОРИТМ ПОИСКА РАЦИОНАЛЬНОЙ СТРУКТУРЫ ТЕСТОВОГО ГЕНЕРАТОРА

Входные данные алгоритма:

1. Детерминированная последовательность тестовых наборов длиной  $N_{det}$ ;
2. Справочник неисправностей;
3. Целевая функция  $C(L, N_{full})$  (один из двух приведенных ранее вариантов);
4. Наборы исходных детерминированных тестовых последовательностей, задаваемые их длинами  $[N_{11}, N_{12}], [N_{21}, N_{22}], [N_{31}, N_{32}]$

Описание алгоритма:

1. Построение моделей ТГ. Результат – три набора моделей тестовых генераторов, соответствующих трём диапазонам тестовых последовательностей.
2. Параллельно для каждого набора моделей ТГ:
  - i. Выбор очередной модели ТГ из набора;
  - ii. Генерация тестового набора;
  - iii. Определение текущего количества примененных тестовых наборов  $N_{curr}$  и текущего значения покрытия неисправностей  $FC_{curr} = FC(N_{curr})$ ;
  - iv. Вычисление значения целевой функции  $C_{curr} = C(L, N_{curr})$ ;
  - v. Если  $FC_{curr} < 100\%$  и  $C_{curr} < C_{min}$  – переход к п. ii; Если  $FC_{curr} < 100\%$  и  $C_{curr} > C_{min}$  – завершение моделирования текущего варианта, переход к п. i; Если  $FC_{curr} = 100\%$  и  $C_{curr} < C_{min}$  то  $C_{min} \leftarrow C_{curr}$  – обновление минимального

Результаты экспериментов для справочника с 10 000 неисправностями

$C(L, N_{full})$	$N_{det}$	$L$	$N_{full}$
$C_s$	119	798	3500
$C_w$	91	555	3627

По результатам экспериментов рассчитаны относительные показатели для целевых функций  $C_s$  и  $C_w$ .

1. Отношение размеров тестовых генераторов:

$$\frac{L_s}{L_w} \approx 1.5$$

2. Отношение общего количества тестовых наборов, нужных для достижения полного покрытия неисправностей:

$$\frac{N_{full_w}}{N_{full_s}} \approx 1.03$$

Таким образом, выигрыш в размере тестового генератора при использовании весовой целевой функции в полтора раза больше чем проигрыш в общем количестве тестовых наборов.

## V. ВЫВОДЫ

Предложенный алгоритм позволяет найти рациональную структуру тестового генератора такую, что при небольшом объеме тестирующей подсхемы и приемлемом времени выполнения теста обеспечивается полное покрытие неисправностей.

Эксперименты показали, что в процессе поиска рационального решения более предпочтительно использование целевой функции с весовыми коэффициентами. Результат, полученный с её использованием, не хуже, чем результат использованием функции, вычисляющей расстояние в пространстве критериев. Кроме того, она даёт возможность более гибкого конфигурирования процесса поиска рациональной структуры тестового генератора.

Работа выполнена за счет средств субсидии, выделенной в рамках государственной поддержки Казанского (Приволжского) федерального университета в целях повышения его конкурентоспособности среди ведущих мировых научно-образовательных центров.

## ЛИТЕРАТУРА

- [1] Haoqi Ren, Zhenya Xiong. A Multi-Polynomial LFSR Based BIST Pattern Generator for Pseudorandom Testing. // Proc. of 2nd International Conference on Information Science and Control Engineering. – Shanghai, China. – 2015. – P. 128 – 131.
- [2] Ramesh Bhakthavatchalu, Sreeja Krishnan, Vineeth V, Nirmala Devi M. Deterministic Seed Selection and Pattern Reduction in Logic BIST. // Proc. of 18th International Symposium on VLSI Design and Test. – Coimbatore, India. – 2014.
- [3] Patare Snehal Dilip, Geethu Remadevi Somanathan, Ramesh Bhakthavatchalu. Reseeding LFSR for Test Pattern

значения целевой функции и параметров текущего варианта модели ТГ, завершение моделирования текущего варианта, переход к п. vi.

- vi. Сохранение наилучшего варианта модели ТГ среди уже сформированных вариантов в текущем наборе.

3. Сравнение значений целевой функции resultующих вариантов ТГ из каждого набора, полученных на шаге 2, и выбор варианта с наименьшим значением целевой функции в качестве рационального.

На первом шаге алгоритма выполняется построение характеристических полиномов  $P(N)$  LFSR тестового генератора по самой длинной последовательности из всех диапазонов ( $N_{32}$ ) [11]. При этом сохраняются полиномы для более коротких последовательностей, длины которых попадают в заданные диапазоны.

Данный алгоритм позволяет избежать моделирования до полного покрытия неисправностей каждого варианта модели ТГ, сокращая тем самым общее время поиска рациональной структуры тестового генератора.

## IV. ЭКСПЕРИМЕНТЫ

Целью экспериментов является выявление влияния целевой функции на выбор варианта структуры тестового генератора.

Поиск рациональной структуры тестового генератора осуществляется для некоторой схемы, заданной справочником неисправностей. Схема имеет 12 входов.

В первой группе экспериментов справочник неисправностей содержит 20 000 неисправностей или двойственных групп. Длина детерминированной последовательности, покрывающей все неисправности,  $N_{det} = 933$ . Во второй группе эти параметры равны соответственно 10 000 и 745.

Диапазоны длин ТП для поиска рациональной структуры тестового генератора:

$$[N_{11}, N_{12}] = [50, 150], \quad [N_{21}, N_{22}] = [350, 450], \\ [N_{31}, N_{32}] = [650, 745],$$

Процесс поиска рациональной структуры тестового генератора выполнялся сначала с использованием первой целевой функции  $C_s(L, N_{full})$ , а затем – второй  $C_w(L, N_{full})$ ,  $\lambda_1 = 0.55$ ,  $\lambda_2 = 0.45$ .

Результаты экспериментов приведены в табл. 1 и 2.

Таблица 1

Результаты экспериментов для справочника с 20 000 неисправностями

$C(L, N_{full})$	$N_{det}$	$L$	$N_{full}$
$C_s$	98	597	4131
$C_w$	62	380	4210

- Generation. // Proc. of International Conference on Communication and Signal Processing (ICCSP'2019). Chennai, India. – 2019. – P. 921 – 925.
- [4] D.Gracia Nirmala Rani M.G.Mangala Meenakshi S.Amalin Marina. Low Hardware Overhead Implementation of 3-weight Pattern Generation Technique For VLSI Testing. // Proc. of 2nd International Conference on Devices, Circuits and Systems (ICDCS'2014). – Coimbatore, India. – 2014. – P. 1 – 5.
- [5] C.Vasanthanayaki, A. Azhagu Jaisudhan Pazhani, Jincy Johnson. VLSI Implementation of Low Power Multiple Single Input Change (MISC) Test Pattern Generation For BIST Scheme. // Proc. of Fifth International Symposium on Electronic System Design. – Surathkal, India. – 2014. – P. 187 – 191.
- [6] Abdallatif S. Abu-Issa, Iyad K. Tumar, Wasel T. Ghanem. SR-TPG: A Low Transition Test Pattern Generator for Test-per-Clock and Test-per-Scan BIST. // Proc. of 10th International Design & Test Symposium (IDT'2015). – Amman, Jordan. – 2015. – P. 124 – 128.
- [7] Bharti Moryani D.K.Mishra. Low Power Test Pattern Generator With Modified Clock For BIST. // Proc. of International Conference on Recent Innovations in Signal processing and Embedded Systems (RISE'2017). - Bhopal, India. – 2107. – P. 402 – 407.
- [8] Lixin Gao, Yongliang Zhang, Jinhong Zhao. BIST using Cellular Automata as Test Pattern Generator and Response Compaction. // Proc. of 2nd International Conference on Consumer Electronics, Communications and Networks (CECNet'2012). – Yichang, China. – 2012. – P. 200 – 203.
- [9] Menezes A., P. van Oorschot, Vanstone S. Handbook of Applied Cryptography. – CRC Press, 1996. – P. 191 – 212.
- [10] Mosin S.G., Chebykina N.V., Serina M.S. Technique of LFSR Based Test Generator Synthesis for Deterministic and Pseudorandom Testing // Proc. of 11th Conference the Experience of Designing and Application of CAD System in Microelectronics (CADSM'11). – Polyana-Svalyava, Ukraine. – 2011. – P. 128 – 131.
- [11] Быханова Н.В., Мосин С.Г. Структурное решение тестового генератора для подсистем встроенного самотестирования цифровых схем // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2014. Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2014. Часть 4. С. 95-100.

## Search for a Rational Structure of a Test Generator for Subsystems of Built-in Self-Testing of Digital Circuits

N.V. Bykhanova<sup>1</sup>, S.G. Mosin<sup>2</sup>

<sup>1</sup>Attack Killer LLC, Infowatch Group, nvc\_8@list.ru

<sup>2</sup> Kazan (Volga region) Federal University, Institute of Computational Mathematics and Information Technologies, smosin@ieee.org

**Abstract** — The aim of the proposed study is a searching for an algorithm for determining the rational structure of a digital circuit test generator. The test generator is based on the LFSR (Linear-Feedback Shift Register). The LFSR structure is formed using the Berlekamp–Massey algorithm. Such a structure allows the generation of deterministic and pseudorandom test sets without using additional control subcircuits to switch between test modes. In the course of the study, the dependence of the total number of deterministic and pseudorandom test sets needed to achieve a complete coverage of faults on the length of the deterministic part of the test sets sequence on the basis of which the test generator is built was analyzed. The task was defined as a structural optimization of the test generator. The corresponding objective functions were determined. An algorithm on searching for the rational structure of the test generator was determined basing on the analysis results. The obtained generator provides complete fault coverage at a small area of the testing subcircuit and an acceptable test execution time.

**Keywords** — built-in self-test, test generator, LFSR, fault coverage

### REFERENCES

- [1] Haoqi Ren, Zhenya Xiong. A Multi-Polynomial LFSR Based BIST Pattern Generator for Pseudorandom Testing. Proc. of 2nd International Conference on Information Science and Control Engineering. – Shanghai, China, 2015. pp. 128 – 131.
- [2] Ramesh Bhakthavatchalu, Sreeja Krishnan, Vineeth V, Nirmala Devi M. Deterministic Seed Selection and Pattern Reduction in Logic BIST. Proc. of 18th International Symposium on VLSI Design and Test. Coimbatore, India, 2014.
- [3] Patare Snehal Dilip, Geethu Remadevi Somanathan, Ramesh Bhakthavatchalu. Reseeding LFSR for Test Pattern Generation. Proc. of International Conference on Communication and Signal Processing. Chennai, India, 2019. pp. 921 – 925.
- [4] D.Gracia Nirmala Rani M.G.Mangala Meenakshi S.Amalin Marina. Low Hardware Overhead Implementation of 3-weight Pattern Generation Technique For VLSI Testing. Proc. of 2nd International Conference on Devices, Circuits and Systems. Coimbatore, India, 2014. pp. 1 – 5.
- [5] C.Vasanthanayaki, A. Azhagu Jaisudhan Pazhani, Jincy Johnson. VLSI Implementation of Low Power Multiple Single Input Change (MISC) Test Pattern Generation For BIST Scheme. Proc. of Fifth International Symposium on Electronic System Design. Surathkal, India, 2014. pp. 187 – 191.
- [6] Abdallatif S. Abu-Issa, Iyad K. Tumar, Wasel T. Ghanem. SR-TPG: A Low Transition Test Pattern Generator for Test-per-Clock and Test-per-Scan BIST. Proc. of 10th International Design & Test Symposium. Amman, Jordan, 2015. pp. 124 – 128.

- [7] Bharti Moryani, D.K.Mishra. Low Power Test Pattern Generator With Modified Clock For BIST. Proc. of International Conference on Recent Innovations in Signal processing and Embedded Systems. Bhopal, India, 2107. pp. 402 – 407.
- [8] Lixin Gao, Yongliang Zhang, Jinhong Zhao. BIST using Cellular Automata as Test Pattern Generator and Response Compaction. Proc. of 2nd International Conference on Consumer Electronics, Communications and Network. Yichang, China, 2012. pp. 200 – 203.
- [9] Menezes A., P. van Oorschot, Vanstone S. Handbook of Applied Cryptography. CRC Press, 1996. pp. 191 – 212.
- [10] Mosin S.G., Chebykina N.V., Serina M.S. Technique of LFSR Based Test Generator Synthesis for Deterministic and Pseudorandom Testing. Proc. of 11th Conference the Experience of Designing and Application of CAD System in Microelectronics. Polyana-Svalyava, Ukraine, 2011. – pp. 128 – 131.
- [11] Bykhanova N.V., Mosin S.G. Structure design of test generator for subsystems of built-in self-testing of digital circuits. Trudy vserossiiskoi nauchno-tehnicheskoi konfirrencii «Problemy razrabotki perspektivnyh mikroo- i nanoelektronnyh sistem». – Proc. of the All-Russian Scientific and Technical Conference MES "Problems of developing promising micro- and nanoelectronic systems". Moscow, 2014. part 4. pp. 95-100. (In Russian).