

# Методы ресинтеза схем для ПЛИС на основе ячеек с разделенными выходами и обратной связью

И.В. Тиунов

Институт проблем проектирования в микроэлектронике Российской академии наук (ИППМ РАН), Москва, Зеленоград

tiunov\_i@ippm.ru

**Аннотация** — Основным недостатком ПЛИС по сравнению с заказными схемами является сравнительно невысокое быстродействие. Одним из путей улучшения характеристик проектируемого устройства является учет различных архитектурных особенностей целевой ПЛИС. В прошлых работах было показано, что учет таких особенностей может значительно сократить площадь, занимаемую схемой в случаях, когда два связанных элемента объединяются в одной ячейке. Данная работа является дальнейшим развитием идеи такой архитектурно-ориентированной оптимизации и предлагает два метода, позволяющих сократить как количество занимаемых ячеек, так и количество межсоединений. Апробация предложенных методов проведена на нескольких наборах тестовых схем. Результаты демонстрируют дополнительное сокращение занимаемой на ПЛИС площади до 5 % по сравнению с результатами предыдущих работ и сокращение количества межсоединений до 11%.

**Ключевые слова** — ПЛИС; ресинтез; технологическое отображение.

## I. ВВЕДЕНИЕ

На сегодняшний день широкое распространение получили программируемые логические интегральные схемы (ПЛИС). Такие устройства позволяют пользователю самостоятельно настраивать логику работы посредством специальных систем автоматизированного проектирования (ур). Благодаря этому ПЛИС имеют широкую область применения.

В сравнении с заказными схемами проектирование с применением ПЛИС занимает меньше времени, поскольку не требует производства конечного устройства. Кроме того, стоимость итогового изделия для устройств на базе ПЛИС значительно ниже.

Однако основное преимущество ПЛИС является также и ее недостатком. Для обеспечения гибкости программирования используются архитектуры, в которых основным структурным элементом является программируемый логический блок (ПЛБ) – основная логическая единица, определяющая конечный функционал устройства. Каждый такой блок в большинстве случаев имеет в своем составе программируемую таблицу соответствия (ТС) и триггер. В зависимости от архитектуры в ПЛБ может быть от одного до нескольких таких элементов. Каждая

ТС имеет набор из  $K$  входов данных ( $K$ -ТС), может реализовать любую логическую функцию от  $K$  переменных  $f(x_1, x_2, \dots, x_K)$  и содержит  $2K$  конфигурационных бит таблицы истинности [1]. Таким образом, для реализации как одно-, так и четырехвходового логического элемента всегда используется один ПЛБ. Кроме того, для организации связей между элементами используются специализированные коммутационные блоки.

Для улучшения характеристик ПЛИС разработчики экспериментируют с различными архитектурами, изменяя структуру основных компонентов. Чаще всего эти изменения касаются элемента ПЛБ.

## II. ОБЗОР АРХИТЕКТУРНЫХ РЕШЕНИЙ НА ПРИМЕРЕ ЛОГИЧЕСКОЙ ЯЧЕЙКИ ПЛИС ALTERA MAX 10

Рассмотрим логическую ячейку ПЛИС Altera MAX 10, структура которой продемонстрирована на рисунке (рис. 1) [2].

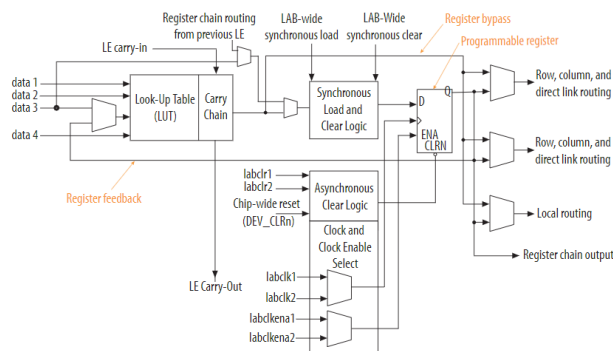


Рис. 1. Архитектура ПЛБ Altera Max 10 в обычном режиме

Данная ячейка содержит одну 4-ТС, один триггер, набор конфигурационной логики и наборы информационных и конфигурационных входов и выходов.

Особенностью ПЛБ MAX 10 является наличие в нем обратной связи от триггера к 4-ТС через один из информационных входов. Она может быть использована при проектировании счетчиков, регистров, генераторов и других устройств.

Другой особенностью данной ячейки является возможность подать данные напрямую на вход данных

триггера  $D$  через тот же информационный вход  $data3$ . Данная особенность используется при отображении на ячейку триггера. Это позволяет избежать лишних задержек, вводимых элементом 4-ТС и, тем самым, повысить его быстродействие.

В обоих случаях, ПЛБ следует настроить с помощью конфигурационных входов для активации данных возможностей.

Все эти и другие особенности необходимо учитывать на этапе технологического отображения для достижения лучших характеристик проектируемых схем.

### III. МЕТОДЫ РЕСИНТЕЗА ИЗ ПРЕДЫДУЩИХ РАБОТ

Логический синтез является одним из важнейших этапов в маршруте проектирования цифровых схем. На этом этапе решаются задачи отображения в заданный базис, структурной и функциональной верификации, оптимизации временных и пространственных характеристик и др. [3, 4, 5].

В маршрутах проектирования схем для ПЛИС появляется особый этап логического синтеза – технологическое отображение, представляющее собой процесс трансляции схемы на языке поведенческого описания (логического, функционального) в описание в терминах архитектуры ПЛИС. На данном этапе происходит конфигурирование устройства посредством манипулирования конфигурационными входами логических ячеек ПЛИС.

В работах [6, 7] на примерах как реальных, так и абстрактных архитектур были описаны методы архитектурно-ориентированного ресинтеза схем на этапе технологического отображения – методы прямого объединения (МПО).

Главной идеей в данных методах было объединение логических элементов и триггеров в пределах одной ячейки благодаря наличию программируемой связи между ТС и триггером. МПО применяются для случаев, когда в схеме присутствуют пары ТС-триггер, в которых выход логического элемента соединен непосредственно с одним из входов триггера (информационным или управляющим).

Если ТС имеет единственный элемент-триггер в качестве нагрузки, то применяется метод МПО-О (МПО для одиночной нагрузки), в котором два элемента объединяются в пределах одной ячейки и происходит соответствующее программирование ПЛБ.

В случае присутствия множественной нагрузки применяются методы МПО-М (МПО для множественной нагрузки), которые делятся на две вариации: МПО для множественного подключения (МПО-МП) и МПО множественного распределения (МПО-МР). Первый из них подразумевает, что при наличии нескольких триггеров в качестве нагрузки, ТС объединяется только с одним из них, а на остальные элементы сигнал распространяется через непосредственный выход ТС. Суть второй вариации

заключается в том, что в той же ситуации создаются копии ТС для каждого триггера и объединяются с ним. В отличие от первой вариации, вторая увеличивает размер схемы, хотя итоговое количество занятых ПЛБ будет тем же. Несмотря на это, такой метод полезно применять для выравнивания задержек.

В работах [6,7] было продемонстрировано, что применение этих методов позволило существенно уменьшить площадь, занимаемую схемой на кристалле ПЛИС.

Многие из этих методов применимы и к ПЛБ МАХ 10. Метод, который невозможно применить - это МПО по управляющим входам, так как сигнал с ТС может быть перенаправлен только на вход данных триггера.

Далее будут предложены два метода ресинтеза, использующие особенности архитектуры МАХ 10.

### IV. МЕТОД НЕЗАВИСИМОГО ОБЪЕДИНЕНИЯ

#### A. Описание метода

Ячейка МАХ 10 позволяет настроить для триггера выделенный информационный вход через вход  $data3$ . При этом в ячейке остается полностью функциональная ТС. Однако, если один из входов занят триггером, для ТС остается только три информационных входа. Данная ячейка имеет несколько выходов, на которые можно передавать данные как с ТС, так и с триггера. Это позволяет выделить каждому из элементов по собственному выходу из ячейки. Таким образом получается, что в ячейке одновременно могут находиться два независимых друг от друга элемента: 3-ТС и триггер.

Данную информацию можно использовать для объединения независимых друг от друга элементов в пределах одной ПЛБ, как показано на рисунке 2.

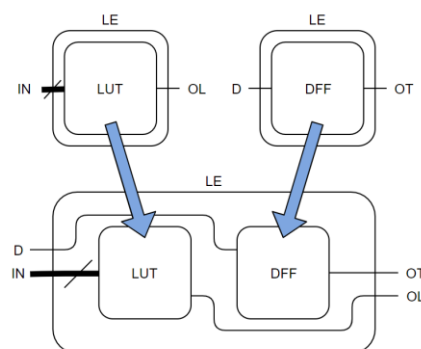


Рис. 2. Объединение независимых элементов

Метод независимого объединения (МНО) подойдет для случаев, когда после применения методов МПО в схеме еще присутствуют пары независимых ТС и триггеров, которые можно объединить.

Стоит отметить, что существуют архитектуры, в которых ПЛБ имеет выделенный информационный вход триггера, не занимающий входы ТС. В таком случае отсутствуют ограничения на элементы, подходящие для объединения.

В данном методе необходимо правильно выбирать элементы. Допустим, на этапе технологического отображения информация о размещении элементов отсутствует. Поэтому будем полагать, что чем дальше друг от друга объединяемые элементы, тем длиннее будет путь распространения сигнала. Следовательно, для объединения следует выбирать ближайшие друг к другу элементы.

Пусть  $G(V, E)$  – граф, представляющий проектируемую схему, где  $V$  – множество элементов схемы, представляющих собой сконфигурированные ПЛБ,  $E$  – множество дуг, представляющих собой связи между элементами. Каждый элемент  $v \in V$  имеет множество  $I_v \in V$  элементов, соединенных со входами, и множество  $O_v \in V$  элементов, соединенных с выходом.  $D_{ij}$  – удаленность вершины  $j$  от вершины  $i$ , выраженная в количестве промежуточных дуг.

Алгоритм поиска подходящего для ресинтеза логического элемента  $v_{\text{подх}} \in V$  для текущего ПЛБ  $v_0 \in V$ , в котором задействован только триггер, представлен следующим псевдокодом:

$v_{\text{подх}} = \text{пустой элемент}$ $v_{\text{вых}} = \text{пустой элемент}$ $v_{\text{вх}} = \text{пустой элемент}$ $\forall v_j \in O_{v_0}$ : Если $v_j$ непосещен или $D_{v_j v_0} > (D_{v_k v_0} + 1)$ : $D_{v_j v_0} = D_{v_k v_0} + 1$ Если $v_j$ не использует триггер и использует ТС: Если $v_{\text{вых}}$ – пустой или $D_{v_{\text{вых}} v_0} > D_{v_j v_0}$ : $v_{\text{вых}} = v_j$ Иначе: $v_{\text{вх}} = \text{результат выполнения алгоритма для } v_j$ $\forall v_j \in I_{v_0}$ : Если $v_j$ непосещен или $D_{v_j v_0} > (D_{v_k v_0} + 1)$ : $D_{v_j v_0} = D_{v_k v_0} + 1$ Если $v_j$ не использует триггер и использует ТС: Если $v_{\text{вх}}$ пустой элемент или $D_{v_{\text{вх}} v_0} > D_{v_j v_0}$ : $v_{\text{вх}} = v_j$ Иначе: $v_{\text{вх}} = \text{результат выполнения алгоритма для } v_j$ Если $v_{\text{вх}}$ не пустой элемент и $v_{\text{вых}}$ не пустой элемент: Если $D_{v_{\text{вх}} v_0} < D_{v_{\text{вых}} v_0}$ : $v_{\text{подх}} = v_{\text{вх}}$ Иначе: $v_{\text{подх}} = v_{\text{вых}}$
Иначе если $v_{\text{вх}}$ не пустой элемент: $v_{\text{подх}} = v_{\text{вх}}$ Иначе если $v_{\text{вых}}$ не пустой элемент: $v_{\text{подх}} = v_{\text{вых}}$ Вернуть $v_{\text{подх}}$

Общий алгоритм работы описанного метода ресинтеза представляется следующим псевдокодом:

$\forall v_k \in V$ : Если $v_k$ использует триггер и не использует ТС: Найти подходящий $v_{\text{подх}}$ Если $v_{\text{подх}}$ не пустой: Создать новую ПЛБ $v_t$ ; Настроить ТС $v_t$ эквивалентно $v_{\text{подх}}$ ; Настроить триггер $v_t$ эквивалентно $v_k$ ; Настроить независимые выходы; Заменить $v_k$ и $v_{\text{подх}}$ на $v_t$ .
---

Данный метод, как было сказано ранее, следует использовать только после применения МПО. Это имеет важное значение, так как применение МНО менее эффективно с точки зрения разводимости.

### В. Результаты апробации метода

МНО, также, как и МПО, был реализован в программном модуле X-MAP (ХСУ в прошлых работах). Данная программа покрывает этап технологического отображения в маршруте проектирования на ПЛИС. Она работает с синтезированным описанием схемы в терминах ТС и/или библиотечных элементов. На выходе программа генерирует описание схемы после проведения архитектурно ориентированного ресинтеза с использованием методов МПО и МНО.

Набор схем для тестирования был взят из сборника IWLS-2005 [8]. Этап синтеза схем осуществлялся с помощью инструмента Yosys-ABC [9, 10, 11]. Для тестирования также были взяты 48 схем из наборов ISCAS'89, ITC'99 и Faraday. Все схемы синтезированы с использованием 4-ТС. Результаты работы метода продемонстрированы в табл. 1.

Столбец “Синтез” содержит изначальное количество элементов схемы после синтеза Yosys-ABC и до применения методов ресинтеза. Столбец “МПО” содержит количество элементов схемы после применения методов МПО. Столбец “МНО” демонстрирует количество элементов после применения МНО в совокупности с МПО. В столбце “Относит. улучш.” указано процентное отношение столбца “МНО” к “МПО”. Столбец “Общее улучш.” демонстрирует общий выигрыш по площади после применения всех доступных методов ресинтеза.

Как видно из таблицы применение МНО позволяет сократить общее количество элементов схемы на дополнительные 5% к результату работы МПО, доводя максимальное значение сокращения по площади до 39%.

## Результат апробации метода МНО

Тестовый набор	Схема	Количество ПЛБ				
		Синтез	МПО	МПО и МНО	Относительное улучшение (%)	Общее улучшение (%)
ITC'99	s5378	584	431	427	0,93	26,88
	s9234	424	325	309	4,92	27,12
	s13207	504	327	318	2,75	36,90
	s15850	353	226	216	4,42	38,81
	s38417	4365	3170	3108	1,96	28,80
	s38584	3752	2726	2656	2,57	29,21
Faraday	DSP	17279	13815	13796	0,14	20,16
	DMA	10257	8195	8121	0,90	20,82
<b>Среднее</b>					2,32	28,59
<b>Максимальное</b>					4,92	38,81

## V. МЕТОД СВЕРТЫВАНИЯ ОБРАТНЫХ СВЯЗЕЙ

## A. Описание метода

Теперь рассмотрим вторую особенность ячейки MAX 10 – наличие обратной связи от триггера к ТС. Как было сказано ранее, это соединение может быть использовано для построения различных последовательных схем, где следующее состояние зависит от предыдущего. Для того, чтобы в ПЛИС реализовать обратную связь, необходимо провести сигнал по трассировочным путям к нужному входу. В случае ПЛИС от Altera обратная связь может быть реализована непосредственно в ПЛБ. Это позволяет экономить трассировочные ресурсы ПЛИС, повышая ее разводимость и увеличивая быстродействие устройства.

Рассмотрим схему s27 (рис. 3) из набора ISCAS'89, синтезированную в 4-ТС с помощью инструмента Yosys-ABC. На рисунках схема изображена без входов синхросигнала и сброса, которые подключены к каждому триггеру.

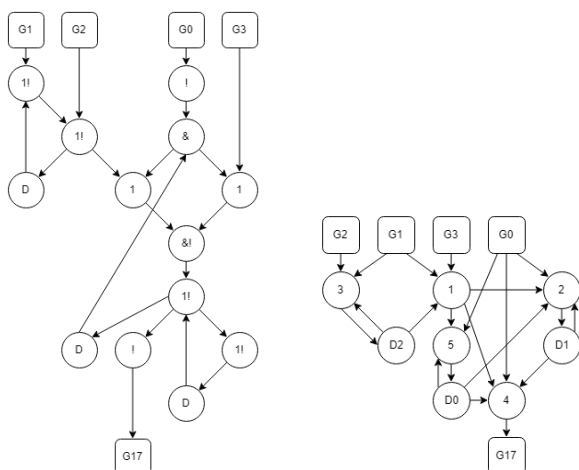


Рис. 3. Схема s27: до синтеза (слева) и после (справа)

Как видно из рисунка, синтезированный вариант схемы s27 может быть оптимизирован по площади путем применения методов объединения элементов. После их применения схема принимает вид, показанный на рис. 4.

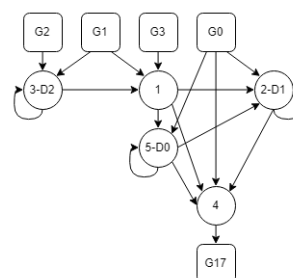


Рис. 4. Схема s27 после применения методов объединения элементов

В результате количество элементов схемы сократилось с восьми до пяти, при этом объединенные элементы имеют обратную связь. Благодаря указанной ранее особенности ячейки ПЛБ, обратные связи этих элементов можно задействовать внутри ячейки. Таким образом, количество путей распространения сигнала сократится для данной схемы с 23 до 20 (учитывая синхросигнал и сигнал сброса), что составляет 13%.

Эта схема демонстрирует случай, когда работают методы МПО. Однако, применение МНО также может привести к возникновению обратной связи.

Алгоритм свертывания обратных связей в данном случае тривиален и представлен следующими последовательными шагами:

$\forall v_k \in V:$

Если  $\exists v_i \in O_{v_k} : v_i = v_k$ , то:

Настроить обратную связь элемента  $v_k$

Удалить из графа  $G$  дугу  $(v_k, v_k)$

### *B. Результаты тестирования метода свертывания обратных связей*

Как и МНО, данный метод был интегрирован в программный модуль X-MAP, для технологического отображения и оптимизации схем.

Тестирование проводилось на наборе из 48 схем сборника IWLS-2005. Результаты данного тестирования для части схем представлены в табл. 2.

Как видно из полученных результатов, применение метода свертывания обратных связей позволяет сократить общее количество связей в схеме в среднем до 5% и максимум до 11%.

### VI. ИНТЕГРАЦИЯ С САПР

В программное средство X-MAP интегрированы все описанные в данной и предыдущих работах методы ресинтеза. Средство успешно интегрировано в существующие маршруты проектирования цифровых схем для ПЛИС и реконфигурируемых систем на кристалле, разработанные в ИППМ РАН [12, 13].

Таблица 2

*Результаты апробации метода свертывания обратных связей*

Тестовый набор	Схема	Результат синтеза			Результат применения МПО и МНО		
		Кол-во межсоединений	Кол-во обратных связей	Улучшение (%)	Кол-во межсоединений	Кол-во обратных связей	Улучшение (%)
ISCAS'89	s27	31	0	0,00	28	3	10,71
	s1423	877	0	0,00	803	67	8,34
	s5378	1968	0	0,00	1815	4	0,22
	s9234	1515	0	0,00	1415	81	5,72
	s13207	1888	0	0,00	1709	109	6,38
	s15850	1320	1	0,08	1190	75	6,30
	s38417	15366	0	0,00	14158	1044	7,37
	s38584	13781	0	0,00	12735	477	3,75
ITC'99	b02	33	0	0,00	29	3	10,34
	b03	399	0	0,00	369	26	7,05
	b04	898	0	0,00	832	50	6,01
	b12	2076	0	0,00	1957	103	5,26
	b13	506	0	0,00	453	43	9,49
	b14	6852	0	0,00	6607	151	2,29
	b18	107505	0	0,00	104229	1514	1,45
	b22	23145	0	0,00	22442	436	1,94
Faraday	DSP	56009	0	0,00	52542	2900	5,52
	DMA	35845	64	0,18	33719	923	2,74
<b>Average Maximum</b>				0,13			4,86
				0,18			10,71

### VII. ЗАКЛЮЧЕНИЕ

Возможности ПЛИС ограничиваются количеством программируемых логических блоков и трассировочными ресурсами. Быстродействие таких устройств напрямую зависит от количества задействованных ПЛБ, а успешность трассировки – от количества связей в схеме.

В данной работе представлены методы ресинтеза с оптимизацией по площади. Результаты апробации методов демонстрируют, совокупное с результатами прошлых работ, сокращение занимаемой площади до 39%, и снижение количества межсоединений до 11%.

Несмотря на то, что сокращение количества ПЛБ также может повысить быстродействие, многое, однако, также зависит и от качества размещения и трассировки.

### ЛИТЕРАТУРА

- [1] Andrew Ling, Deshanand P. Singh, Stephen D. Brown, FPGA technology mapping: a study of optimality, Proceedings of the 42nd annual Design Automation Conference, 2005, Anaheim, California, USA. P. 427-432.
- [2] URL: <https://www.intel.com/content/www/us/en/programmable/documentation/myt1396938463674.html> (дата посещения: 30.11.2019)

- [4] Gavrilov S., Ivanova G., Volobuev P., Manukyan A. Methods of logical synthesis for library elements and blocks with regular layout structure // 2015 IEEE 35th International Conference on Electronics and Nanotechnology (ELNANO-2015), 2015, pp. 138-141.
- [5] Gavrilov, S. V., Gurov, S. I., Zhukova, T. D., Rukhlov, V. S., Ryzhova, D. I., Tel'pukhov, D. V. Methods to increase fault tolerance of combinational integrated microcircuits by redundancy coding // Computational Mathematics and Modeling, 28(3), pp. 400-406. (2017).
- [6] Lipatov, I. A., & Tiunov, I. V. Performance-driven technology mapping for XC5510 family FPGAs. // Young Researchers in Electrical and Electronic Engineering (EIconRus), 2017 IEEE Conference of Russian. IEEE, 2017. P. 477-479.
- [7] I.V. Tiunov, I.A. Lipatov, D.A. Zheleznikov, "Digital Circuits Resynthesis Approach for FPGAs Based on Logic Cell with Built-In Flip-Flop, Problems of advanced micro- and nanoelectronic systems development, 2019, pp. 33-36.
- [8] URL: <http://iwls.org/iwls2005/benchmarks.html> (access date: 30.11.2019)
- [9] Clifford Wolf, Johann Glaser. Yosys - A Free Verilog Synthesis Suite. // Proceedings of the 21st Austrian Workshop on Microelectronics (Austrochip). 2013.
- [10] Glaser, J., & Wolf, C. Methodology and Example-Driven Interconnect Synthesis for Designing Heterogeneous Coarse-Grain Reconfigurable Architectures. // Models, Methods, and Tools for Complex Chip Design. Springer, Cham, 2014. P. 201-221.
- [11] URL: <http://www.eecs.berkeley.edu/~alanmi/abc/> (access date: 30.11.2019)
- [12] Гаврилов С.В., Железников Д.А., Липатов И.А., Тиунов И.В. Маршрут проектирования для отечественных программируемых интегральных схем специального назначения: интеграция с существующими промышленными средствами автоматизированного проектирования и решение проблем импортозамещения. // Электронная техника. Серия 3. Микроэлектроника. 2017. СС. 5-11.
- [13] Gavrilov S.V., Zheleznikov D.A., Zapletina M.A., Chochaev R.Z., Enns V.I. Layout Synthesis Design Flow for Special-Purpose Reconfigurable Systems-on-a-Chip // Russian Microelectronics. 2019. 48(3). P. 176-186. DOI: 10.1134/s1063739719030053

## Resynthesis Methods for FPGAs Based on Cells with Separated Outputs and Built-in Feedback

I.V. Tiunov

Institute for Design Problems in Microelectronics of Russian Academy of Sciences (IPPM RAS),  
Moscow, Zelenograd

[tiunov\\_i@ippm.ru](mailto:tiunov_i@ippm.ru)

**Abstract** - In previous works it was shown that the area occupied by the circuit can be significantly reduced if the FPGA architecture features are taken into. This work is a further development of the idea of architecture-oriented optimization and it proposes two additional methods to reduce both the number of occupied cells and the number of interconnections.

The introduction provides an overview of the main advantages and disadvantages of FPGAs. The conclusion is that it is necessary to take into account architectural features to achieve the best performance.

In the second chapter, using the Altera's MAX 10 FPGA programming logic block (PLB), some structural features that can be used to optimize circuits during resynthesis are shown.

The third chapter reviews the methods of resynthesis described in previous works [6]. Direct Combinating Methods (DCMs) use LUT-DFE programmable interconnection to minimize the number of PLBs.

The fourth chapter is devoted to the development of the Independent Combinating Method (ICM). This method uses the ability to configure a dedicated input for a trigger and a second output of the PLB to combine independent circuit elements. The results of method approbation applying both DCMs and ICM are presented. The maximum total area reduction reaches 39%.

The fifth chapter is devoted to the development of a feedbacks utilization method. It is shown that in some cases after applying both DCMs and ICM the loops are formed. The method uses PLB's built-in feedback to move the loop inside the block. The method was approbated on IWLS-2005 circuits. After applying the method, the number of pin-to-pin connections was reduced up to 11%.

Chapter six talks about integrating methods are used in existing CAD systems.

In conclusion, the results are summarized. It is indicated that although the proposed methods can significantly reduce the occupied area, performance also depends on placement and tracing.

**Keywords** — FPGA; resynthesis; technology mapping.

### REFERENCES

- [1] Andrew Ling, Deshanand P. Singh, Stephen D. Brown, FPGA technology mapping: a study of optimality, Proceedings of the 42nd annual Design Automation Conference, 2005, Anaheim, California, USA. P. 427-432.
- [2] URL: <https://www.intel.com/content/www/us/en/programmable/documentation/myt1396938463674.html> (access date: 30.11.2019)

- [3] Ivannikov, A., Romanov, A., Stempkovsky, A. Set-theoretic model of digital systems functioning // In proceedings of the International Siberian Conference on Control and Communications, SIBCON 2016. DOI: 10.1109/SIBCON.2016.7491726
- [4] Gavrilov S., Ivanova G., Volobuev P., Manukyan A. Methods of logical synthesis for library elements and blocks with regular layout structure // 2015 IEEE 35th International Conference on Electronics and Nanotechnology (ELNANO-2015), 2015, pp. 138-141.
- [5] Gavrilov, S. V., Gurov, S. I., Zhukova, T. D., Rukhlov, V. S., Ryzhova, D. I., Tel'pukhov, D. V. Methods to increase fault tolerance of combinational integrated microcircuits by redundancy coding // Computational Mathematics and Modeling. 28(3), pp. 400-406. (2017).
- [6] Lipatov, I. A., & Tiunov, I. V. Performance-driven technology mapping for XC5510 family FPGAs. // Young Researchers in Electrical and Electronic Engineering (EIConRus), 2017 IEEE Conference of Russian. IEEE, 2017. P. 477-479.
- [7] I.V. Tiunov, I.A. Lipatov, D.A. Zheleznikov, "Digital Circuits Resynthesis Approach for FPGAs Based on Logic Cell with Built-In Flip-Flop, Problems of advanced micro- and nanoelectronic systems development, 2019, pp. 33-36.
- [8] URL: <http://iwls.org/iwls2005/benchmarks.html> (access date: 30.11.2019)
- [9] Clifford Wolf, Johann Glaser. Yosys - A Free Verilog Synthesis Suite. // Proceedings of the 21st Austrian Workshop on Microelectronics (Austrochip). 2013.
- [10] Glaser, J., & Wolf, C. Methodology and Example-Driven Interconnect Synthesis for Designing Heterogeneous Coarse-Grain Reconfigurable Architectures. // Models, Methods, and Tools for Complex Chip Design. Springer, Cham, 2014. P. 201-221.
- [11] URL: <http://www.eecs.berkeley.edu/~alanmi/abc/> (access date: 30.11.2019)
- [12] Gavrilov S.V., Zheleznikov D.A., Lipatov I.A., Tiunov I.V. Marshrut proyektirovaniya dlya otechestvennykh programmiruyemykh integral'nykh skhem spetsial'nogo naznacheniya: integratsiya s sushchestvuyushchimi promyshlennymi sredstvami avtomatizirovannogo proyektirovaniya i resheniye problem importozameshcheniya (Design flow for domestic programmable integrated circuits for special purpose: integration with existing computer-aided design systems and solution for problems of import substitution) // Elektronnaya tekhnika. Seriya 3. Mikroelektronika. 2017. S. 5-11 (In Russian).
- [13] Gavrilov S.V., Zheleznikov D.A., Zapletina M.A., Chochev R.Z., Enns V.I. Layout Synthesis Design Flow for Special-Purpose Reconfigurable Systems-on-a-Chip // Russian Microelectronics. 2019. 48(3). P. 176-186. DOI: 10.1134/s10637