

# Пути и методы повышения производительности микропроцессоров

С.Г. Бобков

Институт проблем проектирования в микроэлектронике РАН, г. Москва, s\_g\_bob@mail.ru

**Аннотация** — Рассмотрены основные направления и методы повышения производительности высокопроизводительных микропроцессоров. Основным направлением повышения производительности является развитие архитектуры микропроцессоров. В России развиваются две архитектуры универсальных процессоров: EPIC-архитектура силами МЦСТ и RISC-архитектура целым рядом компаний. Однако ни одно из этих направлений не может дать кардинального повышения производительности. В статье рассмотрены направления, которые могут значительно улучшить характеристики микропроцессоров благодаря принципиально новой архитектуре и технологическим процессам.

**Ключевые слова** — микропроцессор, архитектура, производительность, потоковые процессоры, 3D-структуры.

## I. ВВЕДЕНИЕ

Вычислительные системы охватывают все стороны нашей жизни и от того какими они будут, зависит и наша жизнедеятельность. Производительность вычислительных систем является важнейшей характеристикой, и она зависит от целого ряда факторов. Прежде всего, это производительность микропроцессора и организация подсистемы памяти. Производительность микропроцессоров и ЭВМ в целом во многом определяется возможностями эффективной работы параллельных вычислителей. Параллельная работа организуется как на аппаратном, так и на программном уровне. Однако многие задачи плохо распараллеливаются и классические методы повышения производительности за счет создания параллельно функционирующих узлов становятся неэффективными. Значительный рост производительности для таких задач возможен за счет создания принципиально новых архитектур и технологий изготовления микросхем.

## II. ОСНОВНЫЕ НАПРАВЛЕНИЯ ПОВЫШЕНИЯ ПРОИЗВОДИТЕЛЬНОСТИ МИКРОПРОЦЕССОРОВ

Основное влияние на производительность вычислительных систем оказывает производительность микропроцессора, линейно зависящая от трёх характеристик – его частоты, средней частоты на выполнение инструкций, и количества инструкций в выделенной области программы [1]. Частота микропроцессора определяется, прежде всего, технологией его изготовления, частота на инструкцию -

архитектурой микропроцессора, количество инструкций - системой команд и технологией компиляции.

Повышение частоты микропроцессора в настоящее время практически исчерпано для традиционных технологий изготовления кристаллов. Это связано со значительным ростом потребляемой мощности. Современные серийные высокопроизводительные микропроцессоры имеют частоту ниже 5 ГГц. Соответственно переход на принципиально новые технологии изготовления микропроцессоров может позволить соответственно поднять производительность. Наиболее известные направления такой деятельности являются квантовые и оптические компьютеры. Однако значимых результатов пока нет. Для оптических компьютеров основной проблемой является создание оптической памяти. Возможно использование совместно оптических вычислителей и традиционной памяти, однако в этом случае низкая частота работы с памятью не позволит получить высокие производительности. Результаты работ по квантовым компьютерам пока не позволяют получить универсальную вычислительную систему серийного производства. Разработка современных квантовых компьютеров направлена на реализацию отдельных задач, таких как криптография и шифрование, задачи оптимизации, решение систем линейных уравнений и симуляция квантовой системы. Времена жизни кубитов современных квантовых компьютеров составляют не больше 100 микросекунд.

Система команд и технология оптимизирующей компиляции в целом позволяют поднять производительность до 50% для универсальных микропроцессоров. Возможно создание специализированных микропроцессоров под выделенные области применения с системой команд, эффективно решающих эти задачи. Это может дать повышение производительности до нескольких десятков раз. Именно поэтому создаются специализированные сигнальные процессоры, телекоммуникационные процессоры и пр., однако для всего круга задач такой подход невозможен. То есть кардинального повышения производительности этот подход не дает. Таким образом, основным направлением развития микропроцессоров является развитие архитектуры микропроцессора, и создание внутри универсального микропроцессора специализированных сопроцессоров также можно отнести к развитию архитектуры.

Проблемы создания современных высокопроизводительных микропроцессоров можно разбить на две основные группы:

- усложнение процесса проектирования связанное с развитием архитектуры: повышение сложности проектов приводит к необходимости повышения числа и уровня подготовки специалистов, повышения качества средств проектирования, создания новых маршрутов проектирования, включая тестирование и верификацию проектов, создания соответствующей инфраструктуры, включающей мощные сервера, высокочастотные и многоканальные приборы, средства тестирования и верификации, включая ускорители, и пр.;

- физические ограничения при создании сложных проектов и переходе на предельные технологические нормы.

Из физических ограничений необходимо выделить три основных фактора: снижение надёжности, повышение потребляемой мощности и ограничения, связанные с предельными технологическими нормами производства микросхем. Особенно острой задача становится при создании микропроцессоров для высокопроизводительных серверов и супер-ЭВМ. В США уже сейчас вычислительные центры потребляют свыше 2 % всей энергии. С удвоением этого показателя каждые пять лет суперкомпьютеры в 2100 году теоретически будут нуждаться во всём вырабатываемом сегодня в Штатах электричестве.

Одним из основных сдерживающих факторов роста производительности микросхем является рост потребляемой мощности. С точки зрения подходов к минимизации энергии, потребляемой при функционировании логических элементов, можно ввести следующую классификацию составляющих частей потребляемой энергии:

- рассеивание энергии из-за токов утечек в статическом режиме;
- рассеивание энергии из-за протекания токов в динамическом режиме;
- энергия формирования логического состояния элемента.

Потребляемую элементом мощность можно рассчитать исходя из следующей формулы:

$$P = P_{in} + P_{st} + P_l, \quad (1.1)$$

$$P_l = \frac{C \times U^2}{2} \times K \times f, \quad (1.2)$$

$$P_{in} = E(t_f, C) \times K \times f. \quad (1.3)$$

$P_{in}$  - внутренняя мощность элемента, определяемая сквозными токами и определяемая как энергия переключения элемента  $E(t_f, C)$ , которая зависит от фронта сигнала на входе и от нагрузки, умноженная на коэффициент переключений ( $K$ ) и на частоту ( $f$ );

$P_{st}$  - мощность, потребляемая в статическом режиме;

$P_l$  – мощность, затрачиваемая на перезаряд нагрузки, определяемая энергией перезаряда емкости нагрузки, умноженная на коэффициент переключений ( $K$ ) и на частоту ( $f$ );

При переходе на технологические нормы стандартных КМОП процессов ниже 65 нм статическое потребление становится выше динамического.

Токи утечки эффективно снижаются созданием специальных технологических процессов *Low Power*, основанных на изменении режимов работы транзисторов и повышении порога его переключения, соответственно используется специальная библиотека логических элементов на основе транзисторов с разными порогами. МОП-транзисторы с пороговым напряжением, увеличенным на 120 - 150 мВ, имеют ток утечки в 10 - 20 раз меньше тока транзисторов с номинальным пороговым напряжением 0,25 - 0,3 В. Увеличение порогового напряжения достигается с помощью увеличения толщины затворного диэлектрика и изменения профиля легирования кармана. Однако это приводит к снижению быстродействия и нагрузочной способности транзисторов.

Схемотехнические методы снижения энергии статического потребления направлены на снижение токов утечек, главным образом, за счёт последовательного включения в стоковую цепь элементов дополнительных транзисторов, которые ограничивают величину тока стока. Подобные меры по ограничению тока стоковой цепи способствуют увеличению времени переключения элемента из одного логического состояния в другое. Для решения этой проблемы применяются различные схемы управления дополнительными транзисторами, которые в зависимости от режима работы элемента (частоты изменения его выходных логических состояний, продолжительность нахождения в каком-либо одном логическом состоянии) задают повышенный или пониженный ток стока элемента. Подобные подходы имеют наибольшую эффективность снижения энергии потребления в статическом режиме (в 2-5 раз), если частота переключения логических элементов не превышает нескольких сотен МГц [2];

Динамическое рассеивание происходит в моменты переключения в логических элементах схемы. Основная причина наличия динамического тока в КМОП схемах – это перезаряд внутренних емкостей СБИС, величина которых определяется размерами топологических элементов, формируемых в процессе создания транзисторов и межсоединений [3]. Заряд и разряд емкостей происходит через коммутируемые  $n$ - и  $p$ -канальные транзисторы, в которых происходит рассеивание потребляемой динамической энергии. Из формулы (1.2) видно, что динамическое потребление зависит линейно от частоты и емкости и квадратично от напряжения питания. Соответственно все методы снижения потребления направлены на снижение этих характеристик.

К методам динамического снижения энергопотребления цифровых КМОП СБИС относятся [1]:

1. Снижение напряжения питания и уменьшение проектных норм.
2. Динамическое управление частотой и напряжением питания.
3. Включение дополнительных тактов останова в конвейер.
4. Использование нескольких напряжений в одном кристалле.
5. Применение технологий с меньшими значениями паразитов, таких как технология «кремний на изоляторе».
6. Метод селективного отключения синхросигнала.
7. Использование средств САПР.
8. Принцип понижения энергопотребления адиабатических логических элементов.
9. Использование асинхронной логики.

Как было сказано выше, развитие архитектуры микропроцессоров идет по пути усложнения проектов. Для архитектуры RISC - это прежде всего:

– Суперскалярное выполнение - способность выполнения нескольких машинных инструкций за один такт процессора путем увеличения числа исполнительных устройств.

– Предсказанием условных переходов (динамическое и статическое), когда направления команд ветвления (составляющих в среднем 20%) могут быть предсказаны с вероятностью свыше 90%.

– Методы переупорядочивания независимых друг от друга инструкций для максимального повышения эффективности распараллеливания (процессоры с внеочередным исполнением инструкций - *Out-of-Order processors*).

– Мультиитредовая технология (*Multithreading*), аппаратно поддерживающая эффективное выполнение нескольких тредов (минимальный аппаратный функциональный блок микропроцессора, поддерживаемый операционной системой и использующий общие ресурсы с другими тредями) для каждого ядра.

– Использование нескольких ядер.

– Использование различных сопроцессоров.

Однако все эти методы не позволяют в полной мере поднять производительность, прежде всего, из-за ограничений скорости работы с памятью. Создается сложная иерархическая структура памяти, составляющая значительные ресурсы микропроцессора [4]. Тем не менее, решения проблемы пока нет.

Таким образом, рассмотрены основные современные пути повышения производительности микропроцессоров. Эти методы позволяют относительно плавно повышать производительность и не могут дать резкого скачка. Для существенного повышения производительности нужна принципиально новая архитектура или технология изготовления микропроцессоров.

### III. ПОТОКОВЫЕ ПРОЦЕССОРЫ С ДИНАМИЧЕСКИ ФОРМИРУЕМЫМ КОНТЕКСТОМ

Как было сказано выше, использование сопроцессоров может поднять производительность в десятки раз для выделенных задач. Создание «универсального» сопроцессора позволило динамически перестраиваться под задачу. В этом направлении возможно использование ПЛИС с динамическим изменением архитектуры [5]. Однако ограничения самих ПЛИС не дают возможность создания высокоэффективных универсальных процессоров.

Принципиально новым подходом в этом направлении является создание процессора с потоковой моделью вычислений с динамически формируемым контекстом [6]. Предложена модель вычислений в парадигме «раздачи», когда вычисленные данные поступают для следующих вычислений не через память, а непосредственно на вычислительный блок.

Можно выделить главное, за счет чего достигается высокая производительность предлагаемой параллельной потоковой вычислительной системы (ППВС):

1. Применение парадигмы «раздачи» (вычислительный узел сам вычисляет адреса, по которым должны быть разосланы данные) вместо парадигмы «сбора». В результате исключаются огромные потери на работу через память (ОЗУ). Сдерживанием производительности современных высокопроизводительных систем является именно низкая скорость работы с ОЗУ и недостаточные ее объемы. Смена парадигмы, помимо исключения задержек на обмен с ОЗУ, существенно снижает требования к объему памяти при больших объемах обрабатываемых данных, поскольку уже не требуется память для хранения ряда промежуточных данных.

2. Возможность автоматического распараллеливания задач аппаратурой. Проблема создания программ с возможностью ее параллельного исполнения сейчас решается за счет создания новых алгоритмов, позволяющих явно указать на распараллеливание и создание языков параллельного программирования. Это могут быть и универсальные языки высокого уровня, такие как параллельный Fortran или Си, или специализированные языки, такие как CUDA. Ведущая компания по созданию микроэлектронных САПР Cadence заявляла о своих достижениях по возможности эффективного исполнения программ синтеза на 8 ядрах микропроцессоров Intel. Возможность распараллеливания аппаратурой программ на сотни ядер для подобных задач приведет к многократному снижению времени исполнения и переходу на качественно новый уровень проектирования, когда можно будет оптимизировать проект за счет прогона сотен различных вариантов. Это снижает также и требования к уровню дизайнеров, поскольку многие оптимизации можно будет делать без участия

разработчика. Возможность аппаратного распараллеливания задачи для потоковых процессоров осуществляется за счет использования аппаратной ассоциативной памяти, разработанного параллельного языка высокого уровня DFL и программно-аппаратных средств локализации вычислений. Аппаратура ППВС извлекает весь имеющийся параллелизм в программе, включая «неявный», сопоставляя приходящие в вычислительные ядра данные.

3. Упрощение микропроцессора (исполнительного устройства) за счет исключения таких опций RISC микропроцессоров, как суперскалярность, предсказание ветвления, переупорядочивание данных, внеочередное исполнение инструкций (Out-of-Order processors), мультитредовой технологии, сложной иерархии КЭШ памяти и пр. Соответственно уменьшается число транзисторов и потребляемая мощность. Появляется возможность увеличения числа вычислительных узлов и объема полностью ассоциативной памяти, необходимой для эффективной работы потоковых процессоров.

К недостаткам можно отнести необходимость иметь встроенную полностью ассоциативную память объемом порядка 100 кбайт на процессор. Ячейка такой памяти строится на базе 10 транзисторов, то есть площадь такой памяти заметно больше стандартной 6-транзисторной статической памяти.

Производительность одного такого процессора для технологических норм 28 нм превысит 2 Тфлопс операций двойной точности, для матричных операций – 8 Тфлопс. Реальная производительность на ряде пользовательских задач превысит 50 % пиковой производительности. В микросхеме будет 4 кластера, в каждом из которых один RISC процессор ввода/вывода и свыше 128 узлов собственно потокового процессора с эффективной (приведенной) частотой свыше 2 ГГц. Такая производительность соответствует современным специализированным процессорам, реальная производительность которых составляет только порядка 10 % пиковой производительности.

Основной проблемой при создании процессоров с новой архитектурой является использование ранее созданного программного обеспечения. Для разрабатываемой ППВС создан прототип транслятора с языка высокого уровня Pascal в разработанный язык высокого уровня DFL, ориентированный на параллельные вычисления. Аналогично могут быть разработаны трансляторы с языков Fortran и Си. Таким образом, при наличии исходных текстов возможна трансляция программ в DFL и далее ассемблер ППВС, хотя наибольшая эффективность достигается при непосредственной разработке программ в DFL. Однако в реальной жизни отсутствуют исходные тексты многих

программ. Поэтому можно предложить архитектуру параллельной ЭВМ, совмещающую серийные микропроцессоры и потоковые процессоры. На рис. 1 представлена структура параллельной ЭВМ на базе модулей с универсальными отечественными процессорами Эльбрус и потоковыми процессорами.

При таком построении возможно использование ППВС и как «универсальный» сопроцессор, и как универсальная ЭВМ. Процессоры Эльбрус организуют функционирование всей вычислительной системы в целом, передавая часть задач на процессоры ППВС.

Таким образом, использование процессора с потоковой моделью вычислений с динамически формируемым контекстом позволит поднять производительность вычислительных систем в несколько раз и обеспечить параллельное выполнение программ на сотнях и тысячах ядер, что позволит сделать резкий скачок в создании мощных супер-ЭВМ.

#### IV. АРХИТЕКТУРА ПРОЦЕССОРА С НАКРИСТАЛЬНЫМ ОЗУ БОЛЬШОГО ОБЪЕМА

Как было сказано во 2 разделе, одним из основных ограничивающих факторов роста производительности является низкая скорость работы с ОЗУ. Сложная иерархия памяти существенно ускоряет работу с данными, однако не позволяет добиться требуемых скоростей. Что же требуется? Для высокопроизводительных процессоров необходимо иметь быстродействующую (с доступом 1-3 такта процессора) накристальную память достаточного объема для вычислений, это единицы - десятки Гбайт на один процессор в зависимости от задачи. Предположим, что такая память есть. В этом случае произойдет кардинальное изменение в архитектуре микропроцессоров. Отпадет необходимость в сложной иерархии памяти, не нужна будет ни кэш-память, ни большое количество регистров, изменится виртуализация памяти. Разрушение конвейера вычислений не приведет к резкому замедлению вычислений. Микропроцессоры существенно упростятся, а значит, повысится надежность, снизится энергопотребление и размеры вычислителей, соответственно на кристалле можно будет увеличить число ядер процессора, и уже только возможности параллельных вычислений будут ограничивать производительность. Такие решения дадут увеличение производительности микропроцессоров в десятки раз.

Технологией для производства подобных процессоров может стать технология создания многослойных трехмерных структур кристаллов микросхем, когда сверху кристалла микропроцессора наносятся слои памяти. Технологический процесс производства подобной памяти не должен иметь температуры, приводящие к разрушению ранее созданных структур.

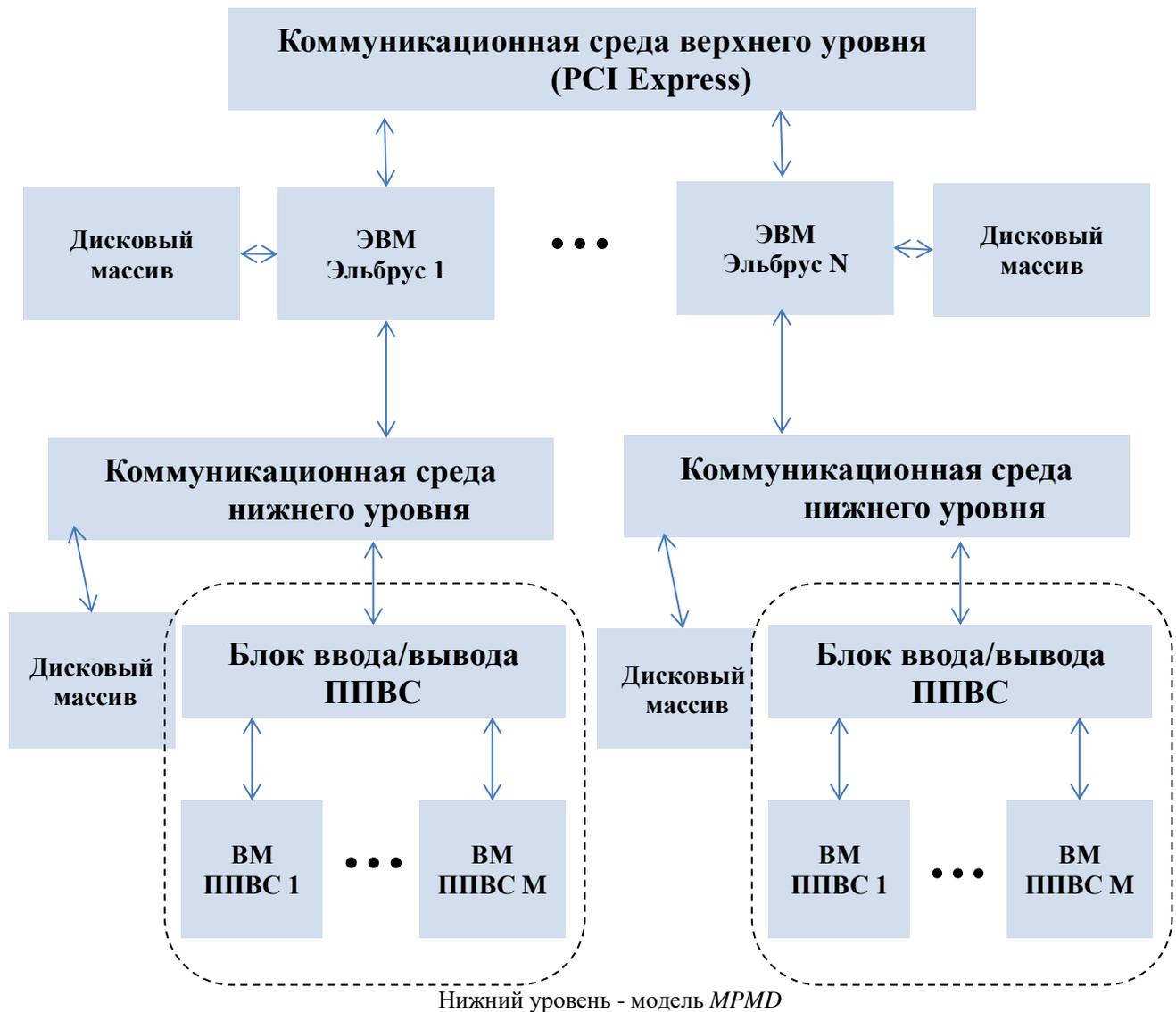


Рис. 1. Базовая архитектура параллельной потоковой вычислительной системы

Одним из таких процессов может стать технология на основе радиационных методов контролируемого преобразования атомного состава и свойств веществ под действием облучения легкими ионами. Еще в начале 2000-х годов был разработан метод селективного удаления атомов из тонкопленочных материалов под действием облучения протонами [7]. Были проведены эксперименты селективного удаления атомов кислорода из оксидов меди и вольфрама и формирование металлических структур с размерами 40 нм [8]. На основе разработанных методов предлагалось создать память для нанесения ее на кристаллы микропроцессоров [8]. Были созданы также патернированные магнитные структуры, позволяющие создавать магнитную память большого размера и повысить плотность записи магнитной информации, поскольку в такой среде каждый бит записывается в минимальную изолированную магнитную область, устойчивую к тепловым флуктуациям. Однако для создания промышленных технологий на базе таких

методов требовалось большое финансирование, что невозможно было обеспечить в те годы.

Другими вариантами могут стать технологии создания памяти на новых физических принципах, позволяющие объединить достоинства традиционных видов памяти: высокая скорость работы, побитовый доступ, сохранность информации при выключении питания, долговечность. В настоящее время ведутся активные работы по созданию подобных памяти, таких как ReRAM на основе мемристоров, память на нанотрубках, FRAM, 3D XPoint, STT-MRAM и пр. Перспективны также технологии создания нанотранзисторов на нанотрубках для создания управляющих структур памяти на нанотрубках и других ячеек, где не требуются большие токи записи. На первом этапе возможно создание трехмерных структур на основе 3D корпусирования с использованием кристаллов процессора и памяти.

Существенным сдерживающим фактором для таких компьютеров уже становится возможность

параллельного программирования и параллельного исполнения программ на сотнях и более ядрах. Применяя потоковые процессоры, рассмотренные в предыдущем разделе, можно будет поднять производительность уже в сотни раз на большом количестве ядер. Станет реальностью создание экзафлопсных ЭВМ, что позволит сделать качественный скачок в самых различных областях: материаловедении, ракетостроении, ядерной энергетики, создании новых лекарств и пр.

#### V. ЗАКЛЮЧЕНИЕ

Рассмотренные во втором разделе методы повышения производительности микропроцессоров позволяют постепенно поднимать их пиковую производительность. Кардинальное повышение производительности возможно за счет создания новых архитектур и технологических процессов производства микросхем. Создание трехмерных структур процессор-память позволит поднять производительность в десятки раз, а использование потоковых процессоров с динамически формируемым контекстом помимо дополнительного увеличения производительности позволит организовать параллельное вычисление на сотнях и тысячах ядер. На перспективность такого направления указывает и программа DARPA по созданию трехмерных структур. К сожалению, такие направления требуют большого финансирования и огромных усилий. Поэтому целесообразно объединение усилий ведущих компаний для создания новых прорывных направлений. Отдельной, даже самой сильной российской компании, подобной задачи не решить. В кооперации могли бы выступить МЦСТ, НИЦ Курчатовский институт, ИППМ РАН, ИНМЭ РАН, НИИМЭ и др. ведущие центры.

#### ЛИТЕРАТУРА

- [1] Бобков С.Г. Высокопроизводительные вычислительные системы. – М.: НИИСИ РАН, 2014.
- [2] Abdollahi A., Fallah F., Pedram M. Leakage Current Reduction in CMOS VLSI Circuits by Input Vector Control // Proc. ISLPED, 2002.
- [3] Chandrakasan A., Sheng S., Broersen R. Low-power CMOS Digital Design // IEEE Journal of Solid-State Circuits, v.27(4), с.473-484.
- [4] Бобков С.Г. Высокопроизводительные системы и подсистемы памяти // НИЯУ МИФИ, М.2018.
- [5] Аряшев С.И., Бобков С.Г. Вычислитель с перепрограммируемой архитектурой, 1998г. Патент 2115161.
- [6] Левченко Н.Н., Окунев А.С., Стемповский А.Л. Использование модели вычислений с управлением потоком данных и реализующей ее архитектуры для систем экзафлопсного уровня производительности // Проблемы разработки перспективных микро- и наноэлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2012. С. 459-462.
- [7] Гурович Б. А., Долгий Д. И., Кулешова Е. А. и др. Управляемая трансформация электрических, магнитных и оптических свойств материалов ионными пучками // Успехи физических наук. 2001. Т. 171, № 1.
- [8] Бобков С.Г., Лунин Ю.Н. Моделирование нанопроволочек и измерение характеристик проводников, полученных методом селективного удаления атомов. 6-я научно-техническая конференция, г. Нижний Новгород, 2004 г. // Электроника, микро- и наноэлектроника. Сборник научных трудов / Под ред. В.Я. Стенина. – М.: МИФИ, 2004. с. 27-31.
- [9] Бобков С.Г., Лунин Ю.Н. Способ снижения тока записи наноразмерных ячеек памяти. 3-я научно-техническая конференция, г. Пушкинские горы, 2001 г. // Электроника, микро- и наноэлектроника. Сборник научных трудов / Под ред. В.Я. Стенина. – М.: МИФИ, 2001. с. 140-144.

## Directions and Methods to Improve the Performance of Microprocessors

S.G. Bobkov

Institute for Design Problems in Microelectronics of RAS, Moscow, s\_g\_bob@mail.ru

**Abstract** — The main directions and methods of improving the performance of high-performance microprocessors are considered. The main direction of increasing performance is to improve the architecture of microprocessors. Two architectures are being developed in Russia: EPIC architecture by MCST and RISC architecture by a number of Russian companies. However, no one of these areas can give a drastic increase in performance. The directions that can fundamentally improve the characteristics of microprocessors due to the new architecture and technological processes are considered. One of the directions may be the creation of processors with a data flow model of calculations with a dynamically formed context. The advantage of such processor is the possibility of hardware parallelization of tasks into

hundreds of cores, a simpler architecture, and a significant reduction in the required volume of RAM for organizing calculations. However, such processors must have a fully associative memory of about 100 KB per processor. Another direction is the creation of 3D processor-memory structures, when layers of memory are applied on top of the processor crystal. To create the required technological process, radiation methods can be used for controlled conversion of atomic composition under the influence of the light ion radiation. Back in the early 2000s, a method of selective removal of atoms was developed, allowing, for example, making metals from oxides. The most promising memory for such tasks is memory on nanotubes, although memory on other physical principles can also be used. Such approaches

can increase the performance of computers by tens or hundreds of times.

**Keywords**— microprocessor, architecture, performance, data flow processor, 3D structures.

#### REFERENCES

- [1] Bobkov S.G. Vysokoproizvoditelnye sistemy. – M.: NIISI RAN, 2014.
- [2] Abdollahi A., Fallah F., Pedram M. Leakage Current Reduction in CMOS VLSI Circuits by Input Vector Control // Proc. ISLPED, 2002.
- [3] Chandrakasan A., Sheng S., Broersen R. Low-power CMOS Digital Design // IEEE Journal of Solid-State Circuits, v.27(4), c.473-484.
- [4] Bobkov S.G. Vysokoproizvoditelnye sistemy i podsistemy pamiaty // NIYU MIFI, M.2018.
- [5] Ariashev S.I., Bobkov S.G. Vychislitel s pereprogrammiruemoi arkhitekturoi, 1998r. Patent 2115161.
- [6] Levchenko N.N., Okunev A.S., Stempkovski A.L. Ispolzovanie modeli vychisleni s upravleniem potoka dannich i reslizuuchei ee srkhitektury dlia system ekzfphlopsnogo urovnia proizvoditelnosti // Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem - 2012. Sbornik trudov / pod obsh. red. Akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2012. C. 459-462.
- [7] Gurovich B.A., Dolgich D.I., Kulechova E.A. I dr. Upravliaemaia transformaciia elektricheskikh, magnitnykh, i opticheskikh svoistv materialov ionnymi puchkami // Uspechi fizicheskikh nauk. 2001. T. 171, № 1.
- [8] Bobkov S.G., Lunin U.N. Modelirovanie nanoprovolochek i izmerenie charakteristik provodnikov, Poluchennuch metodom selektivnogo udaleniya atomov. 6-ia nauchno-technichskaia konferenciya, g. Nizhnij Novgorod, 2004 g. // Elektronika, mikro- i nanoelektronika. Sbornik nauchnykh trudov / Pod red. V.Ia. Stenina – M.: MIFI, 2004. c. 27-31.
- [9] Bobkov S.G., Lunin U.N. Sposob snizheniya toka zapisi nanorazmernuch iacheek pamiaty. 3-ia nauchno-technichskaia konferenciya g. Pushkinskie Goru, 2001 r. // Elektronika, mikro- i nanoelektronika. Sbornik nauchnykh trudov / Pod red. V.Ia. Stenina – M.: MIFI, 2001. c. 140-144.