Исследования высоковольтных комплементарных полевых транзисторов с управляющим p-n переходом в диапазоне температур с помощью методов приборнотехнологического моделирования

Д.Г. Дроздов^{1,2}, Н.Н. Прокопенко^{3,4}, Е.М. Савченко², П.А. Дюканов¹, А.И. Грушин¹

¹АО «НПП «Пульсар», г. Москва

²РТУ МИРЭА, г. Москва

³Донской государственный технический университет, г. Ростов-на-Дону, prokopenko@sssu.ru

⁴Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград

Аннотация — В статье приведены результаты моделирования основных электрических параметров высоковольтных комплементарных полевых транзисторов с управляющим p-n переходом (CJFET) в широком диапазоне температур. Описаны основные модели и методы, необходимые для расчёта транзисторов при уменьшении температуры до 50 К. На основе полученных данных предложены методы снижения влияния сверхнизких температур на параметры CJFET, определен температурный диапазон работы различных конструктивных вариантов комплементарных полевых транзисторов.

Ключевые слова — комплементарные JFET, система приборно-технологического моделирования, криогенные температуры.

I. Введение

Комплементарные полевые транзисторы с управляющим p-n переходом являются одними из основных элементов аналоговых интегральных схем. предназначенных для экстремальных условий эксплуатации: воздействие ионизирующего излучения, сверхнизкие температуры и др. [1], [2]. Использование таких транзисторов позволяет создавать уникальные интегральные схемы на основе современных широкополосные схемотехнических решений: операционные иправляемые усилители. несимметричные дифференциальные усилители, мультидифференциальные усилители и др. [3] –]6[.

Результаты исследования параметров JFET в экстремальных условиях подробно описаны в следующих работах [7] – [11]. Однако для отработки конструктивных и технологических решений при оптимизации комплементарных полевых транзисторов с управляющим p-n переходом для конкретного технологического процесса целесообразно применять САПР приборно-технологического моделирования, в частности САПР Sentaurus TCAD [12]. В работе представлены результаты выбора моделей, обеспечивающих возможность отработки конструктивно-технологических решений и повышение точности при моделировании CJFET в широком диапазоне температур, в том числе до 50 К. На основе моделирования сформулирован ряд решений по снижению влияния криогенных температур на основные CJFET параметры И определен температурный диапазон работы различных конструктивных вариантов CJFET.

II. Объект исследования

В данной работе для исследований в диапазоне температур рассматривались высоковольтные CJFET, интегрированные в СВЧ комплементарный биполярный технологический процесс [13], [14]. Основными особенностями комплементарных биполярных транзисторов данного технологического процесса являются: напряжение пробоя коллекторэмиттер UKЭ0 (прп / pnp) > 36 В; статический коэффициент усиления по току β (npn / pnp) = 100/60, напряжение Эрли UA (npn / pnp) = 50 / 40 B, fT (npn / pnp) = 3/2 ГГц. На рис. 1, для примера, приведены выходные вольт-амперные характеристики (BAX) одного из полевых транзисторов при T = 300 K.



Рис. 1. $I_C = f(U_{CH})$ высоковольтного nJFET

Также для примера на рис. 2 приведена конструкция р-канального JFET, в которой в качестве области верхнего затвора применятся область базы pnp-Конструкция п-канального транзистора. **JFET** аналогичная. Как отмечалось в работах [14], [15] с целью обеспечения требуемых значений напряжения отсечки в качестве верхнего затвора могут быть использованы области эмиттеров комплементарных биполярных транзисторов. С целью корректного сравнения конструкций комплементарных полевых транзисторов при моделировании в диапазоне температур будут рассмотрены варианты с близкими передаточными характеристиками (рис. 3). Здесь и далее пунктирные линии будут соответствовать конструкциям транзисторов с затвором на основе области эмиттера, а сплошные линии – с затвором на основе области базы.





Рис. 3. $I_C = f(U_{3H})$ при $U_{CH} = 5 / -5 B$ высоковольтных CJFET

III. Методы моделирования

Как уже отмечалось, для проведения приборного и технологического моделирования комплементарных JFET применялся САПР Sentaurus TCAD. При проведении технологического моделирования элементов СВЧ высоковольтного комплементарного биполярного технологического процесса применялись модели и методы, описанные в работе [16]. При проведении расчетов электро-физических характеристик в диапазоне температур стоит выделить следующие особенности:

- применение модели подвижности носителей заряда компании Филипс, разработанной Клаассеном [17], [18]. Особенностью данной модели является её калибровка в диапазоне температур вплоть до криогенных;

- использование модели расчета ширины запрещенной зоны с учетом концентрации вводимой примеси (модель Слотбума [19]) и температуры [20];

- применение модели расчета времени жизни носителей заряда в зависимости от концентрации вводимой примеси (модель Шокли-Рида-Холла [21]) и температуры [22];

- использование модели лавинного умножения Лакнера [23] и статистики носителей заряда Ферми-Дирака [24].

При расчете параметров CJFET в области низких температур на точность проводимых расчетов существенно влияет модель неполной ионизации примеси. С уменьшением температуры тепловой энергии в полупроводнике становится недостаточно для полной активации всех донорных или акцепторных примесных атомов. В результате, концентрация носителей заряда не равна концентрации атомов легирующей примеси. При температурах T < 100 K называемое «вымораживание» наступает так «Вымораживание» примесных носителей заряда. моделируется с помощью модели, в которой концентрация ионизированных доноров ипи акцепторов вычисляется согласно формулам [25], [26]:

$$\begin{split} N_D^+ &= \frac{N_D}{1 + g_D exp\left(\frac{E_{F_n} - E_D}{kT}\right)} \quad (1) \\ N_A^- &= \frac{N_A}{1 + g_A exp\left(\frac{E_{F_p} - E_A}{kT}\right)}, \quad (2) \end{split}$$

где N_D — концентрация активных доноров, N_A- концентрация активных акцепторов, g_D — фактор вырождения для донорного уровня, g_A — фактор вырождения для акцепторного уровня, E_D, E_A- энергия ионизации доноров и акцепторов, E_{Fn}, E_{Fp} — квазиуровень Ферми для электронов и дырок, k — постоянная Больцмана, T — температура.

Значения энергии активации снижаются с увеличением концентрации примеси. Выражения для данного эффекта имеют следующий вид [25]:

$$E_{D} = E_{D,0} - \alpha_{D} \cdot N_{D}^{\frac{1}{3}}, \quad (3)$$
$$E_{A} = E_{A,0} - \alpha_{A} \cdot N_{A}^{\frac{1}{3}}, \quad (4)$$

где $E_{D,0}$ $E_{A,0}$ – энергии активации для низкого уровня концентрации примеси, α_D , α_A – параметры модели.

Стоит отметить, что в работах [25] – [32] представлены различные значения коэффициентов модели Е_{D.0}, Е_{A.0} и α_D, α_A для основных типов примеси, используемых при формировнии комплементарных JFET. В таблице 1 приведены диапазоны значений параметров модели, представленных в литературе.

Таблица 1

Параметры модели, описывающей зависимость энергии активации от концентрации примеси

Примесь	Е D,0 /A,0 (мэВ)	$\alpha_{D/A} (\times 10^{-5}) (M \rightarrow B \cdot cM)$
Р	44,045,5	3.13,6
В	43,057,0	3,037 4.08
As	53,7	3,6
Sb	3942,7	3,6

С учетом представленных значений было проведено моделирование вольт-амперных характеристик п- и рканальных JFET, показавшее пренебрежимую разницу в результатах расчета. Соответственно, целесообразно использовать коэффициенты, заданные в САПР по умолчанию.

Стоит отметить, что включение в перечень используемых моделей статистики Ферми-Дирака было обусловлено наличием в рассматриваемых структурах CJFET сильнолегированных областей, например, областей контактов, скрытого слоя нижнего затвора. Однако, при уменьшении температуры ниже 80 К решении уравнений системы сходимость при значительно ухудшается. Проводилось моделирование с использованием статистики Максвелла-Больцмана, рассматриваемых показавшее для конструкций транзисторов отсутствие влияния данной модели на вольт-амперные характеристики. При этом сходимость существенно улучшилась, что позволило проводить расчёты вплоть до температуры T = 25 K.

Важнейшим термоэлектрическим явлением, которое необходимо учитывать при моделировании в диапазоне температур является эффект саморазогрева [8] – [10]. Увеличение подвижности носителей заряда и, соответственно, рост тока при снижении температуры приводит к тому, что выделяемое тепло не может достаточно эффективно отводиться, в случае если тепловое сопротивление системы достаточно велико. Исследования термоэлектрических явлений в САПР TCAD возможны как с помощью термодинамической модели, так и с помощью упрощенной модели [33]. При использовании термодинамичекой модели решается уравнение теплового потока, а также в уравнения для дырочного и электронного плотностей токов добавляется член, связанный с градиентом температуры [12].

В упрощенной модели не решается уравнение теплового потока, температура вычисляется из уравнения теплового баланса, где рассеиваемая мощность равна сумме тепловых потоков на границе:

$$P_{\text{pacc}} = \sum_{i} \frac{T - T_{th}^{(i)}}{R_{T}^{(i)}} \quad (5).$$

Здесь Т – общая температура прибора, T_{th} и R_T температура и тепловое сопротивление теплового контакта *i*, соответственно.

Применение упрощенной модели в сравнении с термодинамической позволяет значительно сократить время расчета и обеспечивает лучшую сходимость при снижении температуры окружающей среды. В случае если тепловое сопротивление измерительной системы мало, то эффект саморазогрева при уменьшении температуры для CJFET не наблюдается [1], [7]. В данной работе будут представлены результаты моделирования приборов с различными значениями теплового сопротивления.

Важной особенностью применения САПР Sentaurus TCAD для расчета комплементарных полевых транзисторов при сверхнизких температурах является выбор математического алгоритма решения системы дифференциальных уравнений. Основным алгоритмом является SUPER. Помимо него существует также алгоритмы PARDISO, ILS, UMF, SLIP90, а также метод декомпозиции BLOCKED [12].

Для температуры выше 293 К алгоритмов SUPER или PARDISO полностью достаточно для решения задач по расчёту статических характеристик комплементарных JFET. В диапазоне до температуры 85 К возможностей алгоритма SUPER не всегда достаточно, поэтому целесообразен переход к другим алгоритмам, например, ILS. Также существовал ряд задач, в которых данный алгоритм не обеспечивал системы уравнений: решение многозатворные транзисторы при температурах, соответствующих началу области «вымораживания» примесных носителей заряда, наличие областей с плавающим потенциалом и др. Для данных задач, а также при расчетах в условиях сверхнизких температур требовался переход к алгоритмам ILS или SLIP90.

В таблице 2 представлены значения относительного времени расчета персональной рабочей станции при моделировании характеристики $I_D = f(U_{GS})$ многозатворного п-канального JFET при различных температурах $T = 50 \div 350$ K.

Таблица 2

Относительное время расчета BAX nJFET для различных математических алгоритмов

Метод	Температура (К)							
	50	100	150	200	250	300	350	
ILS		1,27	1,17	3,85	4,97	2,69	2,58	
SUPER	1,69	1,64	2,73	I	I	1,73	1,53	
PARDISO	-	-	3,33	-	-	1,19	1,09	
SLIP90	1,78	1,70	1,00	1,40	-	6,53	-	
UMF	-	-	-	-	-	1,69	1,41	
BLOCKED	1,83	1,65	2,75	-	-	1,75	1,51	

Для ряда значений температуры наблюдается отсутствие сходимости при решении системы дифференциальных уравнений. Как можно увидеть из таблицы, для данной задачи, алгоритмы SLIP90 и ILS обеспечивают расчет ВАХ в максимально широком диапазоне температур. При этом для сверхнизких температур сходимость и максимальную скорость расчета обеспечивает алгоритм SLIP90, для которого однако, наблюдались проблемы со сходимостью при температурах более 200 К. Алгоритм ILS, напротив, обеспечивает стабильный расчет вплоть до криогенных температур, однако существенно увеличивает время по сравнению с, например, алгоритмом SUPER. Таким образом, можно рекомендовать применять алгоритм SLIP90 для расчета при сверхнизких температурах, алгоритм ILS для диапазона 200 ÷ 300 K, а для температур выше комнатной – алгоритм SUPER.

IV. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Рассмотрим вначале ВАХ транзисторов при различных значениях теплового сопротивления. При моделировании обратная сторона кристалла рассматривалась как тепловой контакт, для которого вводилось значение теплового сопротивления. На рис. 4 и 5 приведены выходные ВАХ р-канального JFET при различных значениях температуры окружающей среды высоким и низким значениями теплового с сопротивления. Для модели с высоким тепловым сопротивлением (рис. 4) наблюдается неизотермическая картина, при которой температура в транзисторе увеличивается с ростом тока и напряжения. Здесь ясно наблюдается эффект саморазогрева, влияющий на значения тока как в линейной области работы транзистора, так и в области насыщения. Для низким R_T случая с (рис. 5) наблюдается изотермическая картина, при которой величина тока определяется только значениями подвижности и концентрации носителей заряда в зависимости от температуры окружающей Результаты среды. моделирования характеристик комплементарных JFET полностью согласуются с экспериментальными данными, представленными в работах [7] – [10].



Рис. 4. $I_C = f(U_{CH}) (U_{3H} = 0 B) рЈFЕТ в диапазоне$ температур (неизотермический случай)



Рис. 5. I_C = *f* (U_{CH}) (U_{3H} = 0 В) рЈ**F**ЕТ в диапазоне температур (изотермический случай)

С целью охарактеризовать зависимость тока стока СЈFET от температуры далее будут представлены

зависимости для отношений начальных токов стока (I_{CHAY}) при температурах $T_0 = 330$ K, $T_1 = 150$ K и $T_2 = 77$ К. На рис. 6 и 7 представлены отношения токов для изотермического случая в зависимости от напряжения на стоке. Для диапазона температур $\Delta T =$ 150 - 330 К видно, что с уменьшением напряжения сток-исток отношение токов становится меньше как для n-, так и для р-канальных JFET. Для сравниваемых конструкций между комплементарными транзисторами наблюдаются различия: для nJFET с затвором на основе области эмиттера характерно меньшее значение сравнению отношения токов по co второй контсрукцией, а для pJFET – с затвором на основе базы. Для дипазона температур $\Delta T = 77 \div 150$ К наблюдается противоположная картина (рис. 7).



Рис. 6. Зависимость І_{С НАЧ ТІ}/ І_{С НАЧ ТО} от U_{СИ} для CJFET (изотермический случай)



Рис. 7. Зависимость I_{C НАЧ Т1}/ I_{C НАЧ T2} от U_{CИ} для CJFET (изотермический случай)

Для неизотермического случая зависимости отношений токов в диапазоне температур от напряжения U_{CU} приведены на рис. 8 и 9. В диапазоне T = 150 ÷ 330 K для nJFET при увеличении напряжения наблюдается слабое изменение отношения токов (после $U_{CH} = 10$ B), тогда как для pJFET наблюдается снижение величины отношения с ростом U_{CU} . Для диапазона $\Delta T = 77 \div 150$ K для всех транзисторов наблюдается схожая зависимость, при которой значения отношений токов после $U_{CU} \sim 10$ B не зависят от напряжения стокисток.



Рис. 8. Зависимость І_{С нач ті}/ І_{С нач то} от U_{Си} для СЈ**F**ET (неизотермический случай)



Рис. 9. Зависимость І_{С нач т1}/ І_{С нач т2} от U_{Си} для СЈ**F**ET (неизотермический случай)

Стоит отметить еще несколько результатов, полученных при электротепловом моделировании. На рис. 10 представлены результаты расчета напряжения пробоя в зависимости температуры от лля изотермического случая. Напряжение пробоя увеличивается с ростом температуры, что соответствует лавинному пробою. Из данного графика можно сделать вывод, что разработанные конструкции при низком тепловом сопротивлении системы, обеспечивают напряжения пробоя более 30 В в широком диапазоне температур (50-450 К). Соответственно, это позволяет обеспечить двойной запас по напряжению питания для интегральных схем при $U_{\Pi UT} = \pm 15$ В.



Рис. 10. Зависимость U_{СИ_ПРОБ} в диапазоне температур для CJFET (изотермический случай)

На рис. 11 представлены выходные ВАХ комплементарных полевых транзисторов для неизотермического случая, рассчитанные для двух

температур T = 300 К и 450 К. Здесь наблюдается так «snapback»-эффект, обусловленный называемый тепловой генерацией носителей заряда [34]. Тепловая природа данного эффекта подтверждается результатами моделирования как с учетом модели лавинного умножения, так и без. Как и в работах, посвященных области безопасной работы интегральных LDMOS транзисторов [35], [36], напряжение включения U_T данного паразитного эффекта имеет зависимость от температуры обратную зависимости напряжения пробоя сток-исток.



Рис. 11. $I_C = f(U_{CH}) (U_{3H} = 0 B)$ для СЈГЕТ при T = 300 K и 450 K (неизотермический случай)

На рис. 12 представлены зависимости U_T от температуры для рассматриваемых конструкций транзисторов. Видно, что для пJFET в случае высокого теплового сопротивления системы паразитный эффект ограничивает верхнее значение рабочего диапазона температур. Соответственно, в этом случае конструкция nJFET с областью базы в качестве верхнего затвора является наиболее подходящей. Для р-канальных JFET напряжение U_T не опускается ниже 30 В вплоть до 500 К.



Рис. 12. Зависимость напряжения включения «snapback»-эффекта в диапазоне температур для CJFET (неизотермический случай)

Далее будут рассмотрены результаты расчетов системы с низким тепловым сопротивлением. Для рассматриваемых конструкций транзисторов были получены зависимости напряжения отсечки (U_{3И.OTC}) и параметра модуляции длины канала (λ) в диапазоне

температур (рис. 13 и 14). Стоит отметить, что здесь и далее за напряжение отсечки будет принято напряжение при токе стока I_C = 1 нА/мкм.

Как видно из графиков, напряжение отсечки вне зависимости от конструкции линейно убывает с уменьшением температуры, в области криогенных температур снижение напряжения отсечки становится более резким. Для параметра модуляции длины канала стоит отметить следующие особенности: для pJFET наблюдается слабое изменение параметра модуляции длины канала вплоть до температур 100 K, после чего наблюдается резкое увеличение значения λ ; для nJFET параметр λ изменяется во всем диапазоне температур более плавно.



Рис. 13. Зависимость напряжения отсечки в диапазоне температур для CJFET (U_{CH} = 5 /-5 B)



Рис. 14. Зависимость параметра модуляции длины канала в диапазоне температур для CJFET

На рис. 15 и 16 представлены зависимости начального тока стока от температуры для CJFET, различающихся между собой напряжением отсечки. Здесь приведены графики для транзисторов, где в качестве верхнего затвора использована базовая область. Как видно из графиков, увеличение напряжения отсечки приводит к возрастанию разницы в значениях начального тока стока полевых транзисторов в диапазоне температур.



Рис. 15. $I_{C HAY} = f(T)$ для рЈFET при различных $U_{3H OTC}$ ($U_{CH} = -5 B$)



Рис. 16. $I_{C HAY} = f(T)$ для nJFET при различных $U_{3H OTC}$ ($U_{CH} = 5 B$)

Если сравнить зависимость начального тока стока в диапазоне температур двух рассматриваемых конструктивных вариантов CJFET (рис. 17), то видно, что при использовании эмиттера в качестве верхнего затвора значение начального тока стока увеличивается, прежде всего, в области с максимальным значением подвижности носителей заряда.



Рис. 17. $I_{C HAY} = f(T)$ для двух типов конструкций СЈГЕТ (U_{CH} = 5 /-5 B)

Зависимости отношений начальных токов стока CJFET от напряжения отсечки для различных температур представлены на рис. 18 и 19. Видно, что с уменьшением напряжения отсечки и, соответственно, уменьшением начального тока стока, величина отношения токов при T_1 и T_0 снижается, а при T_1 и T_2 увеличивается.



Рис. 18. Зависимость $I_{C HAY TI}/I_{C HAY T0}$ (сплошная линия) и $I_{C HAY TI}/I_{C HAY T2}$ (пунктирная линия) от $U_{3U OTC}$ для двух типов nJFET (U_{CH} = 5 B)



Рис. 19. Зависимость $I_{C HA4_TI}/I_{C HA4_T0}$ (сплошная линия) и $I_{C HA4_TI}/I_{C HA4_T2}$ (пунктирная линия) от $U_{3H OTC}$ для двух типов pJFET ($U_{CH} = -5$ B)

Соответственно, для обеспечения стабильности параметров комплементарных полевых транзисторов с управляющим p-n переходом в диапазоне температур целесообразно применять транзисторы с малым напряжением отсечки, при этом требуемые значения тока стока необходимо обеспечивать за счёт увеличения ширины затвора. Моделирование несколько типов топологий транзисторов (различное число верхних затворов) показало, что значение начального тока стока в диапазоне температур линейно возрастает с увеличением числа затворов (рис. 20).



Рис. 20. $I_{DSS} = f(T)$ для n-JFET с различным числом верхних затворов

Также на основе представленных данных можно сделать следующие выводы;

- для pJFET с затвором на основе области базы температурная стабильность начального тока стока в диапазоне $\Delta T = 150 \div 330$ К выше, чем у транзистора с затвором на основе эмиттера; для nJFET наблюдается противоположная картина;

- отношения начальных токов стока в диапазоне $\Delta T = 150 \div 330 \text{ K}$ для nJFET ниже во всем диапазоне напряжений отсечки в сравнении с pJFET;

- в диапазоне $\Delta T = 150 \div 77$ К зависимости отношений начальных токов стока двух конструкций СЈFET не различаются между собой; для рJFET наблюдаются меньшие значения отношения токов в сравнении с nJFET.

V. Заключение

В работе представлены основные особенности моделирования приборно-технологического полевых комплементарных транзисторов с управляющим p-n переходом в диапазоне температур, в частности: выбор моделей для расчета электрофизических характеристик, выбор алгоритмов решения системы дифференциальных уравнений лля конкретных диапазонов температур. С применением предложенных методов моделирования в диапазоне температур рассчитаны основные характеристики комплементарных полевых транзисторов С управляющим p-n переходом, интегрированных в СВЧ комплементарный биполярный технологический процесс. Результаты показали следующее:

- рассмотренные pJFET обладают большим запасом по рабочим напряжениям как для изотермического, так и для неизотермического случаев;

- nJFET имеют преимущества в части меньшего изменения параметров в диапазоне температур вплоть до температур, при которых начинается «вымораживание» примесных носителей заряда;

 снижение напряжения отсечки позволяет уменьшить влияние температуры на начальный ток стока;

- применение области эмиттера в качестве верхнего затвора слабо влияет на параметры nJFET, для pJFET температурная стабильность параметров, в целом, ухудшается.

Поддержка

Работа была выполнена при финансовой поддержке гранта РНФ (Проект № 16-19-00122-П).

ЛИТЕРАТУРА

- Dvornikov O.V. et al. Cryogenic Operational Amplifier on Complementary JFETs // 2018 IEEE East-West Design & Test Symposium (EWDTS). – IEEE. – 2018. – C. 1-5.
- [2] Дворников О.В. и др. Радиационно-стойкие аналоговые интегральные схемы // Проблемы разработки перспективных микро-и наноэлектронных систем (МЭС). – 2012. – №. 1. – С. 280-283.

- [3] Fleischer D.A. et al. CMOS-integrated low-noise junction field-effect transistors for bioelectronic applications // IEEE Electron Device Letters. – 2018. – T. 39. – №. 7. – C. 931-934.
- [4] Ai Q. et al. A cost-competitive low Noise Junction-FET (JFET) for high-precision Analog Application // 25th International Conference on Noise and Fluctuations (ICNF 2019). No. CONF. 2019.
- [5] Takao H. et al. Low-Noise Fully Differential Amplifiers Using JFET-CMOS Integration Technology for Smart Sensors // IEEJ transactions on electrical and electronic engineering. – 2008. – T. 3. – №. 3. – C. 274-280.
- [6] Starchenko E.I., Prokopenko N.N., Budyakov P.S. The radiation-hardened voltage references on bipolar and JFET transistors // 2015 IEEE 8th GCC Conference & Exhibition. – IEEE. – 2015. – C. 1-4.
- [7] Goldberg R.T. et al. Fabrication and characterization of lownoise cryogenic Si JFETs // Proc. Symp. Low Temperature Electronics and High Temperature Superconductivity. – 1995. – C. 95-9.
- [8] Sreelakshmi K., Satyam M. Estimation of low temperature characteristics of JFETs from their room-temperature characteristics // Cryogenics. – 1996. – T. 36. – №. 5. – C. 325-331.
- [9] Iliescu M., Culcer M. Experimental study about JFET's behaviour at low temperatures // Romanian Reports in Physics. – 2000. – T. 52. – №. 1/2. – C. 167-170.
- [10] Kavangary A. et al. Temperature dependent electrical characteristics of a junction field effect transistor for cryogenic sub-attoampere charge detection // AIP Advances. - 2019. - T. 9. - №. 2. - C. 025104.
- [11] Lovshenko I.Y., Khanko V.T., Stempitsky V.R. Radiation influence on electrical characteristics of complementary junction field-effect transistors exploited at low temperatures // Materials Physics & Mechanics. – 2018. – T. 39. – №. 1. – C. 92-101.
- [12] Sentaurus Device User Guide, Version 2013.03 Synopsys Inc., Mountain View, CA, USA, 2013.
- [13] Виноградов Р.Н., Дюканов П.А., Ксенофонтов Д.Л., Корнеев С.В., Сурков Г.П. Аналоговые интегральные схемы с полевыми транзисторами с управляющим p-n переходом // Материалы XIV научно-технической конференции Твердотельная электроника. Сложные функциональные блоки РЭА. Москва: МНТОРЭС им. А.С. Попова. 2015.
- [14] Drozdov D.G. et al. Microwave High-Voltage CBiCJFET Technology for Analog Integrated Circuits // 2020 IEEE Latin America Electron Devices Conference (LAEDC). – IEEE. – 2020. – C. 1-4.
- [15] Savchenko E.M., Drozdov D.G., Rodin V.G. Grushin A.I., Dukanov P.A., Prokopenko N.N. CJFET Differential Pairs' Constructions and Characteristics for Design of CBICJFET Differential Amplifiers and Differential Difference Amplifiers // Visnyk NTUU KPI Seriia-Radiotekhnika Radioaparatobuduvannia. – 2019. – T. 79. – C. 71 – 77.
- [16] Дроздов Д.Г. СВЧ комплементарный биполярный технологический процесс с высокой степенью симметрии динамических параметров транзисторов: дис. канд. техн. наук: 05.27.01 – Твердотельная электроника, радиоэлектронные компоненты, микро - и наноэлектроника, приборы на квантовых эффектах. – Моск. технол. ун-т, Москва, 2017 - 165 с.
- [17] Klaassen D. B. M. A unified mobility model for device simulation–I. Model equations and concentration dependence // Solid-State Electronics. – 1992. – T. 35. – №. 7. – C. 953-959.

- [18] Klaassen D. B. M. A unified mobility model for device simulation–II. Temperature dependence of carrier mobility and lifetime // Solid-State Electronics. – 1992. – T. 35. – №. 7. – C. 961-967.
- [19] Klaassen D. B. M., Slotboom J. W., De Graaff H. C. Unified apparent bandgap narrowing in n-and p-type silicon // Solid-State Electronics. – 1992. – T. 35. – №. 2. – C. 125-129.
- [20] Bludau W., Onton A., Heinke W. Temperature dependence of the band gap of silicon // Journal of Applied Physics. – 1974. – T. 45. – №. 4. – C. 1846-1848.
- [21] Shockley W., Read Jr W. T. Statistics of the recombinations of holes and electrons // Physical review. – 1952. – T. 87. – № 5. – C. 835.
- [22] Schenk A. A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon // Solid-State Electronics. – 1992. – T. 35. – №. 11. – C. 1585-1596.
- [23] Lackner T. Avalanche multiplication in semiconductors: A modification of Chynoweth's law // Solid-State Electronics. - 1991. - T. 34. - № 1. - C. 33-42.
- [24] Joyce W. B., Dixon R. W. Analytic approximations for the Fermi energy of an ideal Fermi gas // Applied Physics Letters. – 1977. – T. 31. – №. 5. – C. 354-356.
- [25] Jaeger R. C., Gaensslen F. H. Simulation of impurity freezeout through numerical solution of Poisson's equation with application to MOS device behavior // IEEE Transactions on Electron Devices. – 1980. – T. 27. – №. 5. – C. 914-920.
- [26] Selberherr S. MOS device modeling at 77 K // IEEE Transactions on Electron Devices. – 1989. – T. 36. – №. 8. – C. 1464-1474.
- [27] Chrzanowska-Jeske M., Jaeger R. C. BILOW-simulation of low-temperature bipolar device behavior // IEEE transactions on electron devices. – 1989. – T. 36. – №. 8. – C. 1475-1488.
- [28] Liu C. M., Lou K. H., Kuo J. B. 77 K versus 300 K operation: The quasi-saturation behavior of a DMOS device and its fully analytical model // IEEE transactions on electron devices. – 1993. – T. 40. – №. 9. – C. 1636-1644.
- [29] Shaheed M. R., Maziar C. M. A physically based model for carrier freeze-out in Si-and SiGe-base bipolar transistors suitable for implementation in device simulators // Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting. – IEEE, 1994. – C. 191-194.
- [30] Akturk A. et al. Device modeling at cryogenic temperatures: Effects of incomplete ionization // IEEE transactions on electron devices. – 2007. – T. 54. – №. 11. – C. 2984-2990.
- [31] Altermatt P. P., Schenk A., Heiser G. A simulation model for the density of states and for incomplete ionization in crystalline silicon. I. Establishing the model in Si: P// Journal of Applied Physics. – 2006. – T. 100. – №. 11. – C. 113714.
- [32] Altermatt P. P., Schenk A., Schmithen B., Heiser G., A simulation model for the density of states and for incomplete ionization in crystalline silicon. II. Investigation of Si:As and Si:B and usage in device simulation // Journal of Applied Physics. – 2006. – T. 100. – №. 11. – C. 113715.
- [33] Wachutka G. An Extended Thermodynamic Model for the Simultaneous Simulation of the Thermal and Electrical Behaviour of Semiconductor Devices // Proceedings of the Sixth International Conference on the Numerical Analysis of Semiconductor Devices and Integrated Circuits (NASECODE VI), Dublin, Ireland. – 1989, C. 409–414.
- [34] Radhakrishna U. et al. Modeling of SOI-LDMOS transistor including impact ionization, snapback, and self-heating // IEEE transactions on electron devices. – 2011. – T. 58. – №. 11. – C. 4035-4041.
- [35] Ferrara A. et al. Identifying failure mechanisms in LDMOS transistors by analytical stability analysis // 2014 44th

Research of High-Voltage Complementary Junction Field-Effect Transistors Over Range of Temperature Using Methods of TCAD Process/Device Modeling

D.G. Drozdov^{1,2}, N.N. Prokopenko^{3,4}, E.M. Savchenko², P.A. Dukanov¹, A.I. Grushin¹

¹JSC «S&PE «PULSAR», Moscow, Russia

²RTU MIREA, Moscow, Russia

³Don State Technical University, Rostov-on-Don, Russia, prokopenko@sssu.ru

⁴Institute for design problems in microelectronics RAS, Zelenograd

Abstract — This article presents results of TCAD process and device modeling of complementary junction field-effect transistors, integrated in microwave complementary bipolar technology process. A study of the models was carried out in order to analyze the operation of transistors. Models and solution methods needed for calculations over a wide range of temperature up to cryogenic ones were selected. Among these models were the Philips mobility model, the model of an impurity incomplete ionization, the self-heating model, etc. The results of varying the model coefficients of an impurity incomplete ionization, described in the literature, were analyzed and no significant difference was found. The possibility of using a simplified model for calculating thermal effects that effectively simulated the effect of self-heating was shown. This was especially important in calculations for cryogenic temperatures, where convergence is significantly reduced when solving a system of differential equations. The choice of a solution algorithm was shown to be an effective method of achieving convergence with decreasing temperature. The most efficient algorithm for cryogenic temperature was SLIP90. This algorithm provided the calculation of current-voltage characteristics for the following objects and tasks: multi-gate transistors at temperatures corresponding to the beginning of the region of "freezing out" of impurity charge carriers, the presence of areas with a floating potential, etc. Taking into account the developed design technique, the temperature dependences of the main parameters of complementary JFETs were analyzed, and a number of constructive and technological solutions to reduce the influence of ultra-low temperatures on the parameters of transistors were proposed. The drain-source voltage range of the complementary junction field-effect transistors was also determined taking into account the temperature. It was found that a change in temperature had a greater effect on the pchannel junction field-effect transistor, and the use of the emitter region as the upper gate affected the temperature stability. Reducing the cutoff voltage allowed us to reduce the effect of temperature on the shorted-gate drain current over a range of temperature of CJFET.

Keywords — complementary JFET, technology computer aided design, cryogenic temperature.

References

- Dvornikov O. V. et al. "Cryogenic Operational Amplifier on Complementary JFETs." 2018 IEEE East-West Design & Test Symposium (EWDTS), IEEE, 2018, pp. 1-5.
- [2] Dvornikov O.V., Tchekhovski V.A., Diatlov V.L., Bogatyrev Yu.V., Lastovski S.B. Radiation hardened analog IC // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2012. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2012. P. 280-283 (in Russian).
- [3] Fleischer D.A. et al. "CMOS-integrated low-noise junction field-effect transistors for bioelectronic applications," IEEE Electron Device Letters, 2018, vol. 39, no. 7, pp. 931-934.
- [4] Ai Q. et al. "A cost-competitive low Noise Junction-FET (JFET) for high-precision Analog Application." 25th International Conference on Noise and Fluctuations (ICNF 2019), no. CONF. 2019.
- [5] Takao H. et al. "Low-Noise Fully Differential Amplifiers Using JFET-CMOS Integration Technology for Smart Sensors." IEEJ transactions on electrical and electronic engineering, 2008, vol. 3, no. 3, pp. 274-280.
- [6] Starchenko E. I., Prokopenko N. N. and Budyakov P. S. "The radiation-hardened voltage references on bipolar and JFET transistors." 2015 IEEE 8th GCC Conference & Exhibition. IEEE, 2015, pp. 1-4.
- [7] Goldberg R. T. et al. "Fabrication and characterization of low-noise cryogenic Si JFETs." Proc. Symp. Low Temperature Electronics and High Temperature Superconductivity, 1995, pp. 95-9.
- [8] Sreelakshmi K., Satyam M. "Estimation of low temperature characteristics of JFETs from their room-temperature characteristics." Cryogenics, 1996, vol. 36, no. 5, pp. 325-331.
- [9] Iliescu M., Culcer M. "Experimental study about JFET's behaviour at low temperatures." Romanian Reports in Physics, 2000, vol. 52, no. 1/2, pp. 167-170.
- [10] Kavangary A. et al. "Temperature dependent electrical characteristics of a junction field effect transistor for cryogenic sub-attoampere charge detection. " AIP Advances, 2019, vol. 9, no. 2, pp. 025104.
- [11] Lovshenko I. Y., Khanko V. T., Stempitsky V. R. "Radiation influence on electrical characteristics of complementary junction field-effect transistors exploited at low

temperatures." Materials Physics & Mechanics, 2018, vol. 39, no. 1, pp. 92-101.

- [12] Sentaurus Device User Guide, Version 2013.03 Synopsys Inc., Mountain View, CA, USA, 2013.
- [13] Vinogradov R.N., Dukanov P.A., Ksenofontov D.L., Korneev S.V., Surkov G.P. "Analog integrated circuits with junction field-effect transistors." Solid-state electronics. Complex operating assemblies of Electronics. Materials of the XIV-th All-Russian scientific and technical conference. Moscow: MNTORES n.a. A.S. Popova, 2015. (In Russian).
- [14] Drozdov D.G. et al. "Microwave High-Voltage CBiCJFET Technology for Analog Integrated Circuits." 2020 IEEE Latin America Electron Devices Conference (LAEDC), IEEE, 2020, pp. 1-4.
- [15] Savchenko E.M., Drozdov D.G., Rodin V.G. Grushin A.I., Dukanov P.A., Prokopenko N.N. "CJFET Differential Pairs' Constructions and Characteristics for Design of CBICJFET Differential Amplifiers and Differential Difference Amplifiers." Visnyk NTUU KPI Seriia-Radiotekhnika Radioaparatobuduvannia, 2019, no. 79, pp. 71-77.
- [16] D.G. Drozdov, "Microwave complementary bipolar technological process with high degree of symmetry of dynamic parameters of the transistors." Ph.D. thesis in Engineering Science. Speciality 05.27.01 – Solid-state electronics, radioelectronic components, micro- and nanoelectronics, devices on quantum effects. Moscow 2017, 165 p. (In Russian).
- [17] Klaassen D. B. M. "A unified mobility model for device simulation—I. Model equations and concentration dependence." Solid-State Electronics, 1992, vol. 35, no. 7, pp. 953-959.
- [18] Klaassen D. B. M. "A unified mobility model for device simulation—II. Temperature dependence of carrier mobility and lifetime." Solid-State Electronics, 1992, vol. 35, no. 7, pp. 961-967.
- [19] Klaassen D. B. M., Slotboom J. W., De Graaff H. C. "Unified apparent bandgap narrowing in n-and p-type silicon." Solid-State Electronics, 1992, vol. 35, no. 2, pp. 125-129.
- [20] Bludau, A. Onton, and W. Heinke, "Temperature dependence of the band gap in silicon." Journal of Applied Physics, 1974, vol. 45, no. 4, pp. 1846-1848.
- [21] Shockley W., Read Jr W. T. "Statistics of the recombinations of holes and electrons." Physical review, 1952, vol. 87, no. 5, p. 835.
- [22] Schenk A. "A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon." Solid-State Electronics, 1992, vol. 35, no. 11, pp. 1585-1596.
- [23] Lackner T. "Avalanche Multiplication in Semiconductors: A Modification of Chynoweth's Law." Solid-State Electronics, 1991, vol. 34, no. 1, pp. 33-42.

- [24] Joyce W. B. and Dixon R. W. "Analytic approximations for the Fermi energy of an ideal Fermi gas." Applied Physics Letters, 1977, vol. 31, no. 5, pp. 354-356.
- [25] Jaeger R. C., Gaensslen F. H. "Simulation of impurity freezeout through numerical solution of Poisson's equation with application to MOS device behavior." IEEE Transactions on Electron Devices, 1980, vol. 27, no. 5, pp. 914-920.
- [26] Selberherr S. "MOS device modeling at 77 K." IEEE Transactions on Electron Devices, 1989, vol. 36, no. 8, pp. 1464-1474.
- [27] Chrzanowska-Jeske M., Jaeger R. C. "BILOW-simulation of low-temperature bipolar device behavior." IEEE transactions on electron devices, 1989, vol. 36, no. 8, pp. 1475-1488.
 [28] Liu C. M., Lou K. H., Kuo J. B. "77 K versus 300 K
- [28] Liu C. M., Lou K. H., Kuo J. B. "77 K versus 300 K operation: The quasi-saturation behavior of a DMOS device and its fully analytical model." IEEE transactions on electron devices, 1993, vol. 40, no. 9, pp. 1636-1644.
- [29] Shaheed M. R., Maziar C. M. "A physically based model for carrier freeze-out in Si-and SiGe-base bipolar transistors suitable for implementation in device simulators." Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting, IEEE, 1994, pp. 191-194.
- [30] Akturk A. et al. "Device modeling at cryogenic temperatures: Effects of incomplete ionization." IEEE transactions on electron devices, 2007, vol. 54, no. 11, pp. 2984-2990.
- [31] Altermatt P. P., Schenk A., Heiser G. ^{*}A simulation model for the density of states and for incomplete ionization in crystalline silicon. I. Establishing the model in Si: P." Journal of Applied Physics, 2006, vol. 100, no. 11, pp. 113714.
- [32] Altermatt P. P., Schenk A., Schmithen B., Heiser G. "A simulation model for the density of states and for incomplete ionization in crystalline silicon. II. Investigation of Si:As and Si:B and usage in device simulation." Journal of Applied Physics, 2006, vol. 100, no. 11, pp. 113715.
 [33] Wachutka G. "An Extended Thermodynamic Model for the
- [33] Wachutka G. "An Extended Thermodynamic Model for the Simultaneous Simulation of the Thermal and Electrical Behaviour of Semiconductor Devices." Proceedings of the Sixth International Conference on the Numerical Analysis of Semiconductor Devices and Integrated Circuits (NASECODE VI), Dublin, Ireland, 1989, pp. 409-414.
- [34] Radhakrishna U. et al. "Modeling of SOI-LDMOS transistor including impact ionization, snapback, and self-heating." IEEE transactions on electron devices, 2011, vol. 58, no. 11, pp. 4035-4041.
- [35] Ferrara A. et al. "Identifying failure mechanisms in LDMOS transistors by analytical stability analysis." 2014 44th European Solid State Device Research Conference (ESSDERC), IEEE, 2014, pp. 321-324.
 [36] Chung Y. S., Baird B. "Power capability limits of power
- [36] Chung Y. S., Baird B. "Power capability limits of power MOSFET devices." Microelectronics Reliability, 2002, vol. 42, no. 2, pp. 211-218.