

Осциллятор с цифровым управлением для схемы полностью цифровой фазовой автоподстройки частоты

Р.И. Халирбагинов

Национальный исследовательский университет «МИЭТ», г. Москва,

rkhairbaginov@yahoo.com

Аннотация — Представлена новая методика проектирования осциллятора с цифровым управлением на основе стандартных библиотечных ячеек. Методика включает в себя разработку масштабируемой архитектуры для обеспечения возможности автоматизации проектирования. Благодаря анализу параметров схемы на ранней стадии проектирования трудозатраты на разработку подобных схем могут быть сокращены. Предлагаемая архитектура осциллятора сочетает простоту проектирования и высокое разрешение при широком динамическом диапазоне перестройки выходной частоты.

Ключевые слова — осциллятор с цифровым управлением, фазовая автоподстройка, библиотека стандартных ячеек, грубая и точная подстройка, время распространения сигнала.

I. ВВЕДЕНИЕ

Фазовая автоподстройка частоты (ФАПЧ) широко применяется в синтезаторах частот для генерирования тактового сигнала в больших цифровых системах с множеством частотных доменов или для восстановления тактового сигнала из потока данных в высокоскоростных интерфейсах. Существует множество реализаций подобных схем как в виде отдельных микросхем, так и в виде IP блоков для встраивания в систему на кристалле. Традиционно схема ФАПЧ разрабатывается в аналоговом маршруте проектирования. Однако интегрировать аналоговую схему в цифровую систему с обилием цифровых шумов довольно сложно. Полностью цифровая схема фазовой автоподстройки частоты (ПЦФАПЧ) разработана в цифровом маршруте и призвана решить эту проблему.

ПЦФАПЧ использует маршрут проектирования на основе стандартных библиотечных ячеек, поэтому ее можно легко интегрировать в цифровую систему. Кроме того, она обладает устойчивостью к помехам при переключении, а также к изменениям процесса, напряжения и температуры (PVT). Создание универсального параметризованного описания схемы ФАПЧ на языке HDL и включение его в окружение автоматической генерации и верификации позволяет максимально исключить вмешательство разработчика и минимизировать временные затраты и возможные ошибки. В результате единственной задачей разработчика становится ввод необходимых доступных параметров для автоматической генерации схемы и

топологии. Новый подход к разработке схем цифровой обработки сигнала позволяет абстрагироваться от технологического базиса и проблем связанных с разработкой аналоговых схем и интеграции их в цифровой маршрут. Достаточно сменить входные данные для генерации соответствующей полностью цифровой схемы. Верификация всего проекта возможна в цифровых симуляторах.

Блок-схема представленной в данной работе ПЦФАПЧ приведена на рис. 1. Схема состоит из следующих основных блоков: Frequency Search осуществляет поиск необходимой частоты, путём измерения длины периода входного опорного сигнала, блок Frequency Search образуют времяизмерительная система (TDC) и дешифратор; Phase Acquisition отслеживает отклонение фазы выходного сигнала относительно опорного, блок Phase Acquisition образуют фазовый детектор и простейший цифровой глитч фильтр; Control – анализирует данные с измерительных блоков и формирует управляющий код для подстройки выходной частоты цифрового осциллятора; Divider by N – делитель частоты в петле обратной связи для умножения частоты входного сигнала; Digital Controlled Oscillator – осциллятор управляемый цифровым кодом.

При включении схемы ПЦФАПЧ по сигналу ENABLE времяизмерительная система предоставляет контроллеру после двух эталонных тактовых циклов длину половины периода опорного сигнала. Контроллер формирует код грубой подстройки, затем осциллятор генерирует полученную выходную частоту. После завершения работы времяизмерительной системы машина состояний в блоке контроллера переводит схему в режим поддержания выходной частоты и отслеживания фазы. Фазовый детектор генерирует сигналы фазовой ошибки UP или DN в зависимости от разности фаз между опорным сигналом CLK_REF и сигналом CLK_DIV с выхода DCO, и деленного на N в блоке делителя частоты. Когда контроллер получает сигналы UP или DN от фазового детектора, он меняет код точной подстройки. Эти блоки образуют замкнутый контур.

Осциллятор является наиболее важным компонентом при разработке ФАПЧ. При традиционном подходе построения схем ФАПЧ в качестве осциллятора применяются генератор

управляемый напряжением (ГУН) или генератор управляемый током (ГУТ). Для схем ПЦФАПЧ чаще всего используется построение кольцевого генератора с изменяемым числом инвертирующих элементов в цепи задержки [1]-[12].

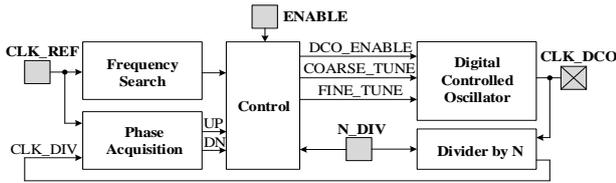


Рис. 1. Блок схема ПЦФАПЧ

Если использовать только грубую подстройку частоты, которая осуществляется выбором числа инвертирующих элементов в цепи [3], [6], то точность фазовой синхронизации будет не высока. Для КМОП 90нм шаг подстройки частоты будет составлять более 100пс. Это не применимо для высокочастотных решений. Более распространенной практикой является совмещение грубой и точной подстройки выходной частоты цифрового осциллятора [1], [5], [7]-[11]. Одним из решений является применение цифровых варакторов для изменения RC составляющей межсоединений в цепочке кольцевого генератора [4], [5], [7], [10], [12]. Встроенные lookup table (таблицы поиска) позволяют определить соотношение выходной частоты и управляющего кода на входе варактора [4], [12]. Однако эта зависимость, может изменяться из-за технологических уходов и изменений условий эксплуатации (температур, напряжений питания и т.д.). Кроме того, такое решение предполагает большие аппаратные затраты.

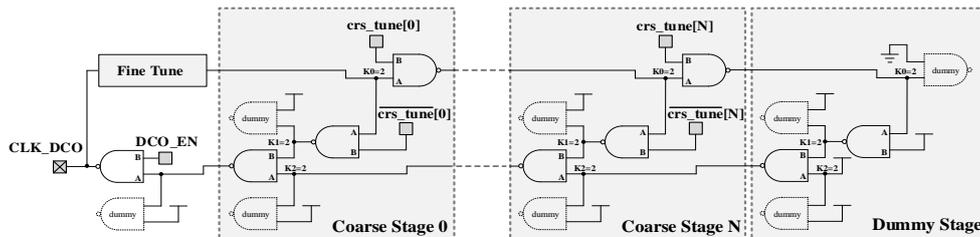


Рис. 2. Архитектура построения ОЦУ

Основная задача – разработать схему на стандартных библиотечных ячейках, чтобы обеспечить возможность автоматической генерации схемы полностью цифровой ФАПЧ в цифровом маршруте проектирования. При этом дизайн не должен быть привязан к конкретному технологическому процессу и топологии.

В представленной схеме подстройка частоты осциллятора разделена на грубую и точную. Соответственно, период колебаний выходного сигнала состоит из задержки на ступенях грубой и точной подстройки.

А. Грубая подстройка

При построении схемы используются исключительно элементы NAND. Это позволяет

Часто при разработке осциллятора с цифровым управлением применяют индивидуальный подход [8]-[10]. По этой причине не получается провести моделирование HDL описания схемы в цифровом симуляторе. Из-за особенностей построения, следует моделировать всю схему как аналоговый компонент. Основной причиной является часть схемы, отвечающая за точную подстройку частоты. Она зачастую имеет аналоговую природу и, чтобы получить надежные оценки ее поведения необходимо моделирование на уровне SPICE.

В данной работе представлена новая архитектура осциллятора с цифровым управлением и методика его проектирования. Благодаря этой методике параметры прибора могут быть проанализированы и скорректированы на ранней стадии разработки, что значительно ускоряет маршрут проектирования подобных схем. Для проверки методики схема была синтезирована на стандартных ячейках библиотеки КМОП 90нм. Динамический диапазон составляет 150-700 МГц.

II. МЕТОДИКА РАЗРАБОТКИ НА ОСНОВЕ СТАНДАРТНЫХ БИБЛИОТЕЧНЫХ ЯЧЕЕК

Наиболее сложный блок при разработке схемы ПЦФАПЧ – осциллятор с цифровым управлением. Он является мотором для схемы ФАПЧ, отвечает за генерацию тактового сигнала и является основным потребителем энергии в схеме. Архитектура построения ОЦУ представлена на рис. 2.

использовать значение задержки на библиотечном элементе NAND как универсальную временную единицу при расчете кода управления грубой подстройкой. Для того чтобы сбалансировать номинал значений задержек на элементах NAND, каждый из них всегда имеет в нагрузке два таких же элемента NAND. Это позволяет уменьшить разброс по задержкам в схеме и повысить линейность изменения частоты в зависимости от кода подстройки. После построения одной ступени грубой подстройки, остальные ступени дублируются. В конце добавляется пустая (dummy) ступень для балансировки нагрузки элементов последней ступени.

Общая задержка контура τ_{DCO} представлена в виде выражения:

$$\tau_{DCO} = \tau_{COARSE} + \tau_{FINE}, \quad (1)$$

где τ_{COARSE} – задержка на ступенях грубой подстройки; τ_{FINE} – задержка на ступенях тонкой подстройки.

Когда все N ступеней грубой подстройки активны, для τ_{COARSE} можно написать следующее выражение:

$$\tau_{COARSE} = \tau_C \times N = 4 \times \tau_{NAND} \times N, \quad (2)$$

где τ_C – задержка на одной ступени грубой настройки; τ_{NAND} – задержка на одном библиотечном элементе NAND.

Если в схеме X ступеней грубой подстройки, то осциллятор работает на минимальной частоте, когда $N = X$. Опираясь на представленную архитектуру, была разработана методика проектирования цифрового осциллятора на стандартных библиотечных ячейках.

Как показано на рис. 2, входная и выходная нагрузка в каждом узле ступени грубой подстройки одинакова и может быть представлена выражением:

$$K_0 = K_1 = K_2 = 2 \times C_{NAND}. \quad (3)$$

Одинаковая нагрузка в каждом узле создает баланс ёмкостной составляющей задержки в цепи кольцевого генератора и обеспечивает линейный шаг изменения выходной частоты в зависимости от управляющего кода. Такая конструкция позволяет использовать ее для проектирования схемы на основе стандартных библиотечных ячеек.

Важным преимуществом построения осциллятора с разделением на грубую и точную подстройку является изоляция неиспользованной части логики при работе на максимальной выходной частоте. Все не используемые ступени отключены и их входные ячейки NAND выступают в роли clock gate. При увеличении количества ступеней грубой подстройки увеличивается динамический диапазон перестройки и уменьшается минимально достижимая выходная частота. При этом сохраняется линейная характеристика изменения частоты, поскольку нагрузка в каждом из узлов схемы не меняется.

В. Точная подстройка

Для точной подстройки осциллятора с цифровым управлением предлагается новый метод, позволяющий уменьшить шаг изменения выходной частоты.

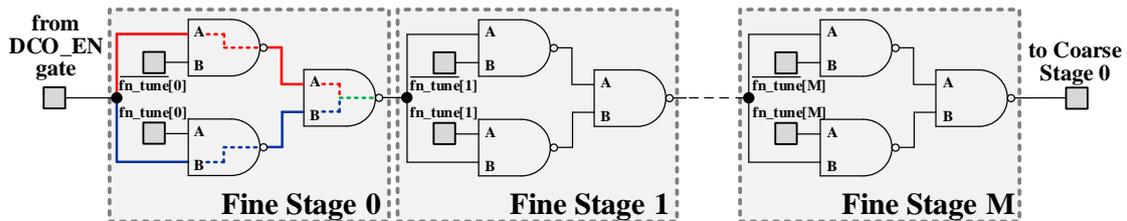


Рис. 3. Схема точной подстройки ОЦУ

Основная идея заключается в использовании разности задержки путей внутри библиотечной ячейки NAND. Вся входная информация для расчета задержки через ячейку или группу ячеек описана в библиотеке. Например, ёмкости входов/выходов и номиналы задержек приведенные к ёмкости нагрузки.

Полные данные из библиотеки КМОП 90нм о 2-входной ячейке NAND (охарактеризованной при температуре 125°C, напряжении питания 1.08В, техн. угол slow-slow) приведены в таблицах 1, 2.

Таблица 1

Библиотечные значения ёмкости портов ячейки

Ячейка	Ёмкость входа А	Ёмкость входа В	Ёмкость выхода Z
NAND	0.00580411	0.00657608	0.367878

Таблица 2

Библиотечные значения задержки распространения сигнала через ячейку

Ячейка	Путь	Параметр	Номинал задержки
NAND	A → Z	τ_{DL01}	$0.051 + 2.2424 \times C_{LOAD}$
		τ_{DL10}	$0.053 + 2.4497 \times C_{LOAD}$
	B → Z	τ_{DL01}	$0.057 + 2.1775 \times C_{LOAD}$
		τ_{DL10}	$0.061 + 2.4464 \times C_{LOAD}$

На рис. 3 представлена структурная схема блока точной подстройки выходной частоты осциллятора с цифровым управлением.

Схема для точной подстройки, аналогично схеме грубой подстройки, разделена на ступени. Одна ступень состоит из 3-х библиотечных ячеек NAND и представляет собой схему мультиплексора 2 в 1. В зависимости от состояния управляющего сигнала подстройки fn_tune , входной сигнал пойдет по пути А или по пути В. Задержку распространения сигнала через одну ступень точной подстройки можно точно подсчитать исходя из входных данных таблиц 1 и 2. Результаты подсчета приведены в таблице 3.

Таблица 3

Рассчитанные значения задержки распространения сигнала через ступень точной подстройки

Ячейка	Путь	Параметр	Номинал задержки
Fine Stage	A → Z	$\tau_{DL01} = \tau_{DL01} (NAND) + \tau_{DL10} (NAND) \approx \tau_{DL10}$	0.146
		$\tau_{DL10} = \tau_{DL10} (NAND) + \tau_{DL01} (NAND) \approx \tau_{DL01}$	
	B → Z	$\tau_{DL01} = \tau_{DL01} (NAND) + \tau_{DL10} (NAND) \approx \tau_{DL10}$	0.162
		$\tau_{DL10} = \tau_{DL10} (NAND) + \tau_{DL01} (NAND) \approx \tau_{DL01}$	

Разница задержек распространения сигнала через путь А и В составляет 16пс. Это значение является минимальным шагом изменения периода выходного сигнала осциллятора и называется разрешением осциллятора с цифровым управлением. Полное значение задержки через все ступени точной подстройки представлено в выражении:

$$\tau_{FINE} = \sum_{i=0}^M \tau_A + \sum_{i=0}^M (R \times fn_tune[i]), \quad (4)$$

где τ_A – время распространения сигнала в одной ступени точной подстройки по пути «А»; М – число ступеней точной подстройки; $fn_tune[i]$ – разряд кода управляющего слова; R – разрешение осциллятора с цифровым управлением.

III. РЕЗУЛЬТАТЫ ИЗМЕРЕНИЙ

Основываясь на предложенной методике проектирования на базе стандартных библиотечных ячеек был разработан и синтезирован в библиотеке КМОП 90 нм осциллятор с цифровым управлением. Число ступеней грубой подстройки выходной частоты N = 32, число ступеней точной подстройки M = 8. Разрешение осциллятора составляет R = 16пс. Динамический диапазон от 150 МГц до 700 МГц. В качестве подтверждения представленной методике моделирование схемы было произведено на нетлисте после синтеза с SDF экстракцией задержек. Результаты приедены на рис. 4.

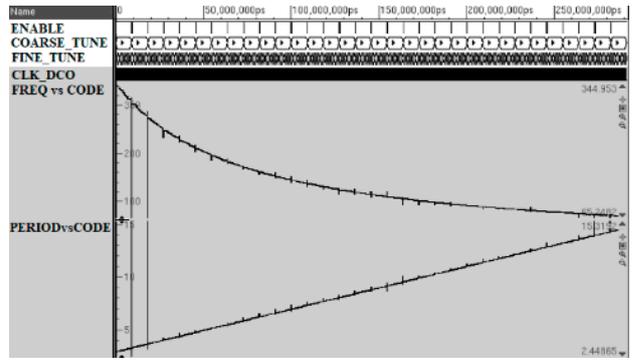


Рис. 4. Моделирование схемы ОЦУ в цифровом симуляторе

Для сравнения было проведено SPICE моделирование в аналоговом симуляторе UltraSim периода и частоты выходного сигнала в зависимости от управляющего кода. Результаты для трех узлов (SS, TT, FF) представлены на рис. 5.

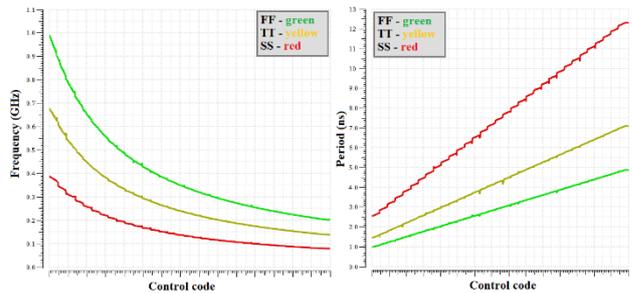


Рис. 5. Зависимость частоты и периода выходного сигнала ОЦУ от управляющего кода

Полученные результаты были использованы при проектировании схемы ПЦФАПЧ на стандартных библиотечных ячейках. Для разработки и описания схемы использовался аппаратный язык Verilog HDL.

На рис. 6 представлены результаты моделирования RTL описания схемы ПЦФАПЧ в цифровом симуляторе. Частота опорного сигнала равна 20 МГц, а коэффициент умножения частоты N равен 16. Таким образом, выходная частота составила 320 МГц.

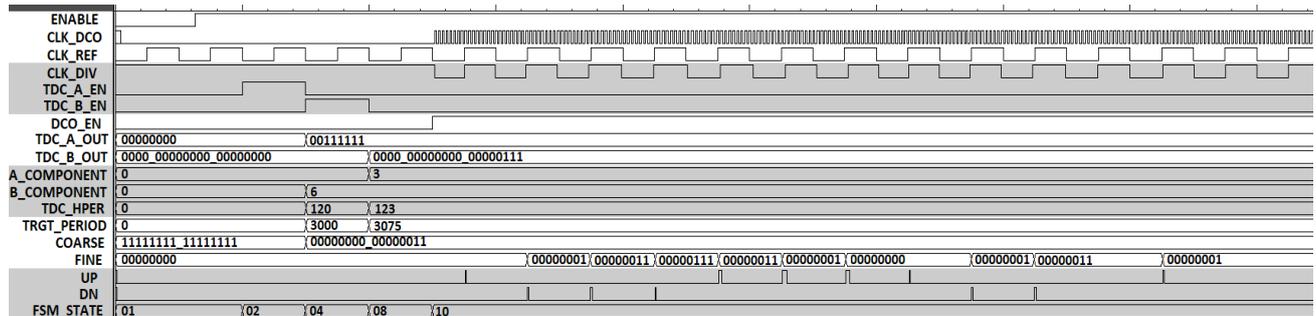


Рис. 6. Моделирование схемы ПЦФАПЧ в цифровом симуляторе

Из результатов моделирования видно, что времяизмерительная система за два такта опорной частоты формирует кодовое слово COARSE_TUNE для грубой подстройки частоты. После завершения ее работы включается осциллятор с желаемой частотой на выходе. Фазовый детектор выравнивает фазу выходного сигнала генерируя флаги фазовой ошибки UP и DN, подстраивая код точной подстройки FINE_TUNE. На рис. 6 видно, что управляющий код точной подстройки будет сходиться к стабильному значению, зашелкивая петлю ПЦФАПЧ.

Разработанное RTL описание схемы ПЦФАПЧ было синтезировано в библиотеку КМОП 90нм и проведено SPICE моделирование в аналоговом симуляторе UltraSim (рис. 7).

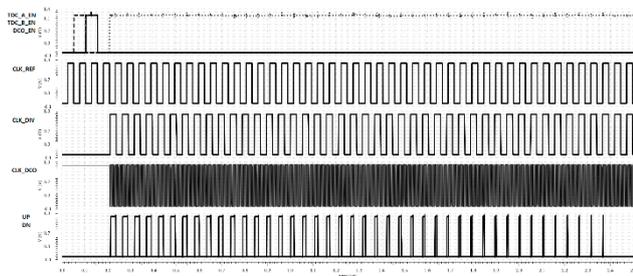


Рис. 7. Моделирование схемы ПЦФАПЧ в аналоговом симуляторе UltraSim

IV. ВЫВОДЫ

В этой работе представлен метод проектирования осциллятора с цифровым управлением на основе стандартных библиотечных ячеек. Архитектура построения имеет ряд важных особенностей. Схема грубой подстройки частоты обеспечивает широкий динамический диапазон перестройки без ущерба линейности изменения частоты на выходе. Применение одной библиотечной ячейки при построении ступеней грубой подстройки позволяет лучше контролировать баланс ёмкостной составляющей межсоединений. Схема точной подстройки позволяет значительно улучшить разрешение осциллятора, не прибегая к специальным схемам, требующим обязательного SPICE-моделирования. Полученные результаты были использованы при проектировании схемы ПЦФАПЧ на стандартных библиотечных ячейках. Для разработки и описания схемы использовался аппаратный язык Verilog HDL.

Эта разработка может быть включена в автоматизированный маршрут построения схемы полностью цифровой ФАПЧ, что позволит значительно снизить временные затраты на проектирование схем такого вида.

ПОДДЕРЖКА

При поддержке Федерального государственного бюджетного учреждения «Фонд содействия развитию малых форм предприятий в научно-технической сфере» (Фонд содействия инновациям) в рамках НИР по теме «Разработка автоматизированного генератора универсальной полностью цифровой схемы фазовой автоподстройки частоты» победителя конкурса «Участник молодежного научно-инновационного конкурса» («УМНИК»).

ЛИТЕРАТУРА

- [1] Chia-Tsun Wu, Wei Wang A Scalable DCO Design for Portable ADPLL Designs // IEEE International Symposium on Circuits and Systems. V. 1. 2005. P. 5449-5452.
- [2] Ollson T., Nilsson P. A Digital PLL made from Standard Cells // European Conference on Circuit Theory and Design. 2001. P. 277-280.
- [3] Tin-Yam Yau, Tri Caohuu, Jeonghee Kim An Efficient All-Digital Phase-Locked Loop with Input Fault Detection // IEEE International Conference on Information Science and Applications. 2011. P. 1-7.
- [4] Park Y., Wentzloff D. D. An All-Digital PLL Synthesized from A Digital Standard Cell Library in 65nm CMOS // IEEE Custom Integrated Circuits Conference. 2011. P. 1-4.
- [5] Duo Sheng, Ching-Che Chung, Chen-Yi Lee An Ultra-Low Power and Portable Digitally Controlled Oscillator for SoC Applications // IEEE Transactions on Circuits and Systems II: Express Briefs. V. 54. 2007. P. 954-958.
- [6] Eisenreich H., Mayr C., Henker S., Wickert M. A Programmable Clock Generator HDL Softcore // IEEE 50th Midwest Symposium on Circuits and Systems. 2007. P. 1-4.
- [7] Duo Sheng, Ching-Che Chung, Chen-Yi Lee // IEEE Asia Pacific Conference on Circuits and Systems. 2006. P. 105-108.
- [8] Jun Zhao, Yong-bin Kim A 12-bit Digitally Controlled Oscillator with Low Power Consumption // IEEE 51st Midwest Symposium on Circuits and Systems. 2008. P. 370-373.
- [9] Nasser Erfani Majd, Mojtaba Lotfizad A Novel Low Power Digitally Controlled Oscillator with Improved linear Operating Range // International Journal of Electrical and Computer Engineering. V. 5. № 3. 2011. P. 356-361.
- [10] Nasser Erfani Majd, Mojtaba Lotfizad An ultra low-power digitally controlled oscillator using novel Schmitt-trigger based hysteresis delay cells // IEICE Electronics Express. 2011. V. 8. № 8. P. 589-595.
- [11] Ching-Che Chung, Duo Sheng, Chen-Han Chen An All-Digital Phase-Locked Loop Compiler with Liberty Timing Files // IEEE International Symposium on VLSI Design, Automation and Test. 2014. P. 1-4.
- [11] Pradyuman R Bissa, Kirti S Pande All Digital Phase Locked Loop for Low Frequency Applications // IEEE International Conference on Advances in Computing, Communications and Informatics. 2018. P. 813-819.

Digital Controlled Oscillator for All-Digital Phase-Locked Loop Circuit

R.I. Khalirbaginov

National Research University of Electronic Technology, Moscow

rkhairbaginov@yahoo.com

Abstract — A new design methodology of digitally controlled oscillator based on standard library cells is presented. The methodology includes the design of a scalable architecture to enable design automation. By analyzing the parameters of the circuit at an early stage of design, the efforts involved in developing such circuits can be reduced. The proposed oscillator architecture combines simplicity of design and high resolution with a wide dynamic range of tuning the output frequency. The basis for oscillator circuit design is the division into a coarse and fine-tuning. This approach allows to isolate parts of unused logic when operating at maximum output frequency, as well as expand the dynamic range without compromising maximum frequency. In the design of fine-tuning circuit, a new method was applied that uses the difference in a path delay within a standard library cell. Based on the proposed methodology, a digitally controlled oscillator was designed and synthesized into the CMOS 90nm library. A linear characteristic of the output frequency versus control code is obtained, the resolution of the oscillator is 16 ps, and the dynamic range is from 150 to 700 MHz.

Keywords — digital controlled oscillator, phase locked loop, standard cell library, coarse and fine-tuning, delay path.

REFERENCES

- [1] Chia-Tsun Wu, Wei Wang A Scalable DCO Design for Portable ADPLL Designs // IEEE International Symposium on Circuits and Systems. V. 1. 2005. P. 5449-5452.
- [2] Ollson T., Nilsson P. A Digital PLL made from Standard Cells // European Conference on Circuit Theory and Design. 2001. P. 277-280.
- [3] Tin-Yam Yau, Tri Caohuu, Jeonghee Kim An Efficient All-Digital Phase-Locked Loop with Input Fault Detection // IEEE International Conference on Information Science and Applications. 2011. P. 1-7.
- [4] Park Y., Wentzloff D. D. An All-Digital PLL Synthesized from A Digital Standard Cell Library in 65nm CMOS // IEEE Custom Integrated Circuits Conference. 2011. P. 1-4.
- [5] Duo Sheng, Ching-Che Chung, Chen-Yi Lee An Ultra-Low Power and Portable Digitally Controlled Oscillator for SoC Applications // IEEE Transactions on Circuits and Systems II: Express Briefs. V. 54. 2007. P. 954-958.
- [6] Eisenreich H., Mayr C., Henker S., Wickert M. A Programmable Clock Generator HDL Softcore // IEEE 50th Midwest Symposium on Circuits and Systems. 2007. P. 1-4.
- [7] Duo Sheng, Ching-Che Chung, Chen-Yi Lee // IEEE Asia Pacific Conference on Circuits and Systems. 2006. P. 105-108.
- [8] Jun Zhao, Yong-bin Kim A 12-bit Digitally Controlled Oscillator with Low Power Consumption // IEEE 51st Midwest Symposium on Circuits and Systems. 2008. P. 370-373.
- [9] Nasser Erfani Majd, Mojtaba Lotfizad A Novel Low Power Digitally Controlled Oscillator with Improved linear Operating Range // International Journal of Electrical and Computer Engineering. V. 5. № 3. 2011. P. 356-361.
- [10] Nasser Erfani Majd, Mojtaba Lotfizad An ultra low-power digitally controlled oscillator using novel Schmitt-trigger based hysteresis delay cells // IEICE Electronics Express. 2011. V. 8. № 8. P. 589-595.
- [11] Ching-Che Chung, Duo Sheng, Chen-Han Chen An All-Digital Phase-Locked Loop Compiler with Liberty Timing Files // IEEE International Symposium on VLSI Design, Automation and Test. 2014. P. 1-4.
- [11] Pradyuman R Bissa, Kirti S Pande All Digital Phase Locked Loop for Low Frequency Applications // IEEE International Conference on Advances in Computing, Communications and Informatics. 2018. P. 813-819.