

Особенности использования многоразрядных триггеров для уменьшения потребляемой мощности в нанометровых технологиях

В.С. Калашников, М.Ю. Семенов, Ю.А. Титов

ООО «Эн-Экс-Пи Семикондакторс»,

viacheslav.kalashnikov@nxp.com, mikhail.semenov@nxp.com, yuri.titov@nxp.com

Аннотация — Уменьшение потребляемой мощности является одной из важнейших проблем современных Систем на Кристалле (СнК). Существуют различные способы решения данной проблемы как на технологическом уровне (например, различные технологические опции пороговых напряжений), так и на схемотехническом уровне (например, использование ячеек с различными длинами каналов для уменьшения мощности утечки). В данной статье рассмотрены особенности применения многоразрядных триггеров с целью снижения суммарной мощности проектируемого устройства. Проведено сравнение библиотечных элементов одnorазрядных триггеров и многоразрядных триггеров по технологии 28 нм. Показаны особенности использования многоразрядных триггеров в маршруте проектирования с использованием различных средств САПР. Приведены статистические данные применения многоразрядных триггеров в ряде СнК по технологии 16 нм. В заключении даны рекомендации по использованию многоразрядных триггеров в зависимости от требований по быстродействию и потребляемой мощности, предъявляемых к проекту.

Ключевые слова — триггер; многоразрядный триггер; потребляемая мощность; цифровая библиотека; библиотека стандартных ячеек; маршрут проектирования; нанометровая технология; система на кристалле (СнК), маломощные схемы.

I. ВВЕДЕНИЕ

Разработчики систем на кристалле (СнК) применяют различные методы для уменьшения потребляемой мощности. В общем случае их можно разделить на две категории. К первой категории относятся способы уменьшения мощности с использованием технологических опций, например, различных опций пороговых напряжений (V_T – Voltage Threshold) [1-3]. Ко второй категории относятся способы уменьшения мощности с использованием схемотехнических методов, например, использование ячеек с различными длинами каналов для уменьшения мощности утечки [4, 5].

Необходимо отметить, что для нанометровых технологий (например, 16 нм или 28 нм) токи утечки становятся меньше, поэтому проблема уменьшения динамической мощности выходит на первый план.

Одним из эффективных способов уменьшения потребляемой и, в частности, динамической мощностей является использование многоразрядных триггеров [6, 7]. В данной статье представлены результаты анализа, сравнения и применения многоразрядных триггеров в проектах, разработанных по нанометровым технологиям. Показаны особенности их применения на примере технологий с нормами 28 нм и 16 нм.

Раздел II содержит сравнительный анализ многоразрядных триггеров на уровне библиотечных элементов по технологии 28 нм, особенности их реализации в библиотеках стандартных ячеек. В разделе III рассмотрены особенности использования многоразрядных триггеров в маршруте проектирования с применением современных САПР. В разделе IV приведена статистика использования многоразрядных триггеров в изделиях по технологии FinFET 16 нм. Выводы и заключение представлены в разделе V.

II. СРАВНИТЕЛЬНЫЙ АНАЛИЗ МНОГОРАЗРЯДНЫХ ТРИГГЕРОВ НА УРОВНЕ БИБЛИОТЕЧНЫХ ЭЛЕМЕНТОВ ПО ТЕХНОЛОГИИ С НОРМАМИ 28 НМ

Многие поставщики библиотек стандартных ячеек в последнее время включают в их состав не только типовой набор логических элементов [8], но и более сложные функциональные схемы, такие как многоразрядные триггеры.

A. Общая структура многоразрядных триггеров

Типовой набор многоразрядных триггеров в цифровых библиотеках состоит из 2-разрядных, 4-разрядных и 8-разрядных триггеров.

Процесс разработки многоразрядного триггера включает следующие этапы:

1) Для каждого разряда за основу берется схема одnorазрядного триггера соответствующей функции.

2) Общие части, такие как буферы тактовых импульсов, сигналов предустановки, сигналов сброса и тестовых сигналов остаются только в одном экземпляре и используются совместно для всех разрядов.

3) Размеры транзисторов в итоговой схеме выбираются с целью поиска оптимального баланса временных и мощностных характеристик.

Необходимо учитывать, что в многоразрядных триггерах буфер тактового импульса имеет увеличенную нагрузку, соответствующую количеству разрядов, что может приводить к необходимости коррекции размеров транзисторов [9, 10]. То же самое относится к остальным частям управляющего блока: буферам тестовых сигналов, сигналам предустановки и сброса.

Существуют две основные структуры многоразрядных триггеров: структура с отдельными сканирующими входами (рис. 1) и структура со встроенной сканирующей цепью (рис. 2).

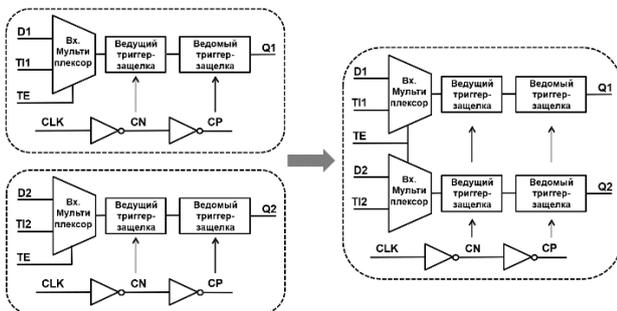


Рис. 1. Структура 2-разрядного триггера с отдельными сканирующими входами

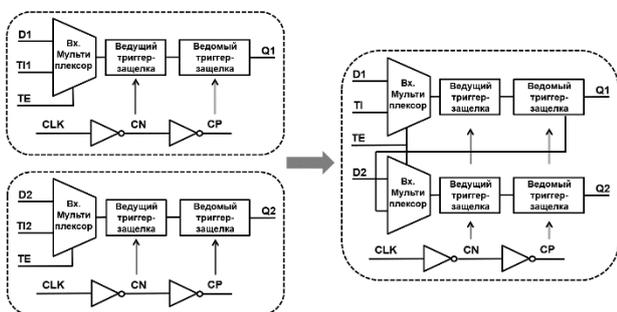


Рис. 2. Структура 2-разрядного триггера со встроенной сканирующей цепью

Основная разница между структурой с отдельными сканирующими входами и структурой со встроенной сканирующей цепью – количество тестовых сигналов данных. Если в структуре со встроенной сканирующей цепью тестовый сигнал данных является общим для всей схемы, то в структуре с отдельными сканирующими входами количество этих сигналов равно количеству разрядов.

Кроме того, структура со встроенной сканирующей цепью обладает дополнительным преимуществом – при построении общей сканирующей цепи на уровне проекта нет необходимости исправлять критичные временные параметры (время установки и время удержания) для сегмента цепи, входящей в состав многоразрядного триггера, так как они уже учтены на этапе разработки ячейки. Именно по этой причине многие библиотеки содержат многоразрядные триггеры со встроенной сканирующей цепью.

В. Преимущества и недостатки

Рассмотрим преимущества и недостатки многоразрядных триггеров на примере разработанных 2-разрядных, 4-разрядных и 8-разрядных триггеров в цифровой библиотеке по технологии 28 нм.

В цифровой библиотеке была реализована структура со встроенной сканирующей цепью многоразрядных триггеров (рис. 2), с коррекцией размеров транзисторов в элементах управляющего блока (буферах тактового импульса, тестового сигнала, сигналах предустановки и сброса). Для определения временных и мощностных параметров, а также площади ячейки было проведено сравнение 2-разрядного, 4-разрядного и 8-разрядного триггеров с эквивалентным количеством одноразрядных триггеров.

Результаты данного сравнения представлены на рис. 3 (разница в процентах указана относительно эквивалентного количества одноразрядных триггеров).

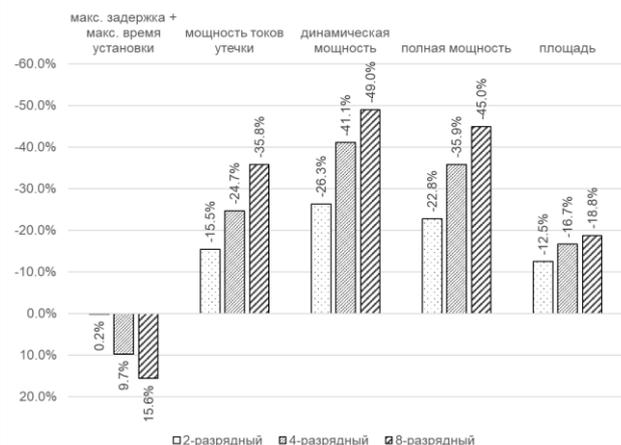


Рис. 3. Результаты сравнения на уровне ячейки

Как видно из результатов сравнения на уровне стандартной ячейки многоразрядные триггеры имеют следующие преимущества:

- 1) площадь: за счет уменьшения количества элементов в управляющем блоке итоговая площадь ячейки уменьшается;
- 2) мощность токов утечки: благодаря меньшему количеству транзисторов значительно снижаются токи утечки в статическом режиме;
- 3) динамическая мощность: за счет уменьшения количества буферов тактовых импульсов снижается динамическая мощность;
- 4) общая мощность: за счет снижения мощности утечки и динамической мощности также уменьшается.

Необходимо отметить, что временные характеристики многоразрядных триггеров могут незначительно ухудшаться в сравнении с их одноразрядным аналогом. Данный компромисс является ожидаемым, поскольку многоразрядный триггер – это решение, разработанное для снижения мощности.

III. ОСОБЕННОСТИ ПРИМЕНЕНИЯ В МАРШРУТЕ ПРОЕКТИРОВАНИЯ

Современные САПР позволяют эффективно работать с многоразрядными триггерами, добиваясь наиболее оптимальных результатов в зависимости от предъявляемых требований.

Рассмотрим более детально процесс автоматизированного логического синтеза с применением многоразрядных триггеров на примере маршрута Genus Synthesis компании Cadence (рис. 4).



Рис. 4. Основные этапы маршрута синтеза с применением многоразрядных триггеров

Маршрут логического синтеза включает следующие этапы [11]:

A. Этап настройки и чтения входных данных

В первую очередь, задаются временные и мощностные ограничения на проект, а также определяются входные данные, такие как RTL-описание проекта.

B. Трансляция во внутреннее представление

Далее RTL-описание средствами логического синтеза конвертируется во внутреннее представление. Транслятор разбирает и понимает основные примитивы, операторы и конструкции языка. В процессе трансляции требования по площади, мощности, временные ограничения не рассматриваются, так как данный процесс является технологически независимым.

C. Преобразование в технологический базис и оптимизация

На данном этапе средства синтеза преобразуют внутреннее представление проекта в структурное описание с использованием ячеек цифровой библиотеки. Также производится оптимизация в базисе используемой цифровой библиотеки для достижения лучших результатов в соответствии с заданными ограничениями.

D. Определение атрибутов для использования многоразрядных триггеров

После преобразования в технологический базис необходимо разрешить инструменту логического синтеза использовать многоразрядные триггеры, а также определить необходимые ограничения и атрибуты для их эффективного применения.

E. Инкрементальная оптимизация

В процессе инкрементальной оптимизации инструмент синтеза группирует и заменяет одноразрядные триггеры на многоразрядные, а также проводит оптимизацию для удовлетворения заданным ограничениям на проект.

F. Оптимизированное структурное описание

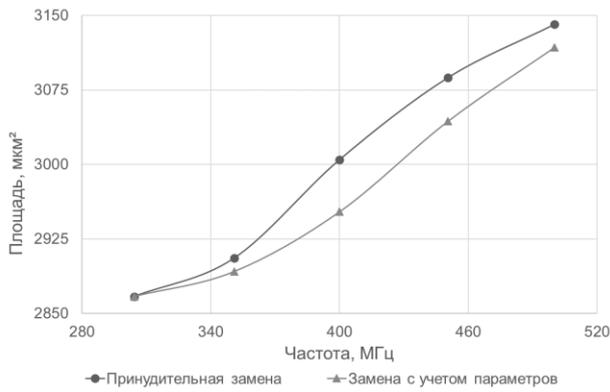
Результатом выполнения средствами синтеза предыдущих этапов маршрута является оптимизированное структурное описание, удовлетворяющее ограничениям на проект и содержащее многоразрядные триггеры.

В настоящее время инструменты синтеза позволяют использовать различные варианты замены многоразрядных триггеров в зависимости от конечных целей. По умолчанию, проект оптимизируется таким образом, чтобы интегрировать как можно большее количество многоразрядных триггеров с учетом временных и мощностных параметров. Приоритетом при замене одноразрядных триггеров обладают триггеры максимальной разрядности, т.е. в первую очередь используются триггеры большей, а затем меньшей разрядности.

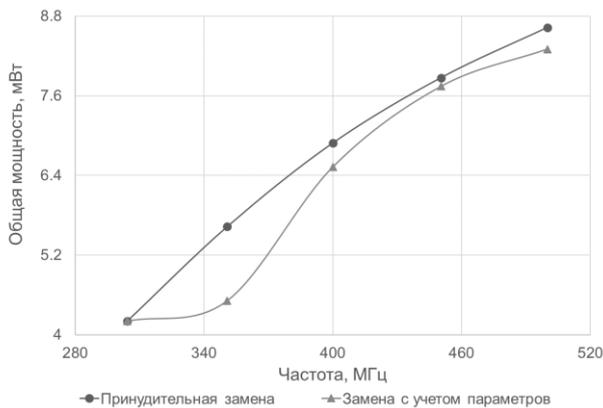
Другой способ замены – принудительная замена одноразрядных триггеров на многоразрядные. При принудительной замене одноразрядных триггеров на многоразрядные, инструмент синтеза заменяет все одноразрядные триггеры, также используя приоритет для триггеров максимальной разрядности, обеспечивая минимизацию мощности без учета временных параметров. Например, если в проекте количество одноразрядных триггеров равно 46, то при полной замене в итоговом проекте будет пять 8-разрядных триггеров, один 4-разрядный и один 2-разрядный триггер.

Анализ результатов синтеза с различными способами замены (рис. 5) показывает: на низких частотах (менее 300 МГц) принудительная замена имеет такие же результаты, что и замена с учетом временных и мощностных параметров. Это объясняется тем, что при таких низких частотах данный проект имеет большой запас по временным ограничениям.

В свою очередь, на высоких частотах принудительная замена может приводить к деградации временных характеристик (т.к. многоразрядные триггеры имеют худшее быстродействие по сравнению с одноразрядными), вынуждая средства синтеза использовать ячейки с большей нагрузочной способностью в критических путях, что негативно влияет на суммарную площадь и мощность.



(a)



(б)

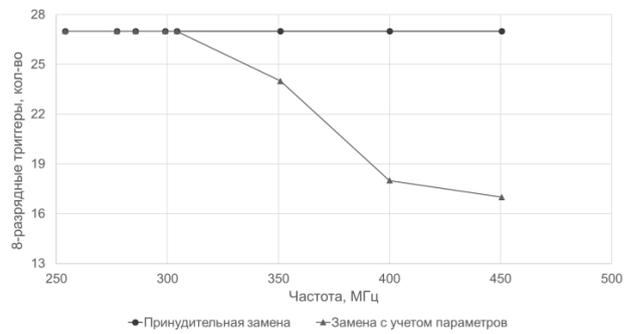
Рис. 5. Результаты синтеза с принудительной заменой и с заменой с учетом временных и мощностных параметров: (а) зависимость площади от частоты, (б) зависимость общей мощности от частоты

Замена с учетом временных и мощностных параметров на высоких частотах позволяет наиболее эффективно использовать многоразрядные триггеры: в не критических путях заменяются все одnorазрядные триггеры, а в критических используется сбалансированный состав из многоразрядных и одnorазрядных триггеров.

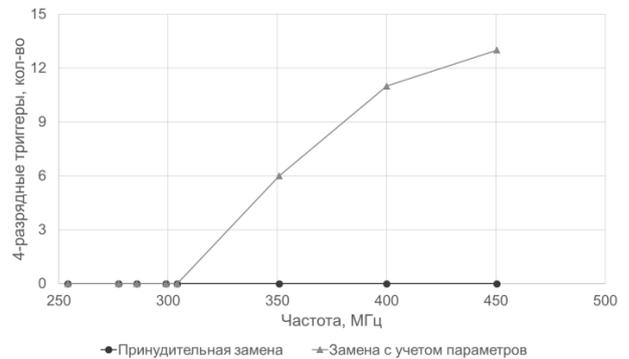
Эти выводы подтверждаются также результатами анализа проекта по составу триггеров (рис. 6).

Результаты анализа проекта по составу триггеров (рис. 6) показывают, что количество 2-разрядных, 4-разрядных и 8-разрядных триггеров зависит от выбранного способа замены:

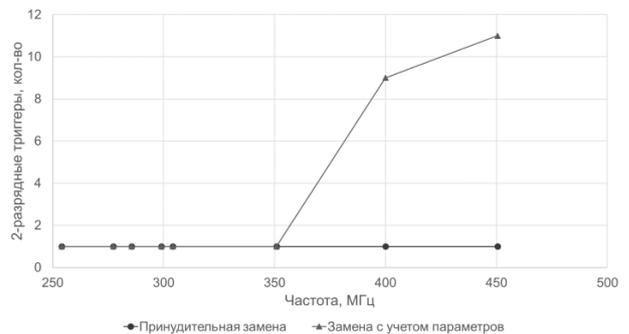
1) Принудительная замена обеспечивает максимальное использование многоразрядных триггеров, начиная с триггеров большей разрядности и заканчивая меньшей. Данный способ замены эффективен в части проекта, где временные ограничения не критичны.



(a)



(б)



(в)

Рис. 6. Анализ проекта после логического синтеза по составу многоразрядных триггеров: (а) – использование 8-разрядных триггеров, (б) – использование 4-разрядных триггеров, (в) – использование 2-разрядных триггеров

2) Замена с учетом временных и мощностных параметров позволяет добиться лучшего баланса использования многоразрядных триггеров. Триггеры большей разрядности используются в не критичных путях для уменьшения суммарной мощности, а триггеры меньшей разрядности используются в частях проекта, где необходимо удовлетворять требования по быстродействию.

Результаты бенчмарка на основе цифровой части проекта, включающей ~40К эквивалентных вентилях, позволяют сделать следующие выводы:

1) Использование многоразрядных триггеров приводит к уменьшению общей площади на 3-5%.

2) Многозарядные триггеры уменьшают мощность токов утечки до 7%.

3) Динамическая мощность с использованием многозарядных триггеров уменьшается до 30%.

4) Общая мощность проекта уменьшается до 23% благодаря использованию многозарядных триггеров.

IV. СТАТИСТИКА ПРИМЕНЕНИЯ МНОГОЗАРЯДНЫХ ТРИГГЕРОВ В ИЗДЕЛИЯХ ПО ТЕХНОЛОГИИ FinFET 16 нм

В настоящее время многие компании-поставщики библиотек стандартных ячеек включают в их состав многозарядные триггеры для снижения потребляемой мощности с применением современных маршрутов проектирования. Как правило, предлагаются 2-разрядные, 4-разрядные, реже 6-разрядные или 8-разрядные варианты реализации. Однако, зачастую это является дополнительной опцией и может приводить к росту затрат на разработку конечного продукта. Кроме того, поставка может содержать ограниченный набор доступных разрядностей триггеров, тогда как для достижения наилучшего результата необходим максимально полный набор. Немаловажным фактором

остается и то, какую именно функциональность имеют доступные в библиотеке многозарядные триггеры. В случае отсутствия той или иной функции из состава проекта, реализованной в виде многозарядного триггера, преимущества данного подхода не могут быть использованы полностью.

Одним из возможных подходов к эффективному применению многозарядных триггеров является собственная разработка необходимого набора ячеек в качестве дополнения к основной библиотеке компании-поставщика. В этом случае эффективным подходом является анализ целевых проектов и выявление наиболее востребованных последовательностных функций для их реализации в виде многозарядных триггеров [12]. Таким образом, данный подход успешно применялся в компании NXP Semiconductors при разработке платформы проектирования по технологии FinFET 16нм.

На основе имевшихся данных был определен следующий список последовательностных функций, реализованных затем в виде 2-разрядных, 4-разрядных и 8-разрядных триггеров (табл. 1).

Таблица 1

Функции многозарядных триггеров в библиотеке FinFET 16нм

Функция	Описание	Количество разрядов
sdffpq	Сканирующий D-триггер, управляемый фронтом, неинвертирующий выход	2/4/8
sdffprq	Сканирующий D-триггер, управляемый фронтом, асинхронный сброс, неинвертирующий выход	2/4/8
sdffpsq	Сканирующий D-триггер, управляемый фронтом, асинхронная установка, неинвертирующий выход	2/4/8
sdffpcq	Сканирующий D-триггер, управляемый фронтом, синхронный сброс, неинвертирующий выход	2/4/8

Вышеописанные семейства многозарядных триггеров были использованы затем при разработке ряда продуктов компании по технологии FinFET 16 нм, представляющих собой современные решения в области автомобильной безопасности, автомобильных сетевых процессоров и микроконтроллеров. Далее рассмотрим статистику применения многозарядных триггеров в составе реальных систем на кристалле на примере 3 различных продуктов.

Первым и наиболее очевидным параметром в подобном анализе является непосредственное количество триггеров различной разрядности, используемых в каждом из продуктов. На рис. 7-9 приведены результаты анализа данных по использованию триггеров из табл. 1 с разной разрядностью. Как показывает статистика, подавляющее большинство – это однозарядные триггеры, составляющие от 64% до 81% от общего числа ячеек с рассматриваемой функциональностью. Далее следуют 8-разрядные версии триггеров, составляя от 12% до 25% от общего числа триггеров. Оставшуюся часть почти поровну делят 2-разрядные и

4-разрядные реализации. Таким образом, на долю многозарядных триггеров приходится от 19% до 36% суммарного числа ячеек с указанными функциями. Отметим, что данные результаты рассматривают многозарядный триггер как одну отдельную ячейку. Однако, для более точного представления о статистике использования многозарядных триггеров необходимо также привести данные по их количеству в терминах эквивалентных однозарядных версий.

Более явным показателем востребованности исследуемого класса ячеек является количество однозарядных триггеров определенной функции, замененных на многозарядные в процессе разработки продуктов. Таким образом, имея исходное количество однозарядных триггеров в проекте, можно оценить процентное соотношение многозарядных триггеров, приведенных к их однозарядной версии, т.е. 8-разрядный триггер рассматривается как 8 однозарядных версий. На рис. 10-12 представлены результаты анализа продуктов по данному критерию.

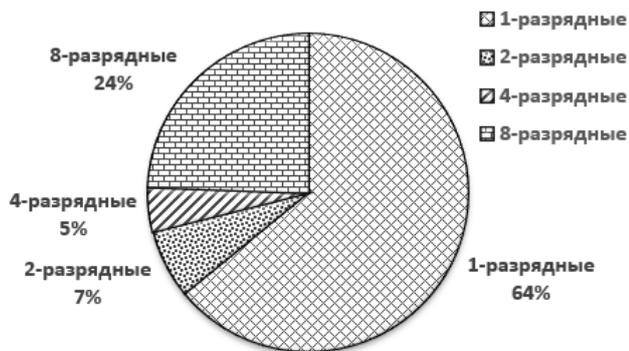


Рис. 7. Статистика использования триггеров с различной разрядностью в продукте 1



Рис. 8. Статистика использования триггеров с различной разрядностью в продукте 2

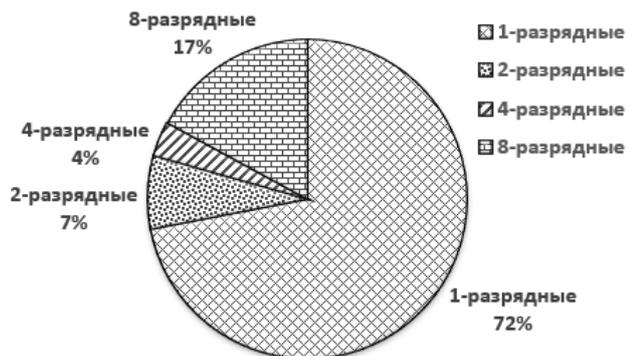


Рис. 9. Статистика использования триггеров с различной разрядностью в продукте 3

Как следует из приведенных диаграмм, до 73% одноразрядных триггеров были заменены средствами САПР триггерами максимальной разрядности (в нашем случае 8-разрядными). На долю 2-разрядных и 4-разрядных триггеров приходится суммарно до 21% от общего числа замененных одноразрядных триггеров. В зависимости от продукта и функции конкретные цифры могут отличаться, однако тенденция широкого применения многоуровневых триггеров прослеживается довольно четко.

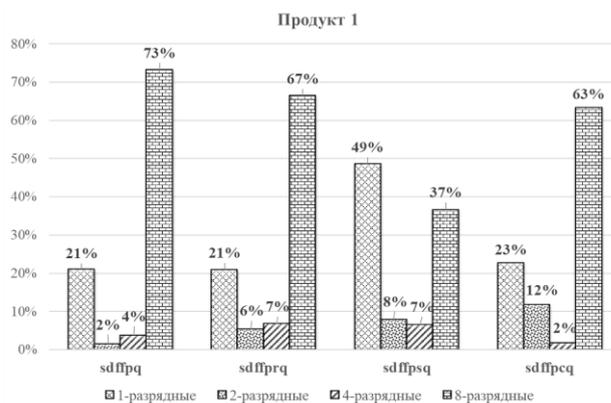


Рис. 10. Статистика замены одноразрядных триггеров на многоуровневые в продукте 1

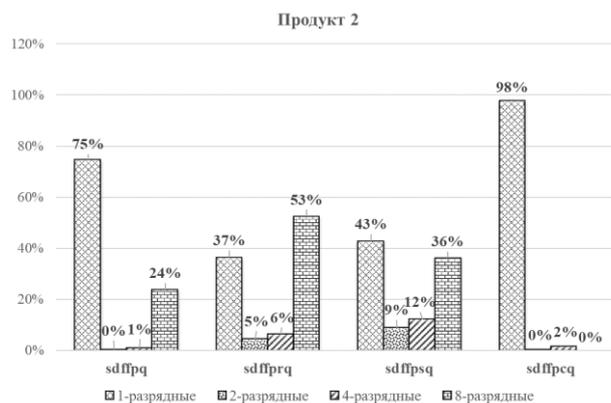


Рис. 11. Статистика замены одноразрядных триггеров на многоуровневые в продукте 2

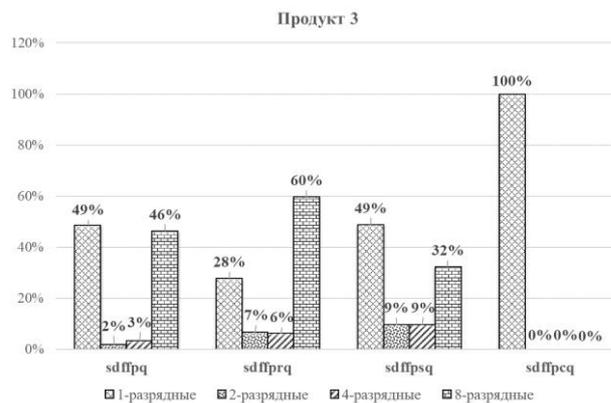


Рис. 12. Статистика замены одноразрядных триггеров на многоуровневые в продукте 3

Суммарная статистика применения многоуровневых триггеров в трех изделиях, разработанных по технологии FinFET 16 нм приведена в табл. 2. Максимальные значения для каждого продукта и функции выделены жирным шрифтом. Таким образом, наиболее востребованными в проектах являются триггеры максимальной разрядности, доступные в библиотеке стандартных ячеек (в данном случае 8-разрядные триггеры), что позволяет значительно уменьшить общую потребляемую

мощность. В свою очередь, триггеры меньшей разрядности используются реже, в тех случаях, где

использование большей разрядности приводит к ухудшению быстродействия.

Таблица 2

Статистика применения многоразрядных триггеров в изделиях по технологии FinFET 16 нм

Функция	одноразрядные			2-разрядные			4-разрядные			8-разрядные		
	Пр. 1	Пр. 2	Пр. 3	Пр. 1	Пр. 2	Пр. 3	Пр. 1	Пр. 2	Пр. 3	Пр. 1	Пр. 2	Пр. 3
sdffpq	21%	75%	49%	2%	0%	2%	4%	1%	3%	73%	24%	46%
sdffprq	21%	37%	28%	6%	5%	7%	7%	6%	6%	67%	53%	60%
sdffpsq	49%	43%	49%	8%	9%	9%	7%	12%	9%	37%	36%	32%
sdffpcq	23%	98%	100%	12%	0%	0%	2%	2%	0%	63%	0%	0%
Всего ячеек	64%	81%	72%	7%	4%	7%	5%	3%	4%	24%	12%	17%

V. ЗАКЛЮЧЕНИЕ

В данной статье рассмотрена общая структура многоразрядных триггеров, проанализированы их преимущества и недостатки. Проведено сравнение многоразрядных и одноразрядных триггеров на уровне библиотечных элементов.

Особенности применения многоразрядных триггеров показаны на примере маршрута проектирования с использованием САПР Cadence и библиотек стандартных ячеек с технологическими нормами 28 нм. Проанализированы различные способы замены одноразрядных триггеров (принудительная и с учетом временных и мощностных параметров), а также их влияние на основные характеристики проекта.

В заключение приведена статистика использования многоразрядных триггеров в современных продуктах, изготовленных по технологии FinFET 16 нм.

Полученные результаты могут применяться разработчиками при проектировании СнК как один из эффективных методов уменьшения потребляемой мощности.

ЛИТЕРАТУРА

[1] Srivastav W. M., Rao S. S. S. P., Bhatnagar H. Power reduction techniques using multi-Vt libraries // Proc. IWSOC. 2005. P. 363-367.
 [2] Chen H. I. A., Loo E. K. W., Kuo J. B., Syrzycki M. J. Triple-Threshold Static Power Minimization Technique in High-Level Synthesis for Designing High-Speed Low-Power SOC Applications Using 90nm MTCMOS Technology // Canadian Conference on Electrical and Computer Engineering, Vancouver, BC. 2007. P. 1671-1674.
 [3] Gundu A. K., Kursun V. Energy Efficient Clock Distribution with Low-Leakage Multi-Vt Buffers // 29th International

Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS), Rhodes, Greece. 2019. P. 113-118.

[4] Hu J., Wang J. Low leakage power designs of basic standard cells using gate-length biasing // Proc. IEEE Electronics, Communications and Control (ICECC), 2011 International Conference on 9-11 Sept. 2011. P. 324-327.
 [5] Cui T., Li J., Wang Y., Nazarian S., Pedram M. An Exploration of Applying Gate-Length-Biasing Techniques to Deeply-Scaled FinFETs Operating in Multiple Voltage Regimes // IEEE Transactions on Emerging Topics in Computing. April-June 2018. Vol. 6, no. 2. P. 172-183.
 [6] Chen Z., Yan J. Utilization of multi-bit flip-flops for clock power reduction // 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012), Seville. 2012. P. 677-680.
 [7] Vishnu P. V., Priyarenjini A. R., Kotha N. Clock Tree Synthesis Techniques for Optimal Power and Timing Convergence in SoC Partitions // 4th International Conference on Recent Trends on Electronics, Information, Communication & Technology (RTEICT), Bangalore, India. 2019. P. 276-280.
 [8] Doman D. Engineering the CMOS Library: Enhancing digital design kits for competitive silicon. New Jersey, Wiley, 2012. 342 p.
 [9] Dhivya V., Prakasam P. Effective and efficient technique for power reduction by Multi-bit flip-flops // International Conference on Electronics and Communication Systems (ICECS), Coimbatore. 2014. P. 1-5.
 [10] Sutherland I., Sproull B., Harris D. Logical Effort: Designing Fast CMOS Circuits. San Mateo, CA, USA: Morgan Kaufmann, 1999. 240 p.
 [11] Стемпковский А.Л., Семенов М.Ю. Основы логического синтеза средствами САПР Synopsys с использованием Verilog HDL // М.: МИЭТ. 2005. 140 с.
 [12] Калашников В.С., Семенов М.Ю. Оптимизация состава библиотек стандартных ячеек // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2016. № 2. С. 217-224.

Multi-bit Flip-flop Usage Features to Reduce Power in Nanotechnologies

V.S. Kalashnikov, M.Y. Semenov, Y.A. Titov

NXP Semiconductors,

viacheslav.kalashnikov@nxp.com, mikhail.semenov@nxp.com, yuri.titov@nxp.com

Abstract — System-on-Chips (SoC) designers use different techniques to reduce power consumption of their designs. Generally these methods can be divided into two categories. The first category includes techniques which can use various technology options, for example different Voltage threshold (VT) options. The second category contains different circuit design methods, for example increased gate length cells to reduce leakage power.

One of the effective ways to reduce total power is the usage of Multi-bit Flip-flops (MBFFs). The results of comparison and application of MBFFs have been presented in this article. Application features of MBFFs based on 16nm and 28nm technology nodes have been also described.

Comparison analysis of MBFFs, implemented in 28nm standard cell libraries, has been done in Chapter II. Stitched and Non-stitched architectures, its advantages and drawbacks have been considered. Cell-level comparison of MBFFs has shown the area and power benefits in comparison with equivalent number of single-bit flip-flops.

Chapter III describes how to proper use MBFFs in Digital Design Flow using Cadence CAD tools. Single-bit flip-flops can be replaced by MBFFs on SoC level keeping different options:

- forced replacement which substitutes maximum as possible number of single-bit flip-flops and provides maximum benefits in power, but makes worse timing characteristics, especially in critical timing paths;

- replacement with keeping and analyzing of timing constraints for all paths, which provides balance between power and timing characteristics.

In Chapter IV the statistical results of MBFFs usage in 16nm FinFET projects have been given.

The results presented in this article have shown, confirmed and proved the usage of MBFFs as effective low-power solution.

Keywords — flip-flop, Multi-bit flip-flop (MBFF), power consumption, digital library, standard cell library, digital design flow, nanotechnology, System-on-Chip (SoC), low power design

REFERENCES

- [1] Srivastav W. M., Rao S. S. P., Bhatnagar H. Power reduction techniques using multi-Vt libraries // Proc. IWSOC. 2005. P. 363-367.
- [2] Chen H. I. A., Loo E. K. W., Kuo J. B., Syrzycki M. J. Triple-Threshold Static Power Minimization Technique in High-Level Synthesis for Designing High-Speed Low-Power SOC Applications Using 90nm MTCMOS Technology // Canadian Conference on Electrical and Computer Engineering, Vancouver, BC. 2007. P. 1671-1674.
- [3] Gundu A. K., Kursun V. Energy Efficient Clock Distribution with Low-Leakage Multi-Vt Buffers // 29th International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS), Rhodes, Greece. 2019. P. 113-118.
- [4] Hu J., Wang J. Low leakage power designs of basic standard cells using gate-length biasing // Proc. IEEE Electronics, Communications and Control (ICECC), 2011 International Conference on 9-11 Sept. 2011. P. 324-327.
- [5] Cui T., Li J., Wang Y., Nazarian S., Pedram M. An Exploration of Applying Gate-Length-Biasing Techniques to Deeply-Scaled FinFETs Operating in Multiple Voltage Regimes // IEEE Transactions on Emerging Topics in Computing. April-June 2018. Vol. 6, no. 2. P. 172-183.
- [6] Chen Z., Yan J. Utilization of multi-bit flip-flops for clock power reduction // 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012), Seville. 2012. P. 677-680.
- [7] Vishnu P. V., Priyarenjini A. R., Kotha N. Clock Tree Synthesis Techniques for Optimal Power and Timing Convergence in SoC Partitions // 4th International Conference on Recent Trends on Electronics, Information, Communication & Technology (RTEICT), Bangalore, India. 2019. P. 276-280.
- [8] Doman D. Engineering the CMOS Library: Enhancing digital design kits for competitive silicon. New Jersey, Wiley, 2012. 342 p.
- [9] Dhivya V., Prakasam P. Effective and efficient technique for power reduction by Multi-bit flip-flops // International Conference on Electronics and Communication Systems (ICECS), Coimbatore. 2014. P. 1-5.
- [10] Sutherland I., Sproull B., Harris D. Logical Effort: Designing Fast CMOS Circuits. San Mateo, CA, USA: Morgan Kaufmann, 1999. 240 p.
- [11] Stempkovskiy A.L., Semenov M.Y. Osnovy logicheskogo sinteza sredstvami SAPR Synopsys s ispolzovaniem Verilog HDL (Basics of logic synthesis by Synopsys EDA tools using Verilog HDL) // M.: MIET, 2005. 140 s. (In Russian).
- [12] Kalashnikov V.S., Semenov M.Y. Optimizaciya sostava bibliotek standartnykh yacheek (Standard cell libraries content optimization) // Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES). 2016. № 2. S. 217-224 (in Russian).