

# Сравнительный анализ энергоэффективности библиотек по технологии FinFET 7 нм

С.А. Ильин<sup>1,3</sup>, А.В. Коршунов<sup>3</sup>, Т.В. Гарбулина<sup>2</sup>

<sup>1</sup>НИИ молекулярной электроники (АО «НИИМЭ»), г. Москва, silin@niime.ru

<sup>2</sup>Институт проблем проектирования в микроэлектронике РАН, garbulina\_t@ippm.ru

<sup>3</sup>Национальный Исследовательский Университет «МИЭТ», dicd@miee.ru

**Аннотация** — Быстрое развитие технологии FinFET в последние годы привело к изменениям в процессе цифрового проектирования на всех этапах маршрута. Квантование ширины канала транзистора привело к изменениям в схемотехнике и топологии цифровых стандартных ячеек. Прогресс в снижении энергопотребления высокопроизводительных СБИС привел к необходимости разработки новых методов автоматизированного проектирования автономных (самопитаемых) схем. Главной задачей при разработке таких схем становится поиск компромисса между энергопотреблением и производительностью. В статье выполнен сравнительный анализ изменения производительности и энергопотребления при снижении напряжения питания на примере технологии FinFET с топологическими нормами 7 нм.

**Ключевые слова** — FinFET, энергоэффективность, библиотеки стандартных ячеек, динамическая мощность, утечка.

## I. ВВЕДЕНИЕ

Прогресс инструментов САПР для маршрутов цифрового проектирования, обусловленный технологическим масштабированием, привел к необходимости учета особенностей стандартных ячеек на самых ранних этапах проектирования. Такой подход позволяет сократить время, затрачиваемое на разработку библиотеки, за счет введения дополнительных ограничений и уменьшения количества изучаемых вариантов схем. Особенностью технологии FinFET является дискретное изменение ширины транзистора с помощью ряда «ребер». Этот факт позволяет уменьшить количество вариантов компоновки цифровых ячеек, а также создавать новые аналитические модели, в зависимости только от числа ребер, для ранних этапов проектирования [1-3]. Основным требованием к таким моделям является баланс между скоростью и точностью, для чего необходимо сначала выявить характер зависимостей между параметрами транзисторов и ключевыми характеристиками схемы. Методы, основанные на таких моделях, могут быть легко интегрированы в инструменты логико-топологического синтеза, что позволит оценить задержку [4] и мощность схемы.

В настоящее время основные работы посвящены разработке моделей для быстрого расчета временных параметров, в то время как мощностные рассматриваются в меньшей степени. С одной стороны, это может быть связано со сложностью методов расчета рассеиваемой мощности, которые предполагают полное моделирование схемы во всех доступных режимах работы. Количество таких режимов значительно увеличивается с увеличением количества транзисторов в ячейке, особенно для триггеров и защелок. С другой стороны, результатом разработки библиотеки, которая используется на дальнейших этапах разработки СБИС, является файл Liberty, полученный в автоматическом режиме с использованием САПР характеристики, например, Synopsys SiliconSmart или Cadence Liberate. Современные САПР характеристики позволяют широко изменять настройки для расчета параметров мощности и утечки, что вносит некоторую неоднозначность в интерпретацию полученных значений.

## II. ВИДЫ ЭНЕРГОПОТРЕБЛЕНИЯ И ОСОБЕННОСТИ РАСЧЕТА В ТЕХНОЛОГИИ FINFET

Как правило, для КМОП схем различают два компонента мощности: динамический и статический. Динамический компонент связан с зарядом / разрядом емкостных структур КМОП, и для его оценки часто используется следующее выражение:

$$P_{dyn} = \frac{1}{2} \times VDD^2 \times f \times \sum \alpha_i C_i, \quad (1)$$

где  $C_i$  – емкость  $i$ -го перезаряжаемого узла,  $VDD$  – напряжение питания,  $\alpha_i$  – переключательная активность,  $f$  – частота работы. Важно обратить внимание, что выражение (1) не учитывает токи короткого замыкания, которые также можно отнести к динамическому компоненту. В общем виде выражение (1) для точного расчета мощности использовать затруднительно, поскольку значение перезаряжаемой емкости не является постоянным. Более широко используются методы расчета, основанные на измерении общей потребляемой энергии и расчете средней коммутирующей мощности. В качестве дополнительной метрики в этих методах используется оценка максимального (пикового) тока.

Другим компонентом является статическая мощность (или утечка). Компоненты утечки определяются различными механизмами, которые могут варьироваться в зависимости от технологии, поэтому аналитические модели не используются в САПР. Обычно предполагается, что утечка равна постоянной величине или зависит только от комбинации входных сигналов. В следующем разделе мы рассмотрим более подробно методику измерения утечки. Ключевой особенностью технологии FinFET является значительное снижение токов утечки по сравнению с планарной технологией CMOS. Этот фактор привел к необходимости разработки новых подходов к оценке мощности на ранних стадиях проектирования [5].

### III. МОДЕЛЬ ДЛЯ РАСЧЕТА ЭНЕРГОПОТРЕБЛЕНИЯ

Для анализа мощности стандартных ячеек библиотеки необходима эффективная и точная модель мощности. Требования к эффективности, точности и надежности привели к рассмотрению особенностей используемой технологии, тем не менее, нет необходимости в полной и абсолютно точной модели мощности, учитывающей все физические эффекты. Такая модель должна обеспечивать быстрый анализ поведения стандартной ячейки FinFET для различных входных данных. Измерение мощности в процессе характеристики показано на рис. 1 [6]:

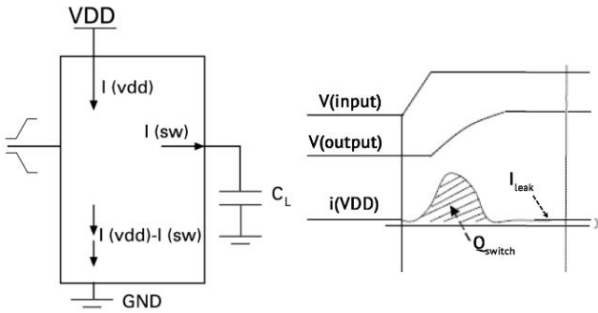


Рис. 1. Измерение мощности стандартной ячейки

Полный заряд  $Q_{switch}$  можно найти, интегрируя полный ток, потребляемый схемой:

$$Q_{switch} = \int_{T_{start}}^{T_{end}} (I_{VDD}) dt. \quad (2)$$

Для того, чтобы найти компонент, связанный с утечкой, текущее значение тока, установившееся в конце периода переключения (например, последние 5% периода), умножается на напряжение питания:

$$P_{leakage} = VDD \times average \left[ \int_{T_{leakstart}}^{T_{end}} (I_{VDD}) dt \right]. \quad (3)$$

Значения мощности утечки, полученные по формуле (3), рассчитываются для всех комбинаций входного фронта и емкости нагрузки, после чего — средняя мощность утечки  $P_{medianleakage}$ . Найденное значение умножается на время измерения и вычитается

из общей энергии для каждой комбинации входного фронта и емкости нагрузки. Такой подход позволяет избежать возникновения ошибок, когда измерение мощности утечки по какой-то причине нестабильно, например, если переходные процессы продолжаются в конце моделирования.

Таким образом, при расчете потребляемой мощности, как показано на рис.1, она будет равна общей мощности за вычетом мощности утечки. В случае, когда выход переключается с «0» на «1», энергия, необходимая для зарядки емкости внешней нагрузки, также вычитается [6]:

$$E_{fall} = (Q_{switch} \cdot VDD) - (P_{medianleakage} \cdot T_{power}), \quad (4)$$

$$E_{rise} = E_{fall} - \frac{C_L \cdot VDD^2}{2}. \quad (5)$$

Коммутационная (или межсоединительная) мощность — это мощность, рассеиваемая емкостной нагрузкой схемы, когда схема переключается. Мощность рассеивается, когда емкостная нагрузка заряжается или разряжается. При внутреннем питании коммутируемая мощность используется для расчета полного динамического рассеивания мощности. Информация о мощности переключения зависит от частоты переключения сети, емкостной нагрузки, соответствующей тактовой частоты и уровня напряжения питания в конструкции. Модель библиотеки Synopsys Liberty поддерживает все перечисленные параметры, кроме скорости переключения. Для переключения мощности явный атрибут единиц измерения не требуется, поскольку они неявно определяются единицами атрибутов напряжения, времени и емкости. Поскольку все скорости переключения внутренне настроены на период, определенный атрибутом  $time\_unit$  на уровне библиотеки, результирующее значение мощности переключения определяется в виде джоулей в секунду (или ватт), умноженных на соответствующую степень 10, определяемую единицами измерения для времени, емкости и напряжения. Например, в библиотеке с единицами времени, равными 1 нс, емкостными единицами, равными 0,1 фемтофард, и единицами напряжения, равными 1 вольт, вычисление для производных единиц для переключающей мощности библиотеки составляет:

$$Power\ Units = \frac{(1V^2) \times 0.1ff}{1ns} = 0.1\ \mu W, \quad (6)$$

$$Net\ Power = \frac{VDD^2}{2} \cdot \sum_i (C_L^i \times TR_i), \quad (7)$$

где  $TR_i$  — скорость переключения (количество переключений в единицу времени),  $C_L^i$  — нагрузочная емкость каждой цепи.

Нагрузочная емкость в большинстве случаев — это сумма входных емкостей элементов, расположенных на его выходе (без учета эффектов межсоединений):

$$C_L = \sum_{i=1}^n C_i. \quad (8)$$

В [6] была сделана оценка значения входной емкости в зависимости от технологических параметров и числа «ребер» в ячейке:

$$C_{in} = k_{in} \cdot \frac{\epsilon \cdot \epsilon_0}{t_{ox}} \cdot L \cdot (2 \cdot h + W) \cdot (N_{fin} + P_{fin}) \quad (9)$$

где  $L$  - длина канала FinFET-транзистора,  $W$  - ширина канала,  $h$  - высота затвора. На рис.2 показана структура транзистора FinFET с параметрами  $L$  и  $h$  [6].

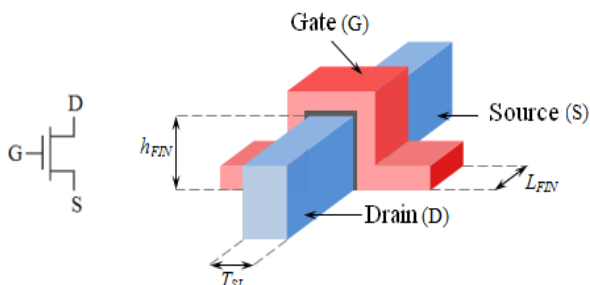


Рис. 2. Структура FinFET-транзистора

Значение эмпирического коэффициента  $k_{in}$  будет определяться особенностями технологии и может быть определено. Как показано в [4] для модели ptm20hr, этот коэффициент равен 3,57. Для использования в автоматизированном маршруте цифрового синтеза выполняется характеристика цифровых ячеек, которая представляет собой моделирование ячейки с использованием модели цепи и записи полученных значений временных и мощностных параметров в файл Liberty, где данные о потребляемой мощности представлены в виде двумерных таблиц, которые отражают зависимость параметров от длительности входного фронта и значения емкости нагрузки.

#### IV. ИСХОДНЫЕ ДАННЫЕ

Базой для исследования являются библиотеки стандартных ячеек на базе 7-нм FinFET транзисторов фирмы ARM. [9] Комплект средств проектирования ASAP 7nm Predictive PDK разработан в сотрудничестве с компанией ARM Research и доступен для свободного некоммерческого использования в учебных целях. Комплект средств проектирования включает SPICE-совместимые FinFET-модели приборов (BSIM-CMG), технологические файлы для Cadence Virtuoso, командные файлы физической верификации для DRC / LVS и файлы для паразитной экстракции.

Библиотека поддерживает три пороговых напряжения транзисторов (RVT / LVT / SLVT). Для всех трех опций была проведена характеристика и получены Liberty-файлы для номинального напряжения питания (0,7 В) и трех вариантов пониженного: 0,4 / 0,5 / 0,6 В соответственно.

#### V. ЭКСПЕРИМЕНТ

Для оценки влияния снижения напряжения питания элементов на результаты синтеза был поставлен следующий эксперимент. В базе каждого из полученных Liberty-файлов был проведен структурный

синтез проектов из множества ISCAS'85/89 (31 блок). Минимальный период тактового сигнала находился путем последовательного уменьшения периода до появления нарушения временных ограничений. [10]

#### A. Результаты синтеза

Полученные результаты: минимальный период переключения, при котором нет нарушения Timing Slack, площадь, потребляемая мощность, мощность утечки и произведение периода на мощность (power delay product, PDP) объединялись в таблицу следующего вида:

Таблица 1

Пример результатов эксперимента

RVT 070					
Design	Period	Area	Power	Leakage	PDP
c1355	185	26,711	3,38e-04	3,7e-08	6,25e-02

Полученные результаты для каждого из пониженных напряжений питания усреднялись по всем дизайнам и сравнивались с исходными. Сравнение характеристик для разных опций порогового напряжения представлено на рисунках 3 – 5. Значения параметров для номинального напряжения принимаются за 100%.

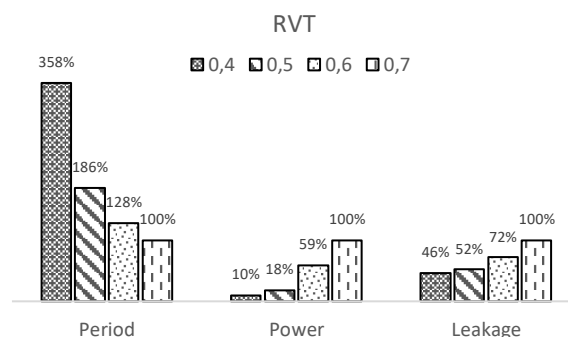


Рис. 3. Зависимость изменения характеристик от напряжения питания для опции RVT

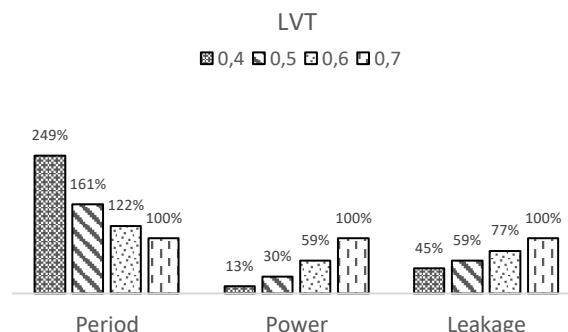


Рис. 4. Зависимость изменения характеристик от напряжения питания для опции LVT

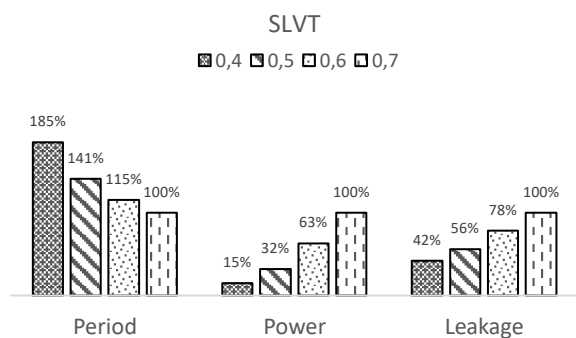


Рис. 5. Зависимость изменения характеристик от напряжения питания для опции SLVT

### В. Оценка зависимости мощности от напряжения

Как показано в (1) потребляемая мощность квадратично зависит от напряжения питания. При переходе к сверхнизким напряжениям данное соотношение может нарушаться. Анализ результатов эксперимента показал, что для оценки скорости изменения при масштабировании напряжения справедливо соотношение  $P \sim VDD^k$ , где  $k > 2$ . Оценки значений  $k$  (математическое ожидание и дисперсия) показаны в таблице 2.

Таблица 2

Оценка показателя  $k$  зависимости мощности от напряжения

$k$	$M$	$\sigma$
RVT	4,128	0,426
LVT	3,700	0,311
SLVT	2,711	0,736

Как видно из таблицы 2, в области сверхнизких напряжений потребляемая мощность зависит от напряжения сильнее, чем в окрестности номинального. Стоит отметить, что данная тенденция наиболее выражена для стандартного значения порогового напряжения и слабее всего – для сверхнизкого.

## VI. Выводы

Анализ результатов эксперимента показал, что в среднем снижение напряжения питания приводит к заметному снижению быстродействия, потребляемой мощности и мощности утечки при том, что указанная тенденция в большей степени выражена для библиотек с номинальным значением порогового напряжения и в несколько меньшей – для библиотек со сниженным (LVT / SLVT). Сравнительный анализ результатов позволяет утверждать, что в среднем снижение напряжения питания более чем на 30% не имеет практического смысла. Дальнейшее снижение приводит к еще более значительному (иногда в несколько раз) снижению быстродействия, при относительно небольшом выигрыше в потребляемой

мощности и мощности утечки, нарушая баланс производительности и энергопотребления. Таким образом, снижение напряжения до критических значений может рассматриваться только для специализированных применений. Кроме того, анализ результатов эксперимента показал: несмотря на то, что при напряжениях близких к номинальным потребляемая мощность зависит от напряжения питания квадратично, при переходе к сверхнизким напряжениям эта зависимость более сильная и мощность зависит от напряжения кубически.

## ПОДДЕРЖКА

Статья подготовлена в рамках госзадания МИЭТ (тема 0719-2020-0017/FSMR-2020-0017). Эксперимент выполнен при финансовой поддержке Минобрнауки России (номер государственной регистрации темы АААА-А19-119041290011-7).

## ЛИТЕРАТУРА

- [1] Красников Г. Я., Шелепин Н. А., Шипицин Д. С., Игнатов П. В. Особенности технологии, компонентов и библиотек уровня 28 нм // 5-я Международная научная конференция «Электронная компонентная база и микроэлектронные модули». Сборник тезисов Республика Крым, г. Алушта, 30 сентября – 05 октября 2019 г. 2019. С. 45-47.
- [2] Г.Я. Красников, Г.В. Баранов, А.Г. Итальянцев, "Физические особенности и конструкции низкоразмерных транзисторных структур", В сборнике: Микроэлектроника-2015. Интегральные схемы и микроэлектронные модули: проектирование, производство и применение сборник докладов Международной конференции. 2016. С. 538-541.
- [3] T.-J. King, "FinFETs for nanoscale CMOS digital integrated circuits", Proc. Int. Conf. Computer-Aided Design, Nov. 2005, pp. 207-210.
- [4] A. Korshunov, V. Khvatov, D. Maksimov and D. Frolov, "Development of a technique of fast timing analysis for the design of standard cells based on FinFET technology," 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), Moscow, 2018, pp. 1383-1386.
- [5] DAC'15 Troublemakers Panel in San Francisco, CA [Online] <http://deepchip.com/items/0555-05.html>
- [6] S. Gavrilov, G. Ivanova, P. Volobuev and A. Manukyan, "Methods of logical synthesis for library elements and blocks with regular layout structure," 2015 IEEE 35th International Conference on Electronics and Nanotechnology (ELNANO), Kiev, 2015, pp. 138-141.
- [7] "SiliconSmart ACE User Guide" in Synopsys Inc, Mountain View, CA, vol. 2016, no. 09, 2016.
- [8] P. Mishra, A. Muttreja, and N. K. Jha, FinFET circuit design, Nanoelectronic Circuit Design, Springer, 2011.
- [9] L.T. Clark, V. Vashishtha, L. Shifren, A. Gujja, S. Sinha, B. Cline, C. Ramamurthya, and G. Yeric, "ASAP7: A 7-nm FinFET Predictive Process Design Kit," Microelectronics Journal, vol. 53, pp. 105-115, July 2016.
- [10] S. Fabrie, J. Diego Echeverri, M. Vertreg and J. P. de Gyvez, "Standard cell library tuning for variability tolerant designs", DATE, 2014 pp. 1-6.

# Benchmarking Energy Efficiency of Libraries on FinFET 7nm

S.A. Ilin<sup>1,3</sup>, A.V. Korshunov<sup>3</sup>, T.V. Garbulina<sup>2</sup>

<sup>1</sup>Molecular Electronics Research Institute (JSC «MERI»), г. Москва, silin@niime.ru

<sup>2</sup>Institute for Design Problems in Microelectronics RAS (IPPM RAS), garbulina\_t@ippm.ru

<sup>3</sup>National Research University of Electronic Technology «MIET», didc@miec.ru

**Abstract** — The quick development of FinFET technology in recent years has led to changes in the digital design process at all stages of the route. The quantization of the channel width of the transistor has led to changes in the circuitry and layout of the digital standard cells. Reducing the energy consumption of high-performance VLSI systems has led to the need to develop new methods for the automated design of autonomous (self-feeding) circuits. The main task in developing such schemes is to find a compromise between energy consumption and performance. The article provides a comparative analysis of changes in performance and power consumption while reducing the supply voltage using the FinFET technology as an example with 7 nm node.

The progress of CAD tools for digital design flow, due to technological scaling, has led to the need to take into account the features of standard cells at the earliest stages of design. This approach reduces the time spent on developing the library by introducing additional restrictions and reducing the number of studied options for schemes. The main requirement for such models is the balance between speed and accuracy, for which you must first identify the nature of the dependencies between the parameters of the transistors and the key characteristics of the circuit. Methods based on such models can be easily integrated into the tools of logical and layout synthesis, which will allow evaluation of the delay [4] and the power of the circuit. Currently, the main works are devoted to the development of models for the quick calculation of timing parameters, while power and leakage ones are considered to a lesser extent.

The base for the study is a library of standard cells based on 7 nm FinFET transistors from ARM. [9] The library supports some threshold voltage (RVT / LVT / SLVT). For all three options, Liberty files were obtained for the nominal supply voltage (0.7 V) and three variation for reduced voltage: 0.4 / 0.5 / 0.6 V, respectively. An analysis of the experimental results showed that, on average, a decrease in the supply voltage leads to a noticeable decrease in speed, power consumption, and leakage power, while this trend is more noticeable for RVT library and less for LVT / SLVT libraries.

A comparative analysis of the results suggests that the decrease supply voltage of more than 30% does not have practical sense. A further decrease voltage leads to an even more significant decrease in performance, with a relatively small gain in power consumption and leakage. Thus, voltage reduction to critical values can only be considered for specialized applications. In addition, the analysis of the experimental results showed: despite the fact that at voltages close to nominal, the power consumption depends in power of

2 on the supply voltage, when switching to ultra-low voltages, this dependence is stronger and the power depends on the voltage in power of 3,5-4.

**Keywords** — FinFET, energy efficiency, standard cell libraries, dynamic power, leakage.

## REFERENCES

- [1] Krasnikov G. Ya., Shelepin N. A., Shipitsin D. S., Ignatov P. V. Osobennosti tekhnologii, komponentov i bibliotek urovnya 28 nm (Features of technology, components and libraries of the level of 28 nm) // 5-ya Mezhdunarodnaya nauchnaya konferentsia «Elektronnaya komponentnaya baza i mikroelektronnie moduli». Sbornik tezisov. Respublika Krim, g. Alushta, 30 sentyabrya – 05 octyabrya 2019 г. 2019. s. 45-47.
- [2] Krasnikov G. Ya., Baranov G.V., Italiantshev A.G., "Fizicheskie osobennosti i konstruktsii nizkorazmernix tranzistornix struktur" (Physical features and designs of low-dimensional transistor structures), V sbornike: Mikroelektronika-2015. Integralnie skhemi i mikroelektronnie moduli: proektirovanie, proizvodstvo i primenenie sbornik dokladov megdunarodnoy konferentsii. 2016. s. 538-541.
- [3] T.-J. King, "FinFETs for nanoscale CMOS digital integrated circuits", Proc. Int. Conf. Computer-Aided Design, Nov. 2005, pp. 207-210.
- [4] A. Korshunov, V. Khvatov, D. Maksimov and D. Frolov, "Development of a technique of fast timing analysis for the design of standard cells based on FinFET technology," 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), Moscow, 2018, pp. 1383-1386.
- [5] DAC'15 Troublemakers Panel in San Francisco, CA [Online] <http://deepchip.com/items/0555-05.html>
- [6] S. Gavrilov, G. Ivanova, P. Volobuev and A. Manukyan, "Methods of logical synthesis for library elements and blocks with regular layout structure," 2015 IEEE 35th International Conference on Electronics and Nanotechnology (ELNANO), Kiev, 2015, pp. 138-141.
- [7] "SiliconSmart ACE User Guide" in Synopsys Inc, Mountain View, CA, vol. 2016, no. 09, 2016.
- [8] P. Mishra, A. Muttreja, and N. K. Jha, FinFET circuit design, Nanoelectronic Circuit Design, Springer, 2011.
- [9] L.T. Clark, V. Vashishtha, L. Shifren, A. Gujja, S. Sinha, B. Cline, C. Ramamurthya, and G. Yeric, "ASAP7: A 7-nm FinFET Predictive Process Design Kit," Microelectronics Journal, vol. 53, pp. 105-115, July 2016.
- [10] S. Fabrie, J. Diego Echeverri, M. Vertreg and J. P. de Gyvez, "Standard cell library tuning for variability tolerant designs", DATE, 2014 pp. 1-6.