

# Сравнительная характеристика методов повышения сбоеустойчивости топологии блоков целочисленного умножения/деления в проектных нормах 65 нм

А.О. Власов, Н.В. Желудков, А.В. Клишин, Е.К. Эмин, М.С. Горбунов

ФГУП ФНЦ НИИСИ РАН, г. Москва,

emin@cs.niisi.ras.ru

**Аннотация** — Для повышения сбоеустойчивости современных цифровых схем может применяться множество различных подходов к проектированию. Одним из наиболее распространенных методов повышения сбоеустойчивости является тройное модульное резервирование (ТМР). Существует целое множество различных вариаций троирования. Однако аппаратное троирование не гарантирует полную стойкость к одиночным радиационным эффектам. Целесообразность применения определенного подхода зависит от архитектуры, технического задания и ограничений по быстродействию. В данной статье были реализованы различные варианты троирования в рамках соответствия стандартной методологии проектирования, т.е. с использованием немодифицированного RTL кода и библиотеки стандартных ячеек. Представлена сравнительная характеристика стойкости рассмотренных схем троирования к одиночным сбоям на основе метода симуляции сбоев с учетом топологического представления.

**Ключевые слова** — SEU, SET, TMR, одиночные эффекты.

## I. ВВЕДЕНИЕ

Все больше и больше микроэлектронных изделий применяются в жизненно важных прикладных областях, таких как здравоохранение, транспорт, автомобилестроение и освоение космоса. Здесь последствия отказов в реальных условиях, аппаратных ошибок и сбоев могут быть катастрофическими. Такие аспекты, как надежность, качество и безопасность больше не могут рассматриваться отдельно друг от друга, а кроме того следует учитывать традиционную триаду параметров микросхемы – себестоимость, энергопотребление и быстродействие [1].

Таким образом, вопрос выбора наиболее эффективного и оптимального способа парирования сбоев является важной научно-технической задачей, а потому актуальны исследования на реальных тестовых схемах.

Для современной методологии проектирования цифровых микросхем по-прежнему характерен экспоненциальный рост числа элементов на кристалле и значительное усложнение как архитектуры, так и схемотехнического представления функциональных блоков. Для упрощения и ускорения проектирования

применяется повторное использование одинаковых блоков в различных проектах микросхем. Следовательно, актуальны методы, которые могут быть реализованы не только на этапе архитектурного проектирования (или этапа разработки RTL), но и непосредственно на этапе логического синтеза уже готового RTL представления схемы.

Увеличение срока функционирования космических аппаратов неизбежно влечет за собой повышение требований к стойкости к одиночным эффектам, вызванным радиационным воздействием, что является одной из главных задач, возникающих при проектировании радиационно-стойких интегральных схем. Впервые данная задача была сформулирована еще в 1956 г. в фундаментальной работе фон Неймана [2]. В дальнейшем данная тема была значительно развита в научных трудах других авторов, например, Эдварда Муар и Клода Шеннона [3]. На основе тройного модульного резервирования существует несколько разработанных подходов к проектированию, которые обеспечивают более высокую надежность системы [4-7].

Одиночные события – это радиационные эффекты, причиной возникновения которых является взаимодействие одиночной заряженной частицы (ОЗЧ) с активной областью прибора. Все одиночные события при воздействии ОЗЧ можно разделить на две группы: обратимые и необратимые (катастрофические). К обратимым относятся такие эффекты, как SEU (Single Event Upset) – одиночный сбой элемента памяти и SET (Single Event Transient) – одиночный эффект переходной ионизационной реакции.

Тройное модульное резервирование (ТМР) или triple modular redundancy (TMR) – это пример метода парирования последствий SEU. По мере уменьшения технологических норм наблюдается сокращение длины проводников и, как следствие, снижение величины эквивалентной емкости межсоединений. Таким образом, при попадании заряженной частицы в площадь кристалла, заряд, возникающий в рабочей области, может приводить к переключению большего количества элементов памяти и возникновению помех в большем количестве комбинационных путей по сравнению с более ранними технологиями. Увеличивается как общее число сбоев, так и доля

сбоев, вызванных SET. Это можно объяснить увеличением длительности импульса переходной ионизационной реакции, вызванной SET сбоем в тракте комбинационной логики.

В данный момент в НИИСИ РАН разрабатывается проект радиационно-стойкой сбоеустойчивой микросхемы по технологическим нормам 65 нм. Было решено оценить параметры сбоеустойчивости для функционального блока, выполненного по данной технологии при помощи инструмента инжекции сбоев с учетом топологии. В качестве объекта было решено использовать блок целочисленного умножения/деления из состава микропроцессорного ядра. В работе представлен сравнительный анализ сбоеустойчивости вариаций различных методов повышения сбоеустойчивости.

## II. МЕТОДЫ ПОВЫШЕНИЯ СБОЕУСТОЙЧИВОСТИ

Условно методы борьбы с эффектами одиночных сбоев можно разделить на две группы: уменьшающие вероятность возникновения сбоя в элементе памяти при попадании частицы в чувствительную область микросхем (маскирование сбоев) и обеспечивающие исправление возникших сбоев (коррекция).

Одиночные сбои могут влиять на память, регистры и комбинационную логику. Примером методов устранения последствий SEU являются подходы по реализации тройного модульного резервирования в логике микросхемы [8].

В соответствии с методологией TMR [9-10], существует четыре основных типов схем:

1. Блочное троирование (BTMR) – используются три копии одного и того же блока. Их выходы подключены через мажорирующий элемент.

2. Локальное троирование (LTMR) – троируются только последовательные элементы. Выходы триггеров подключаются через мажорирующие элементы. Дерево синхросигналов не троируется.

3. Распределенное троирование (RTMR) – троируются триггеры и комбинационная логика. Дерево синхросигналов не троируется.

4. Глобальное троирование (GTMR) – троируются все элементы, включая дерево синхросигналов.

Главным недостатком LTMR и RTMR являются некорректируемые сбои в элементах дерева распространения синхросигнала. При возникновении SET вблизи активного фронта тактового сигнала, все три триггера сохраняют неправильное логическое состояние.

## III. ОПИСАНИЕ МЕТОДИКИ МОДЕЛИРОВАНИЯ. ТЕСТИРУЕМОЕ УСТРОЙСТВО

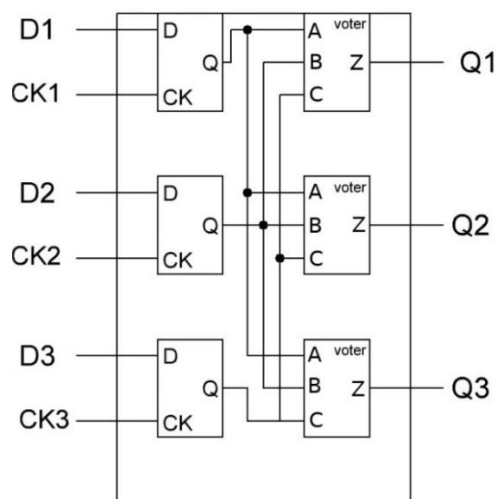
Так как экспериментальная оценка частоты сбоев требует больших материальных, аппаратных и временных затрат, то высок интерес к методам моделирования сбоев. Такие методы широко

представлены в ряде работ [9-10]. В рамках работ, проводимых в НИИСИ РАН, был создан инструмент для моделирования последствий сбоев в ячейках с учетом топологии [11]. Он представляет собой набор классов SystemVerilog и позволяет моделировать последствия сбоев во время моделирования нетлиста. Инструмент также способен на основании данных, полученных из DEF файла сопоставить по иерархическим именам соответствующий элемент из нетлиста. При помощи программного инжектора можно промоделировать сбой в последовательном элементе – как переключение его в противоположное логическое состояние. Сбой в комбинационном элементе (SET) моделируется как временное изменение логического состояния (длительностью 100 пс) на выходе элемента. Цели для внесения сбоев могут задаваться при помощи выбора случайной координаты – инжектор генерирует квадратную область заданного размера (1 мкм) и на основе топологической информации определяет какие ячейки оказались в этой области. Для всех пораженных ячеек выполняется моделирование сбоев.

В качестве тестируемого устройства был выбран блок 32-разрядного целочисленного умножения/деления, входящий в состав микропроцессорного ядра, разрабатываемого в НИИСИ РАН. Данный блок был выбран, т.к. в его составе нет макроблоков и элементов памяти, а также его структура достаточно неоднородна. Таким образом, это позволит адекватно оценить свойства тролируемых вариантов.

Широко известно, что со снижением технологических норм вероятность поражения одной частицей одновременно нескольких ячеек возрастает. Для борьбы эффектом многократного сбоя применяют пространственное разнесение чувствительных областей. Регистры размещают на расстоянии не менее 2,8 мкм друг от друга. Чтобы гарантировать надежное соблюдение правил размещения триггеров на заданное расстояние применяется метод троированных триггеров. Здесь применяется иерархический принцип проектирования – каждые три копии триггера, также соответствующие им мажорирующие элементы, выделяются из нетлиста в отдельную структуру – домен. Логические элементы в рамках данного домена размещаются с разнесением.

По высоте ячейки разнесены друг от друга на 2,8 мкм, т.е. на один ряд, высота которого равна высоте стандартной ячейки, по горизонтали – на 2,64 мкм. Различие в величине разнесения элементов по горизонтали и вертикали связано с тем, что используемая библиотека обладает горизонтальным шагом 0,24 мкм, поэтому элементы по горизонтали не могут находиться друг от друга на расстоянии 2,8 мкм, а только на расстоянии кратном 0,24 мкм. Также триггеры и мажорирующие ячейки отстоят от края блока по горизонтали на 1,44 мкм. Такое разнесение позволяет исключить ситуацию поражения сразу двух триггеров или мажорирующих элементов из соседних доменов (рис. 1).



**Рис. 1. Схема размещения элементов одного троированного домена**

Также поставленная задача заключалась в минимизации геометрических размеров блоков без ухудшения сбоеустойчивости и производительности. Поэтому было решено исследовать целесообразность разнесения последовательных элементов и мажорирующих ячеек в троированных доменах на расстояние не менее 2,64 мкм. Вариант с разнесением будет обозначаться в дальнейшем (PM). Это условие сказалось на росте площади троированных триггеров.

Современные средства автоматизации проектирования топологии микросхем позволяют добавлять дополнительные правила на размещение элементов на этапе размещения стандартных ячеек. Например, можно задать разнесение триггеров одного домена на 2,8 мкм. Далее, такой вариант будет обозначаться ПР.

Таким образом, блок целочисленного умножения/деления был реализован в 11 различных вариантах: базовый вариант без применения троирования, с применением блочного троирования (БТМР), с троированными триггерами ЛТМР, РТМР, ГТМР без и с разнесением (PM) мажорирующих элементов, а также ЛТМР, РТМР и ГТМР с разнесением при помощи САПР (ПР).

Также наша задача заключалась в минимизации геометрических размеров блоков без ухудшения производительности. В процессе топологического проектирования каждая из копий оптимизировалась с сохранением рабочей частоты в 200 МГц. Под максимальным быстродействием подразумевается частота с учетом запаса по быстродействию, т.е. запаса по времени предустановки сигнала. В табл. 1 приведены параметры полученных блоков. Для наглядности динамическая мощность  $P_d$  при 20% активности переключения представлена в мВт/МГц, мощность утечки  $P_{ут}$  в мВт/мм<sup>2</sup>. В этой статье для топологической имплементации была выбрана специально разработанная радиационно-стойкая библиотека на основе 65-нм технологии.

Таблица 1

*Характеристики блоков умножения/деления*

Вариант	Максимальное быстродействие, МГц	Площадь, 10 <sup>-1</sup> мм <sup>2</sup>	Плотность размещения, %	$P_d$ , мВт/мм <sup>2</sup>	$P_{ут}$ , мВт/МГц
Базовый	380,7	0,37	53,20	1,54	2,12
БТМР	257,0	2,25	64,5	5,41	9,01
ЛТМР	289,0	0,8	60,0	5,80	3,28
ЛТМР (PM)	272,1	1,03	60,20	10,13	2,90
ЛТМР (ПР)	276,2	0,5	55,00	3,47	2,33
РТМР	283,9	1,4	63,0	11,53	6,71
РТМР (PM)	287,4	1,7	62,5	36,70	6,20
РТМР (ПР)	262,5	1,15	59,00	9,40	6,10
ГТМР	281,5	1,4	63,3	12,29	6,73
ГТМР (PM)	312,5	1,7	62,6	10,00	5,76
ГТМР (ПР)	281,4	1,17	56,10	9,88	6,02

#### IV. МОДЕЛИРОВАНИЕ И АНАЛИЗ РЕЗУЛЬТАТОВ

Для тестирования каждого из вариантов была разработана простая тестовая схема, которая состоит из двух версий делителя/умножителя – эталонной и тестовой, в которую инжектировались сбои. Сначала в рамках тестовой задачи на входы A, B, IR1A (выбор соответствующего режима) обеих версий подаются случайные значения, после чего запускается тест,

длительностью 34 такта (максимальная длительность алгоритма деления). В случайное время в тестовую версию инжектируется один сбой и в пораженных ячейках моделируется последствия вышеупомянутых эффектов. В конце теста значения выходов обеих версий сравниваются при помощи операции Искл.ИЛИ, и при любом различии выходов – фиксируется ошибка. Структурная схема тестовой системы показана на рис. 2.

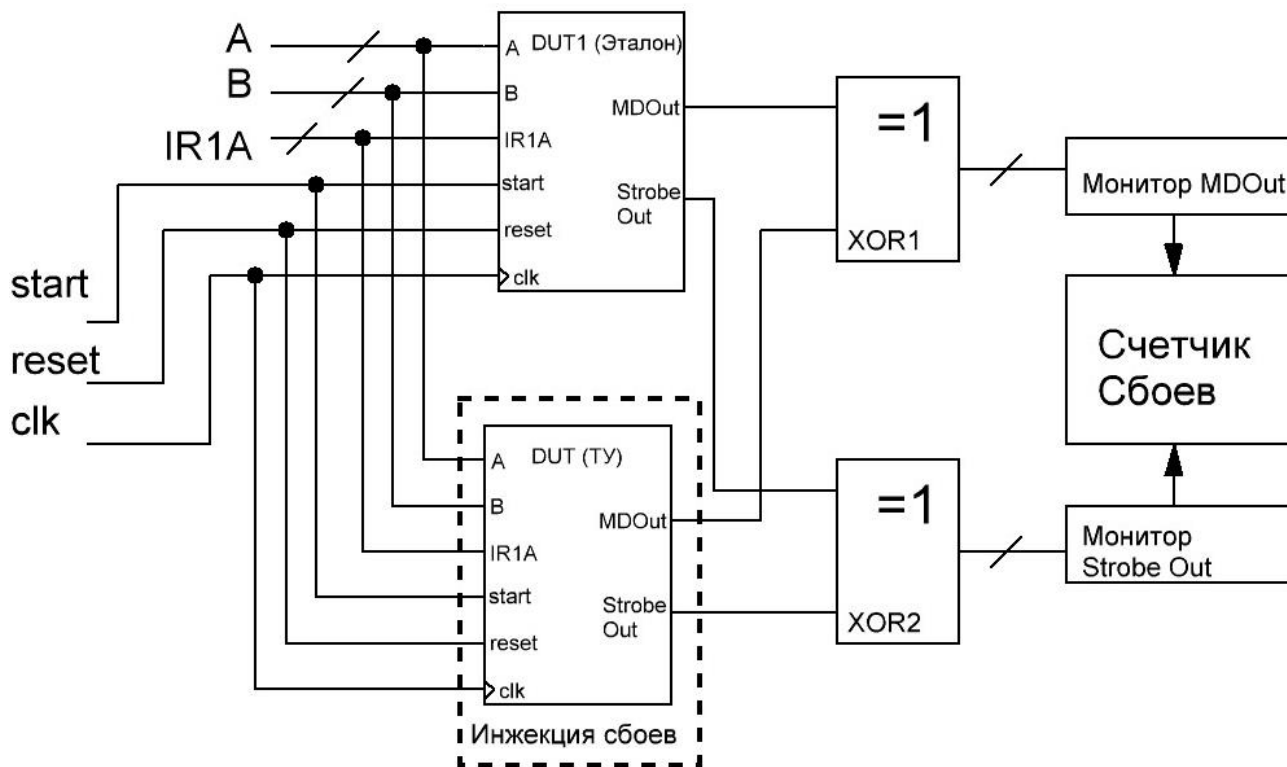


Рис. 2. Структурная схема тестового окружения

Таблица 2

Результаты моделирования сбоев

Вариант	Количество тестов с ошибкой	Общее количество тестов	$\Phi$ , $10^5 \text{ мм}^{-2}$	$\sigma$ , $10^{-2} \text{ мм}^2$
Базовый	2998	10000	2,7	1,11
БТМР	1637	100000	4,5	0,36
ЛТМР	3905	30000	3,97	1,30
ЛТМР (PM)	3895	25000	2,4	0,99
ЛТМР (PP)	5327	20000	4,3	1,23
РТМР	2035	30000	2,10	0,97
РТМР (PM)	1119	35000	2,08	0,54
РТМР (PP)	1731	30000	2,6	0,67
ГТМР	1887	30000	2,10	0,95
ГТМР (PM)	1371	25580	2,07	0,89
ГТМР (PP)	1233	30000	2,6	0,48

Сечения событий, полученные в результате моделирования приведены в табл. 2. Для сравнения результатов используется сечение событий  $\sigma$ .  $\sigma$  – это отношение числа тестов, в которых была зафиксирована ошибка к флюенсу (1):

$$\sigma = \frac{N}{\Phi} \quad (1),$$

где  $N$  - число тестов с ошибкой,  $\Phi$  - значение флюенса.

Сразу следует отметить, что самое высокое значение сечения сбоев было зафиксировано для всех ЛТМР вариантов. Это свидетельствует о трех основных факторах: сбой в элементах дерева распространения тактового сигнала; для данного тестируемого блока общий вклад SEU сбоев в последовательных элементах незначителен по сравнению со сбоями, индуцированными в комбинационной логике, т.к. в среднем соотношение триггеров к комбинационным элементам для ЛТМР и ЛТМР (PM) равно 0,1. Также в данном блоке во всех вариантах присутствует большое количество полных сумматоров из состава библиотеки стандартных ячеек. Данные ячейки занимают значительную площадь (17,5 мкм<sup>2</sup>) и относятся к комбинационной логике, т.е. к ним не применялось троирование и разнесение. Как результат, эти ячейки чаще всего подвергались сбоям. Кроме того, сравнительно невысокое сечение сбоев нетроированного варианта можно объяснить неравномерной локальной плотностью размещения



элементов на кристалле, что в ряде случаев приводило к попаданию одной частицы одновременно в 6 элементов. Т.е. для ЛТМР вариантов по сравнению с базовым уменьшилась максимальная кратность сбоев, однако общее количество тестов, завершившихся с ошибкой, увеличилось.

Среди РТМР вариантов наибольшей устойчивостью к сбоям обладает РТМР (РМ). Можно отметить значительное сокращение сбоев по сравнению с ЛТМР (РМ), это обусловлено троированием комбинационных путей. Однако данная мера никак не защищает от последствий сбоев в элементах тактового дерева.

Среди ГТМР следует отметить невысокое значение сечения сбоев для варианта с разнесением средствами САПР. Несмотря на увеличение площади блоков ГТМР вариантов с использованием троированных триггеров, были зафиксированы проблемы на этапе построения дерева распространения тактового сигнала, что привело к необходимости использовать дополнительное количество элементов для его построения. А это в свою очередь увеличило вероятность сбоя в элементах двух разных тактовых деревьев одновременно. Кроме того, значительная часть сбоев связана с попаданием частицы в два мажорирующих элемента одного домена одновременно.

Наименьшим сечением сбоев характеризуется вариант с блочным троированием. Соответственно, этот же вариант можно назвать наиболее сбоеустойчивым к одиночным сбоям в условиях данного теста. Основным фактором таких результатов можно считать пространственное разнесение элементов одного домена, которое автоматически обеспечивает такая методика троирования. Однако определенные ограничения накладывает и архитектура тролируемого блока. Например, если структурно он представляет собой сложный автомат конечных состояний, то после сбоя в одном из блоков возможна череда неправильных переключений. Для коррекции необходимо периодически принудительно переводить троированный блок в определенное состояние (например, 0), что не всегда выполнимо, а также требует дополнительных модификаций RTL и тестирования. Кроме того, данный вариант характеризуется и наибольшей площадью размещения – 0,23 мм<sup>2</sup>, а также самым низким быстродействием среди всех вариантов.

## V. ЗАКЛЮЧЕНИЕ

В данной работе были рассмотрены подходы по повышению сбоеустойчивости. Было произведено моделирование работы различных вариантов вычислительного блока целочисленных операций из состава СнК в условиях инжекции сбоев. На основе полученных результатов проведен сравнительный анализ различных методов повышения сбоеустойчивости. Так все ЛТМР варианты показали очень низкую устойчивость к одиночным сбоям из-за большого вклада сбоев в комбинационных элементах и элементах тактового дерева.

Наибольшую стойкость показал вариант блочного троирования. Однако рассмотрен ряд причин, по которым его нельзя назвать наиболее оптимальным. Также одним из наиболее сбоеустойчивых вариантов можно считать ГТМР троирование с разнесением чувствительных областей.

Результаты показали особую важность размещения не только последовательных, но и комбинационных элементов на кристалле при проектировании топологии сбоеустойчивых микросхем по технологическим нормам 65 нм. Полученные выводы особо актуальны в свете будущих работ НИИСИ РАН.

## ПОДДЕРЖКА

Публикация выполнена в рамках государственного задания по проведению фундаментальных научных исследований по теме «Архитектурные и схемотехнические методы снижения энергопотребления и повышения сбоеустойчивости микропроцессоров и коммуникационных контроллеров высокопроизводительных ЭВМ» (№ 0065-2019-0008).

## ЛИТЕРАТУРА

- [1] RESCUE: Interdependent Challenges of Reliability, Security and Quality in Nanoelectronic Systems / Maksim Jenihhin, Said Hamdioui, Matteo Sonza Reorda et al. 2019.
- [2] von Neumann John. Probabilistic Logics and the Synthesis of Re-liable Organisms from Unreliable Components // Automata Studies. 1956. P. 43-98.
- [3] Moore E. F., Shannon C. E. Reliable circuits using less reliable relays. I. 1956. Sep. Vol. 262, no. 3. P. 191-208.
- [4] May T. C., Woods M. H. Alpha-particle-induced soft errors dynamic memories // IEEE Transactions on Electron Devices. 1979. Jan. Vol. 26, no. 1. P. 2-9.
- [5] Baumann R. Soft errors in advanced computer systems // IEEE Design Test of Computers. 2005. May. Vol. 22, no. 3. P. 258-266.
- [6] Chen C. L., Hsiao M. Y. Error-Correcting Codes for Semiconductor Memory Applications: A State-of-the-Art Review // IBM Journal of Research and Development. 1984. March. Vol. 28, no. 2. P. 124-134.
- [7] Petrovic Vladimir, Krstic Milos. Design Flow for Radhard TMR Flip-Flops. 2015. 04. P. 203-208.
- [8] R. Hentschke, F. Marques, F. Lima, L. Carro, A. Susin and R. Reis, Analyzing area and performance penalty of protecting different digital modules with Hamming code and triple modular redundancy // Proceedings. 15th Symposium on Integrated Circuits and Systems Design, Porto Alegre, Brazil, 2002, pp. 95-100.
- [9] C. Bottoni, B. Coeffic, J.-M. Daveau, G. Gasiot, L. Naviner, and P. Roche, A layout-aware approach to fault injection for improving failure mode prediction // Proc. of Workshop on SELSE, 2015.
- [10] B. Coeffic et al., Radiation Hardening Improvement of a SerDes under Heavy Ions up to 60 mev.cm<sup>2</sup>/mg by Layout-Aware Fault Injection // Proc. of SELSE- 12, Mar. 2016.
- [11] P. Chernyakov et al., Comparative Analysis of Layout-Aware Fault Injection on TMR-based DMA Controllers // 2019 IEEE 31st International Conference on Microelectronics (MIEL), Nis, Serbia, 2019, pp. 289-292, doi: 10.1109/MIEL.2019.8889643.

# Comparative Analysis of Fault-Tolerant TMR-Based Integer Operation 65-nm Blocks

A.O. Vlasov, N.V. Zheludkov, A.V. Klishin, E.K. Emin, M.S. Gorbunov

SRISA RAS, Moscow,

emin@cs.niisi.ras.ru

**Abstract** — Nowadays protection against radiation single event effects can be achieved using many different design approaches. Triple Modular Redundancy (TMR) is one of the most popular methods for solving this problem. However, there are many different ways of TMR design flow implementation. Each of them has advantages and disadvantages and could be more or less suitable for a specific architecture, technical specifications, or performance requirements. This article presents comparative analysis of layout-aware fault injection simulation results. In our study, we have investigated the issues of designing the optimal scheme of triplicated register modules that can be applied in any standard design implementation flow. This allowed us to use non-modified RTL code, i.e. all design modifications were made during the “RTL-to-GDS” design flow. We have decided to use the Integer Multiplication/Division operation unit as device under test. The abovementioned block is a part of radiation and fault-tolerant IC that is being developed by SRISA RAS using the 65nm technological process. It contains no IP and memory blocks. Also, its structure is nonrecurring, which is similar to standard cell logic in this IC. The analysis of obtained simulation results is also provided. The results have showed the particular importance of standard cells (not only registers but also combination logic and clock tree elements) placement during the TMR-fault-tolerant digital circuits design.

**Keywords** — SEU, SET, TMR, SEE.

## REFERENCES

- [1] RESCUE: Interdependent Challenges of Reliability, Security and Quality in Nanoelectronic Systems / Maksim Jenihhin, Said Hamdioui, Matteo Sonza Reorda et al. 2019.
- [2] von Neumann John. Probabilistic Logics and the Synthesis of Re-liable Organisms from Unreliable Components // Automata Studies. 1956. P. 43-98.
- [3] Moore E. F., Shannon C. E. Reliable circuits using less reliablerelay. I. 1956. Sep. Vol. 262, no. 3. P. 191-208.
- [4] May T. C., Woods M. H. Alpha-particle-induced soft errors in dynamic memories // IEEE Transactions on Electron Devices. 1979. Jan. Vol. 26, no. 1. P. 2-9.
- [5] Baumann R. Soft errors in advanced computer systems // IEEE Design Test of Computers. 2005. May. Vol. 22, no. 3. P. 258-266.
- [6] Chen C. L., Hsiao M. Y. Error-Correcting Codes for Semiconductor Memory Applications: A State-of-the-Art Review // IBM Journal of Research and Development. 1984. March. Vol. 28, no. 2. P. 124-134.
- [7] Petrovic Vladimir, Krstic Milos. Design Flow for Radhard TMR Flip-Flops. 2015. 04. P. 203-208.
- [8] R. Hentschke, F. Marques, F. Lima, L. Carro, A. Susin and R. Reis, Analyzing area and performance penalty of protecting different digital modules with Hamming code and triple modular redundancy // Proceedings. 15th Symposium on Integrated Circuits and Systems Design, Porto Alegre, Brazil, 2002, pp. 95-100.
- [9] C. Bottoni, B. Coeffic, J.-M. Daveau, G. Gasiot, L. Naviner, and P. Roche, A layout-aware approach to fault injection for improving failure mode prediction // Proc. of Workshop on SELSE, 2015.
- [10] B. Coeffic et al., Radiation Hardening Improvement of a SerDes under Heavy Ions up to 60 mev.cm<sup>2</sup>/mg by Layout-Aware Fault Injection // Proc. of SELSE- 12, Mar. 2016.
- [11] P. Chernyakov et al., Comparative Analysis of Layout-Aware Fault Injection on TMR-based DMA Controllers // 2019 IEEE 31st International Conference on Microelectronics (MIEL), Nis, Serbia, 2019, pp. 289-292, doi: 10.1109/MIEL.2019.8889643.