

Анализ итерационных методов решения систем логических уравнений и их использование при моделировании цифровых систем

А.Д. Иванников, А.Л. Стемповский

Институт проблем проектирования в микроэлектронике РАН, г. Москва,

adi@ippm.ru

Аннотация — При функционально-логическом моделировании цифровых систем на каждом такте моделирования осуществляется итерационное решение системы логических уравнений. Осуществляется вычисление установившихся значений логических сигналов в узлах схемы после подачи входных логических воздействий. В работе рассматриваются различные итерационные методы, применимые для решения систем логических уравнений, а именно: простая итерация, итерация Зейделя, вводится понятие обобщенной итерации. В теоретическое рассмотрение вводится понятие следа итерации как последовательности подмножеств индексов логических переменных, пересчитываемых на каждом шаге итерации. Анализируются графовые модели как самой системы логических уравнений, так и процесса итерационного решения систем уравнений. Показана связь количества решений системы логических уравнений со структурой ее графовой модели. Сформулированы варианты использования рассмотренных итерационных методов решения при функционально-логическом моделировании цифровых систем.

Ключевые слова — функционально-логическое моделирование цифровых систем, системы логических уравнений, итерационные методы решения, обобщенная итерация.

I. ВВЕДЕНИЕ

Еще в 90-ые годы во многих работах указывалось на перспективность использования информационных технологий в различных областях современной человеческой деятельности: коммуникациях, образовании, науке и технике [1-3]. И действительно, в настоящее время проектирование современных цифровых микроэлектронных систем возможно только на основе систем автоматизированного проектирования. При проектировании цифровых систем функционально-логическое моделирование на уровне соединения блоков и элементов схемы технических средств является необходимым для проверки правильности проекта. Для проверки правильности функционирования разрабатываемой цифровой системы осуществляется моделирование изменений логических сигналов как на выходе всей системы управления, так и в узлах соединения блоков и элементов технических средств цифровой системы. При этом для каждого изменения входных сигналов необходимо определять новые логические значения сигналов в узлах схемы [4-6], то есть осуществлять решение системы

многозначных (конечнозначных) логических уравнений. Многозначность логических переменных обусловлена наличием (кроме состояний 0 и 1) высокоимпедансного (отключенного) состояния на линиях и шинах цифровых блоков, представлением сигналов на шинах одним многозначным сигналом [7, 8], а также представлением процесса переключения значений сигналов в виде несколько значных логических сигналов, что используется при моделировании с целью верификации временных диаграмм [9, 10].

Специфический вид системы уравнений, а также тот факт, что модели блоков цифровых систем задаются не аналитически, а в виде подпрограмм, обуславливают использование итерационных методов решения уравнений. Целью данной работы является исследование системы многозначных (конечнозначных) логических уравнений с точки зрения существования корней и их определения итерационными методами применительно к используемым методам функционально-логического моделирования цифровых систем на этапе проектирования.

II. УСЛОВИЯ СУЩЕСТВОВАНИЯ РЕШЕНИЙ И ИХ КОЛИЧЕСТВО

Рассмотрим систему:

$$x_i = f_i(x_1, \dots, x_n, x_{n+1}, \dots, x_{n+l}), \quad (1)$$

где $x_i, i = 1, \dots, n + l$ - логические переменные значности $|Z_i|$;

$x_i, i = n + 1, \dots, n + l$ - входные переменные;

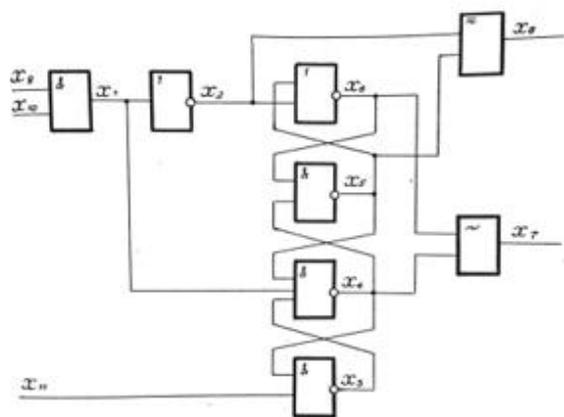
$f_i, i = 1, \dots, n$ - логические функции значности $|Z_i|$;

Z_i - конечное множество значений i -ых переменной и функции,

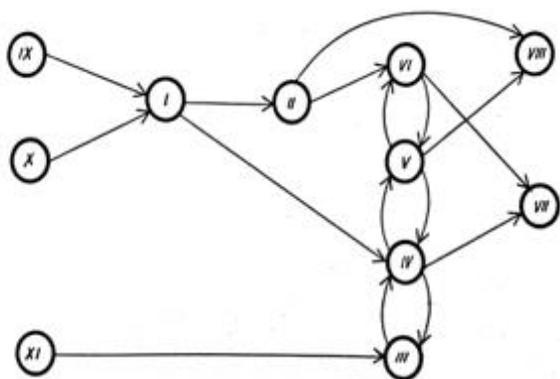
причем для каждого $x_i, i = 1, \dots, n$ в системе (1) имеется только одно уравнение.

Одновременно с системой (1) будем рассматривать ее представления в виде ориентированного графа $G(V, E)$, $V = V' \cup V_{вх}$, где каждой вершине $v, v \in V$ изоморфна переменная $x_i, i=1, \dots, n$ (множество V') или входная переменная $x_i, i=n+1, \dots, n+l$ (множество $V_{вх}$). Ориентированное ребро e_{ij} направлено от v_i к v_j , если x_i является аргументом f_j . На рис. 1 в качестве иллю-

страции приведена схема соединений логических элементов двоичной логики и соответствующий граф.



а)



б)

Рис. 1. Сеть логических элементов (а) и ее представление в виде ориентированного графа (б)

При фиксированных значениях входных переменных сети x_{n+1}, \dots, x_{n+l} система (1) имеет вид:

$$x_i = h_i(x_1, \dots, x_n), i = 1, \dots, n. \quad (2)$$

Если мы рассматриваем частный случай двузначной логики, то решение (x'_1, \dots, x'_n) системы (2) существует, если для всех функций, входящих в систему (2), значения $h_i(x'_1, \dots, x'_n)$ определены, то есть равны либо нулю, либо единице. Сформулируем условия существования решения для системы (2) в более общем случае конечности переменных.

Если функции h_1, h_2, \dots, h_n в системе уравнений (2) можно упорядочить так, чтобы каждая последующая функция зависела только от значений предыдущих, то есть в виде:

$$h_{i_1}, h_{i_2}(x_{i_1}), h_{i_3}(x_{i_1}, x_{i_2}), \dots, h_{i_n}(x_{i_1}, x_{i_2}, \dots, x_{i_{n-1}}), \quad (3)$$

то система (2) имеет единственное решение.

Системе логических уравнений, которые могут быть упорядочены в виде (3), соответствует структурный

ориентированный граф без циклов. В этом случае элементы логической сети являются ранжируемыми, и путем последовательной подстановки выражений для f_j вместо всех x_j в $f_i(x_1, \dots, x_j, \dots, x_{i-1})$ можно выразить все логические переменные (1) через входные переменные:

$$x_i = p_i(x_{n+1}, \dots, x_{n+l}), i = 1, \dots, n,$$

где p_i - всюду определенные многозначные логические функции.

Рассмотрим вопрос о количестве решений системы (2) в зависимости от структуры графа $G(\mathbf{V}, \mathbf{E})$. Граф $G'(\mathbf{V}', \mathbf{E}')$ получается из графа $G(\mathbf{V}, \mathbf{E})$ удалением вершин множества $\mathbf{V}_{\text{вх}}$ и выходящих из них ребер (вершины IX, X, XI, ребра IX, I; X, I; XI, III, рис. 1б). Система (2) может иметь количество решений, отличное от единицы, только в том случае, если граф $G'(\mathbf{V}', \mathbf{E}')$ имеет циклы. Ациклическая часть графа $G'(\mathbf{V}', \mathbf{E}')$, представляющая связь циклической части со входными переменными (вершины I, II, ребра I, II; II, VI; II, VIII; I, IV, рис. 1б), соответствует переменным, значения которых однозначно определяются состоянием входных переменных. Выходная ациклическая часть графа $G'(\mathbf{V}', \mathbf{E}')$ (вершины VII, VIII, ребра V, VIII; IV, VII, рис. 1б) представляет переменные, состояния которых однозначно определяются состояниями входов сети (возможно через состояния переменных входной ациклической части) и состояниями переменных циклической части. Состояния переменных выходной ациклической части всегда определены и не влияют на решение системы (2). Удалим из графа $G'(\mathbf{V}', \mathbf{E}')$ входную и выходную ациклические части и получим граф $G''(\mathbf{V}'', \mathbf{E}'')$ (рис. 2а).

Найдем в $G''(\mathbf{V}'', \mathbf{E}'')$ такое множество вершин $\mathbf{V}_{\text{ц}}$, что после удаления ребер, выходящих из этих вершин, граф циклов не содержит, и $\prod_{v \in \mathbf{V}_{\text{ц}}} |\mathbf{Z}_v|$ минимально. Каждую вершину $v, v \in \mathbf{V}_{\text{ц}}$ преобразуем в две не связанные между собой вершины v^1 и v^2 таким образом, что в вершину v^1 входят все ребра, входившие в v , а из вершины v^2 выходят все ребра, выходявшие из вершины v . Тогда при заданных значениях входных переменных можно выразить переменные $x_{\text{ц}1}^1, \dots, x_{\text{ц}k}^1$, соответствующие вершинам v^1 множества $\mathbf{V}_{\text{ц}}$, в виде $x_{\text{ц}i}^1 = q_i(x_{\text{ц}1}^2, \dots, x_{\text{ц}k}^2)$, $i = 1, \dots, k$. Так как переменные $x_{\text{ц}j}^1$ и $x_{\text{ц}j}^2$ тождественны, то решение системы (2) может быть заменено решением системы

$$x_i = q_i(x_1, \dots, x_k); i = 1, \dots, k; \{v_1, \dots, v_k\} = \mathbf{V}_{\text{ц}}. \quad (4)$$

Количество решений системы (4), а следовательно, и системы (2), не может превосходить $\prod_{v \in \mathbf{V}_{\text{ц}}} |\mathbf{Z}_v|$. Таким образом, решение системы (2) эквивалентно решению системы (4), причем количество решений системы (2) не превышает $\prod_{v \in \mathbf{V}_{\text{ц}}} |\mathbf{Z}_v|$.

Пусть в примере (рис. 1) система уравнений имеет вид:

$$\begin{cases} x_1 = x_9 \cdot x_{10} \\ x_2 = x_1 \\ x_3 = \overline{x_4 \cdot x_{11}} \\ x_4 = \overline{x_1 \cdot x_3 \cdot x_5} \\ x_5 = \overline{x_4 \cdot x_6} \\ x_6 = x_2 + x_5 \\ x_7 = x_4 \cdot x_6 + \overline{x_4} \cdot \overline{x_6} \\ x_8 = \overline{x_2} \cdot x_5 + x_2 \cdot \overline{x_5} \end{cases},$$

причем $\mathbf{Z}_1 = \mathbf{Z}_2 = \mathbf{Z}_3 = \mathbf{Z}_4 = \mathbf{Z}_5 = \mathbf{Z}_6 = \mathbf{Z}_7 = \mathbf{Z}_8 = \mathbf{Z}_9 = \mathbf{Z}_{10} = \mathbf{Z}_{11} = \{0,1\}$.

При $x_9=1, x_{10}=1, x_{11}=1$ система запишется:

$$\begin{cases} x_1 = 1 \\ x_2 = \overline{x_1} \\ x_3 = \overline{x_4} \\ x_4 = \overline{x_1 \cdot x_3 \cdot x_5} \\ x_5 = \overline{x_4 \cdot x_6} \\ x_6 = x_2 + x_5 \\ x_7 = x_4 \cdot x_6 + \overline{x_4} \cdot \overline{x_6} \\ x_8 = \overline{x_2} \cdot x_5 + x_2 \cdot \overline{x_5} \end{cases} \quad (5)$$

После определения однозначно заданных $x_1=1, x_2=0$ и учета их значений в уравнениях для x_4, x_6, x_8 (удаление входной ациклической части графа $G'(V', E')$) получим:

$$\begin{cases} x_3 = \overline{x_4} \\ x_4 = \overline{x_3 \cdot x_5} \\ x_5 = \overline{x_4 \cdot x_6} \\ x_6 = x_5 \\ x_7 = x_4 \cdot x_6 + \overline{x_4} \cdot \overline{x_6} \\ x_8 = x_5 \end{cases}$$

Значения переменных x_7, x_8 однозначно определяются значениями x_4, x_5, x_6 , то есть значениями переменных циклической части, и не влияют на решение полученной системы уравнений. В связи с этим будем рассматривать решение системы:

$$\begin{cases} x_3 = \overline{x_4} \\ x_4 = \overline{x_3 \cdot x_5} \\ x_5 = \overline{x_4 \cdot x_6} \\ x_6 = x_5 \end{cases},$$

которая соответствует графу $G''(V'', E'')$ (рис. 2а). Приняв $V_{ц} = \{III, V\}$, получим

$$\begin{cases} x_3 = x_3 \cdot x_5 \\ x_5 = x_5 \end{cases}$$

Эта система уравнений имеет три решения:

$$\begin{cases} x_3 = 0 \\ x_5 = 0 \end{cases}; \begin{cases} x_3 = 0 \\ x_5 = 1 \end{cases}; \begin{cases} x_3 = 1 \\ x_5 = 1 \end{cases}.$$

В соответствии с этим система (5) имеет также три решения:

$$\begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 0 \\ x_4 = 1 \\ x_5 = 0 \\ x_6 = 1 \\ x_7 = 1 \\ x_8 = 0 \end{cases}; \begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 0 \\ x_4 = 1 \\ x_5 = 1 \\ x_6 = 0 \\ x_7 = 0 \\ x_8 = 1 \end{cases}; \begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 1 \\ x_4 = 0 \\ x_5 = 1 \\ x_6 = 0 \\ x_7 = 1 \\ x_8 = 1 \end{cases},$$

в чем можно убедиться путем подстановки приведенных значений в (5).

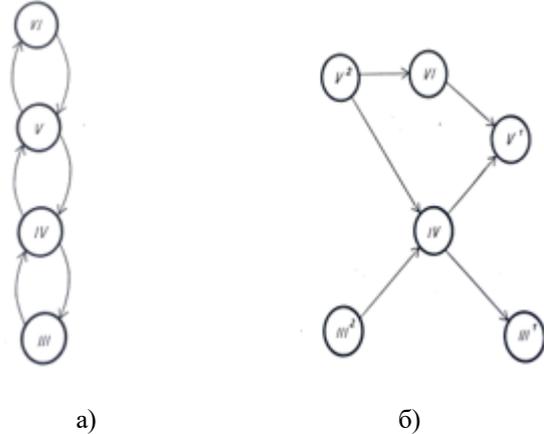


Рис. 2. Циклическая часть $G''(V'', E'')$ графа $G'(V', E')$ (а) и разделение вершин множества $V_{ц} = \{III, V\}$ на входные и выходные (б)

Решение систем логических уравнений может быть осуществлено различными способами [11]. Однако специфический вид уравнений, а также тот факт, что при моделировании цифровых систем модели блоков задаются не аналитически, а в виде программных модулей, вычисляющих значения функции f_1, \dots, f_n по заданным значениям аргументов x_1, \dots, x_n , обуславливают использование итерационных методов решения [6, 12].

III. РЕШЕНИЕ СИСТЕМЫ УРАВНЕНИЙ МЕТОДОМ ПРОСТОЙ ИТЕРАЦИИ

При решении системы (2) методом простой итерации используются формулы:

$$\begin{cases} x_1^{(j)} = h_1(x_1^{(j-1)}, \dots, x_n^{(j-1)}) \\ \vdots \\ x_n^{(j)} = h_n(x_1^{(j-1)}, \dots, x_n^{(j-1)}) \end{cases} \quad j=1, 2, \dots; \quad (6)$$

$x_1^{(0)}, \dots, x_n^{(0)}$ - начальное приближение.

Система (6) есть унарная операция π [13], заданная на множестве состояний $\mathbf{W} = \{(z_{j_1}^1, \dots, z_{j_n}^n) | z_{j_1}^1 \in \mathbf{Z}_1, \dots, z_{j_n}^n \in \mathbf{Z}_n\}$. Моделью итерации может служить граф $H(\mathbf{W}, \mathbf{Q})$. Операция π задает множество ориентированных ребер \mathbf{Q} таким образом, что в графе имеется ребро $q(w_k, w_l)$, если $\pi(w_k) = w_l$, где w_k и w_l - метки вершин. У рассматриваемого графа из каждой вершины выходит ровно одно ребро. Если r решение системы (2),

то $\pi(r) = r$, и вершина с меткой r имеет петлю. Обрато, если вершина с меткой r имеет петлю, то r - решение системы (2).

Множество наборов функций h_1, \dots, h_n в системе (2) изоморфно множеству графов $H(\mathbf{W}, \mathbf{Q})$, имеющих $\prod_{i=1}^n |Z_i|$ вершин, каждая из которых инцидентна ровно одному выходящему ребру. В связи с этим исследование решения системы (2) можно заменить исследованием свойств графов указанного вида.

Граф $H(\mathbf{W}, \mathbf{Q})$ состоит из одной или более компонент связности. На рис. 3 показан пример такого графа для случая двузначной логики.

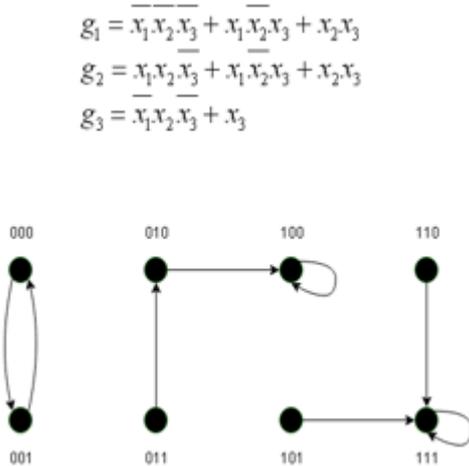


Рис. 3. Граф $H(\mathbf{W}, \mathbf{Q})$ простой итерации

Каждая компонента связности имеет цикл, достижимый из всех вершин компоненты. Если цикл является петлей, то компонента содержит решение; если цикл петлей не является, то компонента решения не содержит. Итерация сходится в том случае, если начальное приближение принадлежит компоненте связности, имеющей петлю. Так, при выборе начального приближения 101 или 110 (рис. 3) итерация сходится к корню 111, а при выборе начального приближения 011 – к корню 100. В случае же начальных приближений 000 или 001 итерация не сходится. Для того, чтобы итерация сходилась при любом начальном приближении, необходимо, чтобы каждая компонента связности графа $H(\mathbf{W}, \mathbf{Q})$ имела вершину с петлей.

Рассмотрим множество операций $\bar{\pi} = \{\pi, \pi^2, \pi^3, \dots\}$, выполняемых над элементами множества \mathbf{W} при одной, двух и т.д. итерациях. Операция π^2 есть преобразование $x_i = h_i(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n))$; $i = 1, \dots, n$. Операция π^3 есть преобразование

$$\begin{aligned} x_i &= h_i(h_1(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n)), \dots, \\ &h_n(h_1(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n))); \\ &i = 1, \dots, n. \end{aligned}$$

Таким образом, определена циклическая полугруппа $\mathfrak{B} = \langle \bar{\pi}, \cdot \rangle$, порождающим элементом которой

является π . Так как количество логических функций от n конечнозначных переменных конечно, то пара показателей $\langle l_1, l_2 \rangle$ полугруппы \mathfrak{B} [13] такова, что $l_2 > 1$, то есть $\pi^{l_2} = \pi^{l_1}$, где $l_1 < l_2$.

Если каждая компонента связности $H_j(\mathbf{W}_j, \mathbf{Q}_j)$ графа $H(\mathbf{W}, \mathbf{Q})$ имеет вершину с петлей, то есть итерация сходится при любом начальном приближении, то $\pi^l = \pi^{l+1} = \pi^{l+2} = \dots$. То есть, начиная с π^l , все элементы полугруппы \mathfrak{B} совпадают, где l - длина максимальной цепи в графе $H(\mathbf{W}, \mathbf{Q})$, причем $\pi^l(w) = r_j$, где w - любая вершина, принадлежащая $H_j(\mathbf{W}_j, \mathbf{Q}_j)$, а r_j - корень компоненты H_j . Если граф $H(\mathbf{W}, \mathbf{Q})$ имеет одну компоненту связности, то $\pi^l(w) = r$ для $w \in \mathbf{W}$, а r - единственное решение системы (2).

Таким образом, если в циклической полугруппе \mathfrak{B} , задаваемой (9), $\pi^{l+1} = \pi^l$, то итерация всегда сходится и отображение π^l дает решение в зависимости от начального приближения. Если решение одно, то $\pi^l = r$, где r - константа, являющаяся решением (2). Значение l есть длина максимальной цепи без петель в графе $H(\mathbf{W}, \mathbf{Q})$.

Пусть дано отображение π , задаваемое системой булевых уравнений

$$\begin{cases} x_1 = \overline{x_1 \cdot x_2} + x_1 \cdot x_2 \\ x_2 = \overline{x_2} + \overline{x_1} \cdot x_2 \end{cases} \quad (7)$$

$$\text{Тогда } \pi^2 = \begin{pmatrix} x_1 \cdot x_2 \\ x_2 + x_1 \cdot x_2 \end{pmatrix}; \pi^3 = \begin{pmatrix} 0 \\ 1 \end{pmatrix}.$$

Итак, решением системы (7) является $x_1 = 0, x_2 = 1$, итерация сходится при любом начальном приближении, длина максимальной цепи без петель в графе $H(\mathbf{W}, \mathbf{Q})$ (рис. 4) равна трем.

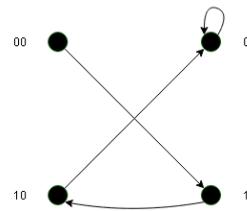


Рис. 4. Граф $H(\mathbf{W}, \mathbf{Q})$ для системы (10)

При решении системы уравнений (2) методом простой итерации эффективно использование алгоритма событийного моделирования [14, 15]. При этом на каждой итерации пересчитываются только те переменные, среди аргументов которых есть изменившие свое значение.

IV. РЕШЕНИЕ СИСТЕМЫ УРАВНЕНИЙ МЕТОДОМ ОБОБЩЕННОЙ ИТЕРАЦИИ

Итерационное решение системы (2) в общем случае может осуществляться по следующему алгоритму:

- принять начальное приближение значений переменных за текущие значения;

- при текущих значениях переменных вычислить новые значения переменных с номерами из $\mathbf{J}, \mathbf{J} \subseteq \{1, \dots, n\}$; обновить их текущее значение;

- если решение не получено, повторить предыдущий пункт для нового подмножества переменных.

Последовательность подмножеств номеров пере- считываемых переменных $\mathbf{J}^1 \mathbf{J}^2 \dots = \{j_1^1, \dots, j_{m_1}^1\} \{j_1^2, \dots, j_{m_2}^2\} \dots$ назовем следом итерации. Если часть следа $\dots \mathbf{J}^k \dots \mathbf{J}^{k+l}$ содержит все элементы множества $\{1, \dots, n\}$ и на последних l шагах итерации ни одна переменная не изменила своего значения, то полу- чено решение системы (2).

Обобщенная итерация со следом $\mathbf{J} \mathbf{J} \dots$, где $\mathbf{J} = \{1, \dots, n\}$, представляет собой простую итерацию, а со следом $\mathbf{J}^1 \mathbf{J}^2 \dots \mathbf{J}^n \mathbf{J}^1 \mathbf{J}^2 \dots \mathbf{J}^n \dots$, где $\mathbf{J}^i = \{i\}$, - итерацию Зей- деля. На множестве Δ операций, реализуемых при обо- бщенной операции, определена мультипликативная по- лугруппа. Элементы основного множества Δ полу- группы будем обозначать $\delta^{\mathbf{J}^1 \mathbf{J}^2 \dots}$, где $\mathbf{J}^1 \mathbf{J}^2 \dots = l$ - след ите- рации. Операция умножения определяется равенством $\delta^{l_1} \delta^{l_2} = \delta^{l_1 l_2}$. Полугруппа над Δ имеет $2^n - 1$ поро- жающих элементов:

$$\delta^{\mathbf{J}} = \begin{cases} x_i, & i \notin \mathbf{J} \\ g_i(x_1, \dots, x_n), & i \in \mathbf{J} \end{cases}$$

где \mathbf{J} - есть множество непустых подмножеств $\{1, \dots, n\}$.

На множестве операций $\delta^{\mathbf{J}}$ в свою очередь опреде- лена аддитивная полугруппа с операцией $\delta^{\mathbf{J}^1} + \delta^{\mathbf{J}^2} = \delta^{\mathbf{J}^3}$, где $\mathbf{J}^3 = \mathbf{J}^1 \cup \mathbf{J}^2$, и порождающими элементами

$$\delta^i = \begin{cases} g_i(x_1, \dots, x_n), & j = i \\ x_j, & j \neq i \end{cases}; i = 1, \dots, n.$$

Каждой системе уравнений (2) при решении ее ме- тодом обобщенной итерации изоморфен ориентирован- ный граф $Q(\mathbf{W}, \mathbf{K})$, в котором каждой вершине w с мет- кой $(z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n)$ инцидентно $2^n - 1$ выходящих ребер, помеченных порождающими элементами $\delta^{\mathbf{J}}$. Ре- бра с метками δ^i могут быть либо петлями, либо входя- щими ребрами одной из $|\mathbf{Z}_i| - 1$ вершин с меткой $(z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n)$, $z_{j_i}^i \neq z_{j_i}^i$, если $\delta(z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n) = (z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n)$. Остальные ре- бра $\delta^{\mathbf{J}}$ являются входящими ребрами вершин с метками $(z_{j_1}^1, \dots, z_{j_n}^n)$, где $z_{j_i}^i = z_{j_i}^i$ при $i \notin \mathbf{J}$ и $z_{j_i}^i = g_i(z_{j_1}^1, \dots, z_{j_n}^n)$ при $i \in \mathbf{J}$. Если вершина $(z_{j_1}^1, \dots, z_{j_n}^n)$ есть решение системы (2), то все выходя- щие из этой вершины ребра с метками δ^i , а следова- тельно, и с метками $\delta^{\mathbf{J}}$ являются петлями. Верно и об- ратное, если все выходящие из вершины $(z_{j_1}^1, \dots, z_{j_n}^n)$ ребра с метками δ^i являются петлями, то $(z_{j_1}^1, \dots, z_{j_n}^n)$ являются решением (2). Таким образом, обобщенная итерация со следом $\mathbf{J}^1 \mathbf{J}^2 \dots \mathbf{J}^k$ сходится при начальном

приближении $x_1^{(0)}, \dots, x_n^{(0)}$, если существует решение системы (2) $x_1 = z_{j_1}^1, \dots, x_n = z_{j_n}^n$ и вершина $(z_{j_1}^1, \dots, z_{j_n}^n)$ в графе $Q(\mathbf{W}, \mathbf{K})$ достижима из вершины с меткой $(x_1^{(0)}, \dots, x_n^{(0)})$ по пути $\delta^{J^1} \delta^{J^2} \dots \delta^{J^k}$. Не- обходимым условием достижимости решения из вер- шины с меткой $(x_1^{(0)}, \dots, x_n^{(0)})$ является их принад- лежность одной компоненте связности.

Особый интерес представляет итерация, соответ- ствующая синхронному моделированию ранжирован- ной схемы. Пусть выбрано множество \mathbf{X}_\square переменных обратной связи, и структурный граф путем разделения каждой вершины $v, v \in \mathbf{V}_\square$ на v^1 и v^2 преобразован в ациклический. Проранжируем вершины $v \in V$, а, сле- довательно, и уравнения системы (1), присвоив вер- шине v ранг, равный длине максимального пути от лю- бой из входных вершин до вершины v . Пусть R_l - множество номеров уравнения (вершин v), имеющих ранг l . Рассмотрим итерацию со следом $R_1 R_2 \dots R_L R_1 R_2 \dots R_L \dots$. Очевидно, что

$$\bigcup_{l=1}^L R_l = \{1, \dots, n\}; R_{l_1} \cap R_{l_2} \text{ при } l_1 \neq l_2.$$

Таким обра- зом, при выполнении операции $\delta^R = \delta^{R_1 R_2 \dots R_L}$ каж- дое уравнение вычисляется ровно один раз. δ^R явля- ется порождающим элементом циклической полу- группы на множестве операций $(\delta^R)^k, k = 1, 2, \dots$. Так как множество значений переменных из \mathbf{X}_u есть

$$\prod_{x_i \in \mathbf{X}_u} |Z_i|, \text{ то } \delta^{R^l}(\mathbf{X}_u^{(0)}) = \delta^{R^k}(\mathbf{X}_u^{(0)}), \text{ где } l > k, \text{ при-}$$

$$\text{чем } k \leq \prod_{x_i \in \mathbf{X}_u} |Z_i| - 1.$$

Таким образом, если итерация с ранжированием при заданном начальном приближении дает решение (2), то для получения решения каждое уравнение необходимо пересчитывать не более, чем $\prod_{x_i \in \mathbf{X}_u} |Z_i| - 1$ раз.

V. ВЫБОР МЕТОДА РЕШЕНИЯ ЛОГИЧЕСКИХ УРАВНЕНИЙ ПРИ МОДЕЛИРОВАНИИ ЦИФРОВЫХ СИСТЕМ

При выборе метода решения систем многозначных логических уравнений с целью получения квазивремен- ных логических диаграмм необходимо учесть следующие факторы.

При проектировании технических средств цифро- вых систем разработчики широко используют тот факт, что времена срабатывания блоков не равны нулю и имеют конечные значения.

При моделировании аппаратуры на блоках малой степени интеграции эффективно используется решение уравнений методом итераций Зейделя с квазиразрывом цепей обратной связи и ранжированием уравнений [14]. Физически это соответствует синхронному моделированию с нулевыми задержками. Событийный алгоритм простой итерации требует несколько больших затрат, так как даже при известных сигналах обратной связи значение ряда переменных приходится пересчитывать более одного раза. Однако в этом случае не требуется осуществлять ранжирование компонентов. Событийный алгоритм простой итерации является универсальным относительно схемы моделируемых технических средств.

Кроме того, простая итерация предполагает равные задержки блоков технических средств, что соответствует интуитивному представлению разработчиков при составлении принципиальной схемы.

Алгоритм решения систем логических уравнений в системе моделирования имеет вид.

1. Принять за начальное приближение значения логических переменных и состояния внутренних регистров, полученные на предыдущем такте.

2. Определить входные сигналы на данном такте.

3. Обратиться к моделям m_i , входы которых подключены к изменившимся сигналам в узлах, вычислить новые значения внутренних переменных R_i и выходных сигналов моделей m_i . Если поданная на какую-либо модель комбинация входных сигналов в сочетании с внутренним состоянием запрещена, то модель установить в состоянии ошибки; моделирование остановить.

4. Если количество изменений входного сигнала какой-либо модели превысит заданное, то остановить моделирование по закливанию, выдав сообщение об отсутствии решения системы (2).

5. Для всех узлов схемы, к которым подключены выходы моделей с изменившимися сигналами, вычислить новые логические значения в узле. Если для какого-нибудь узла логическое значение сигнала не определено, выдать сообщение об ошибке в объединении блоков.

6. Если для каких-либо узлов схемы значения логических значений сигналов изменились, то перейти к пункту 3. Если все значения остались без изменений, то решение (2) найдено.

Таким образом, подача запрещенных комбинаций сигналов на модели блоков обнаруживается на шаге 3 алгоритма; отсутствие установившихся сигналов на выводах блоков, то есть отсутствие решение системы (2), - на шаге 4 алгоритма; ошибки в объединении блоков – на шаге 5 алгоритма. Ошибки в выполнении функций технических средств, а также в программно-микропрограммном обеспечении обнаруживаются разработчиком путем анализа значений логических сигналов и состояний внутренних регистров блоков на каждом шаге моделирования.

VI. ЗАКЛЮЧЕНИЕ

Проведен теоретический анализ итерационных методов решения конечнозначных, в частном случае, двоичных, систем логических уравнений. Рассмотрены условия существования и определения количества решений. Различные итерационные методы соответствуют различным инженерным подходам при функционально-логическом моделировании проектов цифровых систем. Проведенное исследование позволяет определить соответствие между математическими результатами и ситуациями, возникающим при моделировании проектов цифровых систем.

ЛИТЕРАТУРА

- [1] Юсупов Р.М. Информатизация и наука // Проблемы информатизации. 1994. № 1-2. С. 22-28.
- [2] Иванников А., Кривошеев А., Куракин Д. Развитие сети телекоммуникаций в системе высшего образования Российской Федерации // Высшее образование в России. 1995. № 2. С. 87.
- [3] Иванников А.Д., Кулагин В.П., Миронов А.А., Мордвинов В.А., Сигов А.С., Тихонов А.Н., Цветков В.Я. Синергетическая теория информационных процессов и систем. Раздел II. Информационные морфизмы в теории информационных процессов и систем. Москва, 2009.
- [4] Keresztes P., Tukaacs A., Török M. A Multi Valued Logic VHDL Package for Switch Level Simulation of Novel Digital CMOS Circuits // 2018 International Conference on Recent Innovations in Electrical, Electronics & Communication Engineering (ICRIEECE). Bhubaneswar, India, 2018, pp. 25-28.
- [5] Bara A., Bazargan-Sabet P., Chevallier R., Encrenaz E, Ledu D., Renault P. Formal verification of timed VHDL programs // 2010 Forum on Specification & Design Languages (FDL 2010). Southampton, 2010, pp. 1-6.
- [6] А.Д., Стемповский А.Л. Основные положения системы моделирования проектов цифровых систем для совместной отладки технических средств и программно-микропрограммного обеспечения // Информационные системы и технологии. 2018. № 6 (110). С. 13-19.
- [7] Kunapareddy S., Turaga S.D., and Sajjan S.S.T.M. Comparison between LPSAT and SMT for RTL verification // 2015 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2015]. Nagercoil, 2015, pp. 1-5.
- [8] Иванников А.Д., Стемповский А.Л. Формализация задачи отладки проектов цифровых систем // Информационные технологии. 2014. № 9. С. 3-10.
- [9] Куцак Н. Ю., Подымов В. В. Формальная верификация диаграмм троичных цифровых сигналов // Моделирование и анализ информационных систем. 2019. Т. 26. № 3. С. 332-350.
- [10] Tai Y, Hu W., Guo Lantian, Mao B., Mu D. Gate Level Information Flow analysis for multi-valued logic system // 2017 2nd International Conference on Image, Vision and Computing (ICIVC). Chengdu, 2017, pp. 1102-1106.
- [11] Закревский А.Д. Логические уравнения. М.: Едиториал УРСС, 2003. 96 с.
- [12] Ландау И.Я. Применение ЦВМ для проектирования ЦВМ. М.: Энергия, 1974. 152 с.
- [13] Мальцев А.И. Алгебраические системы. М.: Наука, 1970. 392 с.

[14] Норенков И.П., Маничев В.Б. Системы автоматизированного проектирования электронной и вычислительной аппаратуры. М.: Высшая школа, 1983. 272 с.

[15] Теория и методы автоматизации проектирования вычислительных систем. Под ред. М. Брейера. М.: Мир, 1977. 283 с.

Analysis of Iterative Methods for Solving Logical Equation Systems and their Use in Digital System Simulation

A.D. Ivannikov, A.L. Stempkovskiy

Institute for design problems in microelectronics of RAS, Moscow

Abstract — In digital system functional-logical simulation iterative solution of a system of logical equations is carried out at each simulation step. Values of the logical signals established in the nodes of the circuit after logical stimuli input are calculated. In the work, various iterative methods are considered that are applicable for solving systems of logical equations, namely: simple iteration, Seidel iteration; the concept of generalized iteration is introduced. In the theoretical consideration, the concept of iteration trace is introduced as a sequence of subsets of indices of logical variables recalculated at each step of the iteration. Graph models of both the system of logical equations and the process of iterative solution of systems of equations are analyzed. The relationship between the number of solutions of a system of logical equations and the structure of its graph model is shown. Variants of using the considered iterative solution methods for functional-logical simulation of digital systems are considered.

Keywords — functional-logical simulation of digital systems, systems of logical equations, iterative solution methods, generalized iteration.

REFERENCES

- [1] Usupov R.M. Informatizacia I nauka (Informatization and Science) // Problemi informatizacii. 1994. № 1-2. P. 22-28 (in Russian).
- [2] Ivannikov A., Krivosheev A., Kurakin D. Razvitie seti telekommunikaciy v sisteme vishego obrazovaniya Rossiyskoy Federacii (Telecommunication net development in higher education system of Russian Federation) // Vishee obrazovanie v Rossii. 1995. № 2. P. 87 (in Russian).
- [3] Ivannikov A.D., Kulagin V.P., Mironov A.A., Mordvinov V.A., Sigov A.S., Tikhonov A.N., Cvetkov V.J. Sinergeticheskaya teoriya informacionnih processov i system. Rasdel II. Informaionnie morfismi v teorii informacionnih processov i system (Sinergetic theory of information processes and systems. Part II. Informational morfisms in theory of information processes and systems). Moscow. 2009. (In Russian).
- [4] Keresztes P., Tukacs A., Török M. A Multi Valued Logic VHDL Package for Switch Level Simulation of Novel Digital CMOS Circuits // 2018 International Conference on Recent Innovations in Electrical, Electronics & Communication Engineering (ICRIEECE). Bhubaneswar, India, 2018, pp. 25-28.

- [5] Bara A., Bazargan-Sabet P., Chevallier R., Encrenaz E, Ledu D., Renault P. Formal verification of timed VHDL programs // 2010 Forum on Specification & Design Languages (FDL 2010). Southampton, 2010, pp. 1-6.
- [6] Ivannikov A.D., Stempkovskiy A.L. Osnovnie polojeniya sistemi modelirovaniya proektov cifrovih sistem dlya sovmestnoi otladki tehniceskikh sredstv i programmno-mikroprogrammno obespecheniya (Fundamentals of digital system design simulation system for joined hardware/software debugging) // Informacionnie sistemi i tehnologii. 2018. № 6 (110). P. 13-19 (in Russian).
- [7] Kunapareddy S., Turaga S.D., and Sajjan S.S.T.M. Comparison between LPSAT and SMT for RTL verification // 2015 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2015]. Nagercoil, 2015, pp. 1-5.
- [8] Ivannikov A.D., Stempkovskiy A.L. Formalizaciya zadachi otladki proektov cifrovih sistem (Formal Model of Digital System Design Debugging Task) // Informacionnie Tehnologii. 2014. № 9. P. 3-10 (in Russian).
- [9] Kucak N.J., Podimov V.V. Formalnaya verifikaciya diagram troichnih cifrovih signalov (Formal verification of tri-states digital signal digrams) // Modelirovanie i analisis informacionnih system. 2019. V. 26. № 3. P. 332-350 (in Russian).
- [10] Tai Y, Hu W., Guo Lantian, Mao B., Mu D. Gate Level Information Flow analysis for multi-valued logic system // 2017 2nd International Conference on Image, Vision and Computing (ICIVC). Chengdu, 2017, pp. 1102-1106.
- [11] Zakrevskiy A.D. Logicheskie uravneniya (Logical equations). Moscow. Editorial URSS. 2003. 96 p. (In Russian).
- [12] Landau I Ya. Primenenie CVM dlya proektirovaniya CVM (Computer use for computer design). Moscow. Energiya. 1974. 152 p. (In Russian).
- [13] Maltcev A.I. Algebraicheskie sistemi (Algebraic systems). Moscow. Nauka. 1970. 392 p. (In Russian).
- [14] Norenkov I.P., Manichev V.B. Sistemi avtomatizirovannogo proektirovaniya electronnoy i vichislitelnoy apparaturi (Computer-aided design systems for electronic and digital hardware). Moscow. Vishaya shkola. M.: 1983. 272 p. (In Russian).
- [15] Teoriya i metodi avtomatizacii proektirovaniya vichislitelnih system (Theory and methods of automated design for computer systems). Ed. by M. Braer. Moscow. Mir. 1977. 283 p. (In Russian).