

# Технология комплексной параметризации топологических проектов регулярных макроблоков СБИС

С.Э. Миронов, Л.Е. Андреев, К.М. Зибарев

Санкт-Петербургский государственный электротехнический университет “ЛЭТИ”  
им. В. И. Ульянова (Ленина), г. Санкт-Петербург, semironovspb@yandex.ru

**Аннотация** — Рассматриваются вопросы автоматизации разработки топологии крупных иерархических фрагментов СБИС на разных уровнях проектирования. Предлагается технология, обеспечивающая возможность оперативной генерации плотноупакованной топологии в проектных нормах выбранного изготовителя с ориентацией на конкретные требования заказчика по быстродействию и аппаратным затратам. Возможность адаптации к проектным нормам и электрическим параметрам обеспечивается средствами сжатия топологии на основе виртуальной сетки, высокая плотность упаковки – оригинальными средствами индивидуального итерационного согласования габаритов и положения выводов ячеек, схематопологическая параметризация – средствами проектирования топологии ячеек СБИС по электрической схеме. Приводится описание структуры системы комплексной параметризации топологических проектов и методики проектирования иерархической топологии с ее помощью.

**Ключевые слова** — комплексная параметризация топологии, сжатие топологии; плотноупакованное проектирование; согласование ячеек; генерация топологии.

## I. ВВЕДЕНИЕ

Характерной чертой современной микроэлектроники является постоянное усложнение проектов и ужесточение требований к срокам проектирования. Все это делает невозможным разработку микроэлектронных систем вручную. В связи с этим в проектировании БИС акценты сместились с разработки собственно топологии на разработку средств ее автоматической генерации.

Степень автоматизации проектирования постоянно увеличивалась. Очевидно, что в первую очередь это касалось операций, связанных с выполнением большого объема однообразных формальных операций, характерных для технологической и схематопологической верификации и извлечения электрических параметров при параметризации.

Что же касается собственно разработки топологии, то макроблоки СБИС (крупные функционально законченные модули) с нерегулярной структурно-топологической организацией уже давно собираются методом размещения и трассировки из стандартных библиотечных ячеек.

Средства автоматизации постепенно приобретают все новые возможности и распространяются на все

новые этапы процесса разработки, позволяя обеспечивать параметризацию на разных уровнях проектирования.

В практике проектирования применяются разные типы параметризации [1]-[3]. Наиболее известными являются матрицирование ячеек регулярных макроблоков (относящееся к структурному уровню) и сжатие топологии (относящееся к технологическому уровню).

Данный доклад посвящен параметризации проектирования топологии и продолжает работы авторов в области САПР СБИС [4]-[6]. Однако, если прежние работы были посвящены проблемам технологически инвариантного проектирования (в том числе и иерархических макроблоков [5]-[6]), то научно-техническая новизна этого доклада связана с предложенной авторами технологией комплексной параметризации топологических проектов. В нем описываются программные средства и методика, разработанные для системы проектирования топологии макроблоков «*Macroblock Layout Design*».

## II. ТОПОЛОГИЯ МАКРОБЛОКОВ:

### ЭТАПЫ ПРОЕКТИРОВАНИЯ И ТИПЫ ПАРАМЕТРИЗАЦИИ

В процессе проектирования топологии макроблока СБИС (крупного функционально законченного фрагмента интегральной схемы), осуществляемом «сверху вниз», можно выделить ряд этапов, перечисленных ниже. (Обратим внимание на то, что в этот список не включен этап функционального проектирования, как не относящийся непосредственно к проектированию топологии.)

1. Структурно-топологическое проектирование – этап разработки структурно-топологического плана макроблока и топологических моделей (принципов топологической организации) его ячеек, обеспечивающих высокую плотность упаковки топологии.

2. Схематехническое проектирование ячеек макроблока – разработка электрических схем с предварительным назначением параметров их элементов.

3. Предварительное проектирование топологии ячеек макроблока с учетом особенностей их включения в структурно-топологический план. Как правило, сначала разрабатываются не детальные топологические чертежи, а предварительные топологические эс-

кizes, называемые за рубежом «скелетными диаграммами». На них, исходя из определенных соотношений между размерами шин, контактов и транзисторов, устанавливается взаимное расположение элементов топологии – осуществляется предварительная компоновка ячейки без точной привязки к проектным нормам.

4. Электрическое моделирование работы ячеек, позволяющее с учетом разработанной эскизной топологии ячеек уточнить ширины каналов транзисторов, обеспечивающие требования по времени срабатывания.

5. Детальное топологическое проектирование ячеек макроблока с учетом конкретных проектных норм предприятия изготовителя.

Таким образом, по уровням проектирования параметризацию можно разделить на пять типов:

- структурная;
- схемотехническая;
- топологическая;
- электрическая;
- технологическая.

Большое число разных решений на каждом из уровней проектирования порождает широкий спектр возможных вариантов реализации разрабатываемого устройства. Для их систематизации, для упрощения и ускорения разработки макроблоков СБИС разработана система комплексной параметризации топологических проектов регулярных макроблоков СБИС «*Macroblock Layout Design*».

### III. СТРУКТУРА СИСТЕМЫ «*MACROBLOCK LAYOUT DESIGN*» КОМПЛЕКСНОЙ ПАРАМЕТРИЗАЦИИ ТОПОЛОГИЧЕСКИХ ПРОЕКТОВ РЕГУЛЯРНЫХ МАКРОБЛОКОВ СБИС

Обобщенная структура системы комплексной параметризации топологических проектов регулярных макроблоков СБИС «*Macroblock Layout Design*», обобщенная структура которой приведена на рис. 1.

В состав системы входят четыре основных компонента:

- генератор топологии ячеек «*Cell Layout*»;
- система сжатия топологии ячеек «*TopDesign*»;
- система проектирования топологии макроблоков «*Matching of Cells*»;
- графический редактор структурно-топологических планов макроблоков СБИС «*Structural-Layout Design*».

Задачи технологической параметризации проектов решает система сжатия топологии ячеек «*TopDesign*» [4]. Она же используется для электрической параметризации элементов топологии. В качестве иллюстрации на рис. 2 приведено окно системы «*TopDesign*» с

топологическим эскизом инвертора с параметризацией ширины канала транзистора n-типа  $T_n$  (задаваемой переменной  $W_n$ , с текущим значением  $W=1,3$  шага сетки).

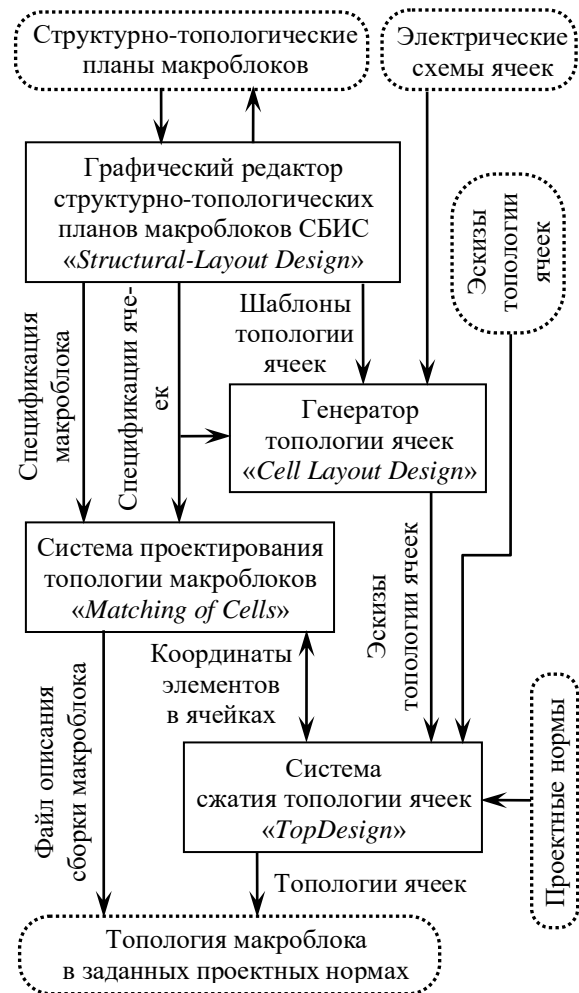


Рис. 1. Обобщенная структура системы комплексной параметризации топологических проектов регулярных макроблоков СБИС «*Macroblock Layout Design*»

В системе «*TopDesign*» реализовано поликоординатное описание топологии ячеек, которое позволяет избежать наложения частей топологии друг на друга при изменении размеров транзисторов (при настройке на новую разрядность данных или после уточнения их параметров по результатам электрического моделирования). Для этого помимо основной базовой системы координат ( $BASE\_CRD$  на рис. 2) в параметризованное виртуальное описание топологического эскиза вводятся дополнительные системы координат. Они содержат описание частей топологии, которые должны смещаться при разрастании соседних с ними транзисторов.

В качестве компонента, реализующего топологическую параметризацию, выступает программа «*Cell Layout*» генерации топологии ячеек по электрической схеме. Параметры топологии (расположение маги-

стральных шин, выводов, конкретных элементов разводки и транзисторов) задаются шаблонами топологии ячеек. Причем в качестве одного из основных параметров выступает число рядов транзисторов в ячейке, позволяющее как изменять коэффициент формы ячеек, так и обеспечивать более высокую плотность их упаковки.

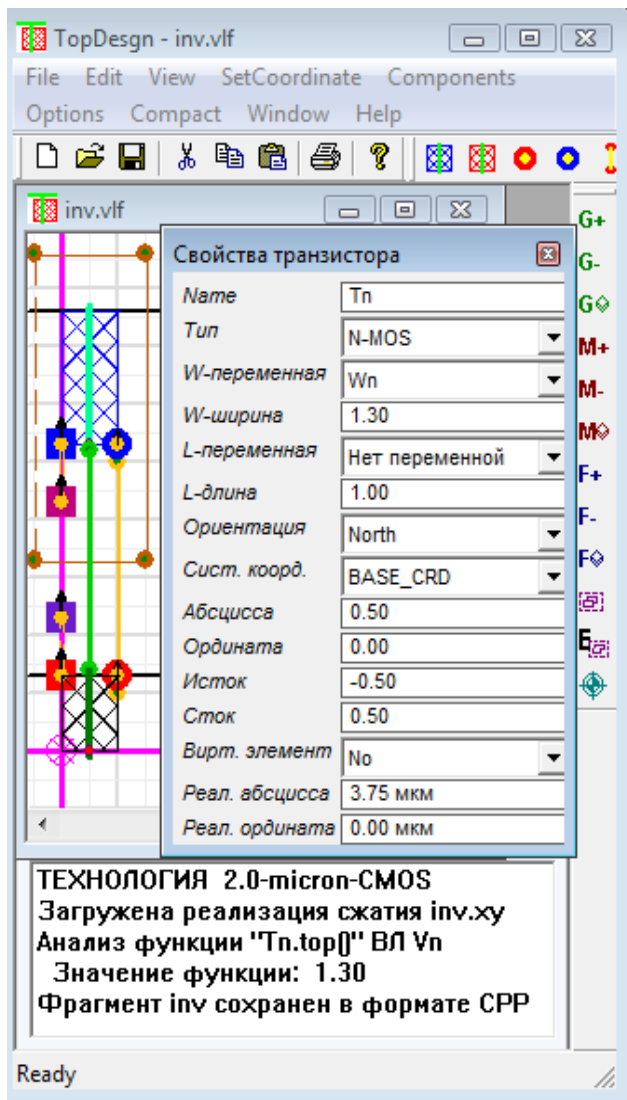


Рис. 2. Технологически инвариантный топологический эскиз инвертора с параметризацией ширины каналов транзисторов в системе «TopDesign»

Результатом работы программа «Cell Layout» являются технологически инвариантные эскизы топологии ячеек. В качестве примера на рис. 3 приведен результат размещения и трассировки элементов для топологии макроячейки на основе четырех рядов транзисторов.

Схематехническая параметризация обеспечивается самой системой комплексной параметризации «Macroblocck Layout Design»: электрическая схема выбирается из библиотеки ячеек, как значение переменной перечисляемого типа.

За структурно-топологическую параметризацию ячеек отвечают два компонента системы: графический редактор структурно-топологических планов макроблоков СБИС «Structural-Layout Design» и система проектирования топологии макроблоков «Matching of Cells».

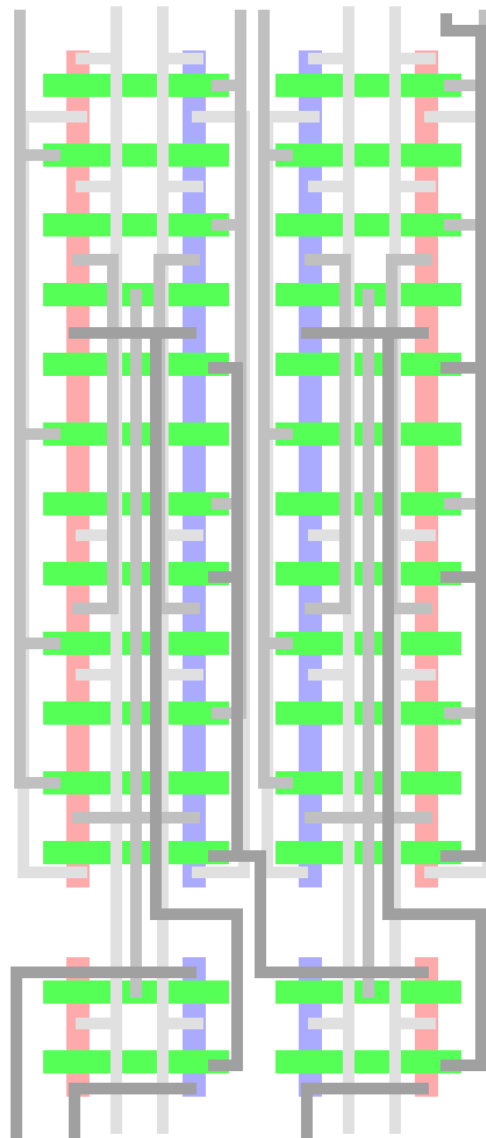


Рис. 3. Результат размещения и трассировки элементов программой «Cell Layout» для топологии макроячейки на основе четырех рядов транзисторов

Графический редактор структурно-топологических планов позволяет задавать различные значения разрядностей операндов, выполнять операции матрицирования ячеек и групп ячеек. С его помощью задаются коэффициенты формы ячеек и формируются технологически инвариантные топологические модели ячеек (принципы их топологической организации) и на их основе шаблоны топологии ячеек (топологически параметризованные «заготовки» для средств генерации топологии ячеек). Окно графического редактора приведено на рис. 4.

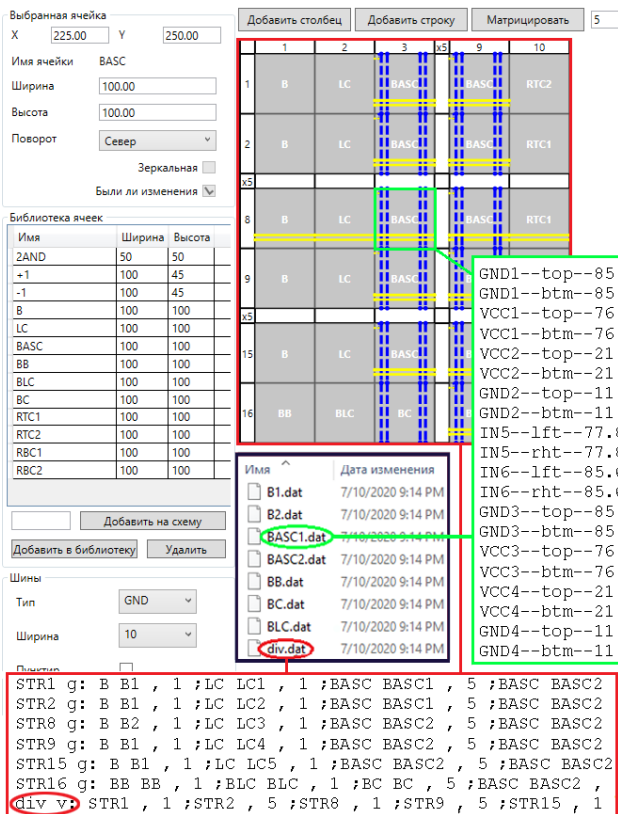


Рис. 4. Окно графического редактора структурно-топологических планов макроблоков СБИС «Structural-Layout Design»

Система «Matching of Cells» осуществляет согласование ячеек макроблока по габаритам и по расположению их выводов в процессе перехода от абстрактных топологических эскизов к топологическим чертежам в конкретных проектных нормах.

Следует отметить, что разработанный ранее для системы «Matching of Cells» графический редактор структурных планов макроблоков [6] предназначался только для описания связей между выводами уже разработанных ячеек в разработанном вручную структурно-топологическом плане. А графический редактор системы «Structural-Layout Design» позволяет разрабатывать как сами структурно-топологические планы, так и необходимые для согласования ячеек и для сборки иерархического описания топологии спецификации (текстовые описания) макроблоков (в красной рамке на рис. 4) и их компонентов: строк, столбцов, ячеек (в зеленой рамке на рис. 4). А это существенно упрощает и ускоряет процесс проектирования.

#### IV. МЕТОДИКА ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ МАКРОБЛОКОВ СБИС В СИСТЕМЕ «MACROBLOCK LAYOUT DESIGN»

Разработка топологии регулярных макроблоков СБИС в системе «Macrobloc Layout Design» может быть осуществлена в соответствии с приведенной ниже методикой.

1. Разработка в графическом редакторе «Structural-Layout Design» структурно-топологического плана макроблока СБИС с учетом магистральных шин и отдельных шин межсоединений и внутренней разводки ячеек.

2. Разбиение структурно-топологического плана макроблока (и магистральных шин) на части по границам ячеек с включением в ячейки расположенных в их поле элементов топологии.

3. Программная генерация трех типов текстовых файлов:

- спецификаций ячеек (включающих необходимое для согласования ячеек описание их границ и их выводов);

- шаблонов топологии ячеек (необходимое для генерации топологии ячеек описание внесенных разработчиком в ячейку шин, контактов и транзисторов);

- спецификации макроблока (структурированного иерархического описания топологии).

4. Разработка программой «Cell Layout» по электрическим схемам ячеек (в формате Spice-netlist) библиотеки технологически инвариантных эскизов топологии ячеек макроблока для системы сжатия «TopDesign».

5. Генерация топологической библиотеки согласованных по габаритам и выводам ячеек макроблока в требуемых проектных нормах средствами системы «Matching of Cells».

#### V. НАПРАВЛЕНИЯ ДАЛЬНЕЙШЕГО РАЗВИТИЯ СИСТЕМЫ «MACROBLOCK LAYOUT DESIGN»

На основании проведенных авторами исследований предлагаются следующие три направления развития средств системы «Macrobloc Layout Design».

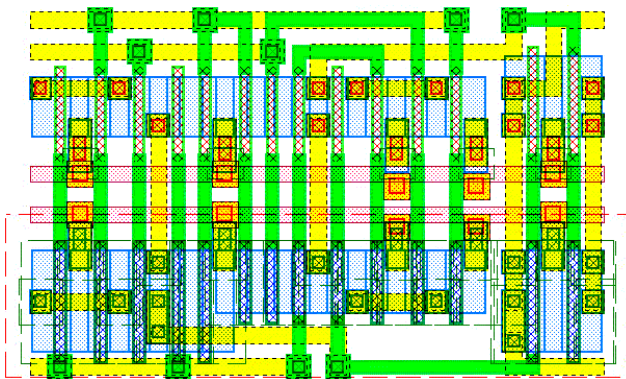
1. Разработка средств графического описания структурно-топологических планов нерегулярных иерархических фрагментов СБИС.

2. Разработка средств сжатия топологии на основе более эффективных алгоритмов сжатия с изменением формы транзисторов.

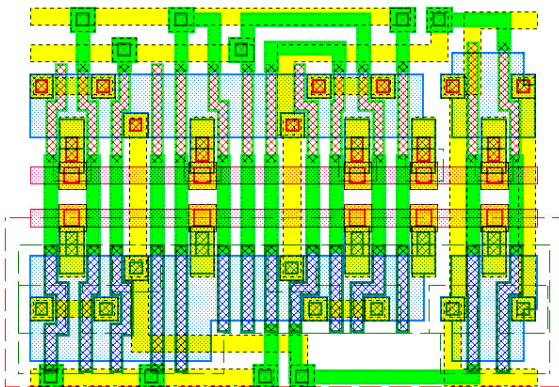
Исследования авторов показали, что применение таких алгоритмов и соответствующих топологических моделей транзисторов [7] может привести к значительному сокращению площади схем на кристалле.

В качестве примера на рис. 5 и 6 приведены топология одноразрядного двоичного сумматора, полученная с применением алгоритмов сжатия, используемых в системе «TopDesign», и топология сумматора после сжатия с изменением формы транзисторов. Выигрыш по площади во втором случае составляет примерно 15 %.

3. Реализация механизмов сжатия топологии ячеек, обеспечивающих ускорение процессов согласования ячеек.



**Рис. 5. Топологии сумматора после сжатия на основе виртуальной сетки**



**Рис. 6. Топологии сумматора после сжатия с изменением формы транзисторов**

В [8] авторами был предложен способ реализации сжатия топологии, позволяющий получить без потерь по площади на кристалле существенный выигрыш во времени за счет исключения повторяющихся при согласовании процедур сжатия.

#### ЗАКЛЮЧЕНИЕ

Разработанная технология иерархического проектирования топологии макроблоков СБИС позволяет обеспечить возможность параметризации топологических проектов на структурном, схмотехническом, топологическом, электрическом и технологическом уровнях.

Основными полученными результатами являются:

- формализация процесса иерархического проектирования топологии макроблоков СБИС;
- разработка системы комплексной параметризации топологических проектов «*Macroblock Layout Design*»;
- разработка методики иерархического проектирования топологии макроблоков СБИС в системе «*Macroblock Layout Design*».

#### ЛИТЕРАТУРА

- [1] Sherwani Naveed A. Algorithms for VLSI physical design automation. USA, Kluwer academic publishers, 3d edition, 2002. 572 p.
- [2] Weste N. H. E., Harris D. CMOS VLSI Design. A Circuits and Systems Perspective. USA, Addison-Wesley, Fourth Edition, 2011. 840 p.
- [3] Banji C., Varadarajan R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec. 6, 2012 - Technology & Engineering. 161 p. DOI 10.1007/978-1-4615-6139-2.
- [4] Зуев И.С., Миронов С.Э., Сафьянников Н.М., Максимов А.Б. Виртуальное символьное проектирование параметризованных фрагментов КМОП БИС. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2016. 236 с.
- [5] Зуев И.С., Миронов С.Э., Сафьянников Н.М. Проектирование специализированных кремниевых компиляторов в САПР параметризованных фрагментов КМОП БИС TopDesign. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2017. 226 с.
- [6] Mironov S.E., Vasiliyev A.Yu., Safyannikov N.M. Means Of Automating The Hierarchical Design Of Complex Microelectronic Circuits With Uncertainty Of Design Rules // Problems of advanced micro- and nanoelectronic systems development. Moscow.: – FSFIS Institute for Design Problems in Microelectronics RAS. 2019. Pages 7-13.
- [7] Mironov S.E., Monko A.O. Geometric models of complex layout objects of microelectronic systems in advanced information technologies // Proceedings of 2017 20th IEEE International Conference on Soft Computing and Measurements, SCM 2017. 24 May - 26 May 2017. – St. Petersburg, Russian Federation. Pages 135-138. DOI: 10.1109/SCM.2017.7970518.
- [8] Mironov S.E., Zibarev K.M. Management of Layout Matching of Objects of Complex Microelectronic Systems with Uncertainty of Design Rules // Proceedings of 2019 3rd International Conference on Control in Technical Systems, CTS 2019. 30 Oct.-1 Nov. 2019 – St. Petersburg, Russia. – Pages. 69-73. DOI: 10.1109/CTS48763.2019.8973275.

# Complex Parameterization Technology for Topological Projects of Regular VLSI Macroblocks

S.E. Mironov, L.E. Andreev, K.M. Zibarev

Saint Petersburg Electrotechnical University “LETI”, St. Petersburg, semironovspb@yandex.ru

**Abstract.** — Software and methods to parameterize the process of designing a layout of hierarchical VLSI fragments at all design levels have been developed.

**Purpose.** To develop methods and tools of the system of complex parameterization for designing a hierarchical VLSI layout with high packing density.

**Methods.** Technological and electric parameterization is provided by the algorithm of one-dimensional layout compaction based on the virtual grid. Layout parameterization is provided by combinatorial and graphs methods of placement and tracing. Schematic parameterization is implemented based on the principles of working with variables of an enumerated type. Structural parameterization and high density of packing are achieved by an original method of matching cells in terms of outputs size and location.

**The obtained results.** Development of a system and technology of complex parameterization of the layout projects of regular hierarchical fragments of the VLSI. The modular principle of organization of the developed system and the autonomy of its components ensure the convenience and simplicity of its development towards the improvement of methods of parameterization.

**Discussion.** Main directions of further development:

- Conversion of the compression system of the layout to more efficient in terms of packing density compaction algorithms with changing the shape of transistors;
- Development of interface tools for a graphical description of structural and layout plans of irregular hierarchical fragments of VLSI;
- Realization of the compaction mechanisms providing essential acceleration of processes of cells matching without losses in the density of packing.

**Keywords** — complex layout parameterization, layout compaction, close-packed design, cells matching, layout generation.

## REFERENCES

- [1] Sherwani Naveed A. Algorithms for VLSI physical design automation. USA, Kluwer academic publishers, 3d edition, 2002. 572 p.
- [2] Weste N. H. E., Harris D. CMOS VLSI Design. A Circuits and Systems Perspective. USA, Addison-Wesley, Fourth Edition, 2011. 840 p.
- [3] Bamji C., Varadarajan R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec. 6, 2012 - Technology & Engineering. 161 p. DOI 10.1007/978-1-4615-6139-2.
- [4] Zuev I.S., Mironov S.E., Safyannikov N.M., Maksimov A.B. Virtual'noe simvol'noe proektirovanie parametrizovannykh fragmentov KMOP BIS (Virtual symbolic design of parameterized CMOS LSI fragments). SPb: SPbGETU «LETI» Publ., 2016. 236 p. (In Russian).
- [5] Zuev I.S., Mironov S.E., Safyannikov N.M. Proektirovanie specializirovannykh kremnievykh kompilyatorov v SAPR parametrizovannykh fragmentov KMOP BIS TopDesign Designing specialized silicon compilers in CAD of parameterized CMOS LSI fragments TopDesign). SPb: SPbGETU «LETI» Publ., 2017. 226 p. (In Russian).
- [6] Mironov S.E., Vasiliyev A.Yu., Safyannikov N.M. Means Of Automating The Hierarchical Design Of Complex Microelectronic Circuits With Uncertainty Of Design Rules // Problems of advanced micro- and nanoelectronic systems development. Moscow.: – FSFIS Institute for Design Problems in Microelectronics RAS. 2019. Pages 7-13.
- [7] Mironov S.E., Monko A.O. Geometric models of complex layout objects of microelectronic systems in advanced information technologies // Proceedings of 2017 20th IEEE International Conference on Soft Computing and Measurements, SCM 2017. 24 May - 26 May 2017. – St. Petersburg, Russian Federation. Pages 135-138. DOI: 10.1109/SCM.2017.7970518.
- [8] Mironov S.E., Zibarev K.M. Management of Layout Matching of Objects of Complex Microelectronic Systems with Uncertainty of Design Rules // Proceedings of 2019 3rd International Conference on Control in Technical Systems, CTS 2019. 30 Oct.-1 Nov. 2019 – St. Petersburg, Russia. – Pages. 69-73. DOI: 10.1109/CTS48763.2019.8973275.