

Всероссийская с международным участием научно-техническая конференция
"Проблемы разработки перспективных микро- и наноэлектронных систем»
(МЭС-2020)

Иерархический подход к трассировке реконфигурируемой системы на кристалле островного типа

М.А. Заплетина, Д.А. Железников, С.В. Гаврилов



Институт проблем проектирования в микроэлектронике РАН

Зеленоград, Москва
2020

Введение

- Реконфигурируемые системы на кристалле (РСнК) - интегральные схемы, объединяющие на одном кристалле области программируемой логики, различные интерфейсы, блоки памяти и иные интегральные устройства.
- Основная цель работы: усовершенствование метода автоматической трассировки на основе адаптированного алгоритма Pathfinder для ускорения процедуры трассировки без потери качества итогового решения.

Архитектура РСнК островного типа

- Традиционная островная (island-style) архитектура представляет собой частый способ организации структуры программируемой логики.
- Малые программируемые логические блоки и блоки коммутации образуют в ней регулярно повторяющуюся схемотехническую структуру, соединенную с сетью трассировочных магистралей.

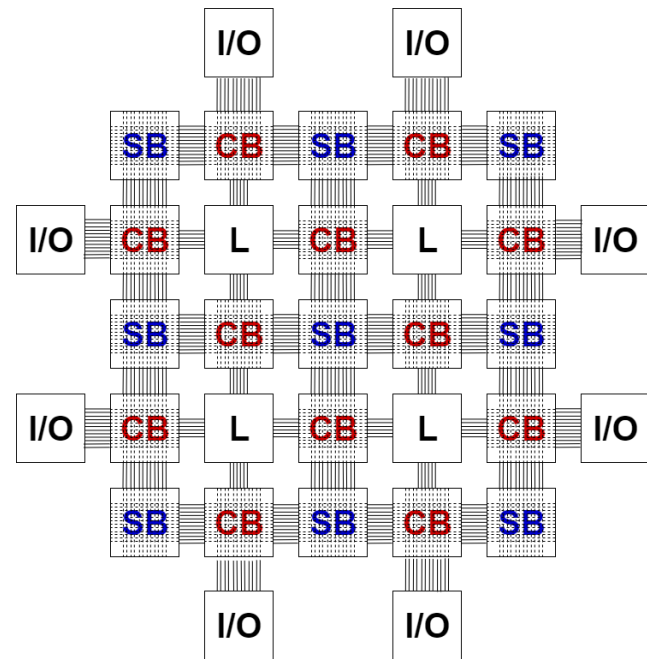
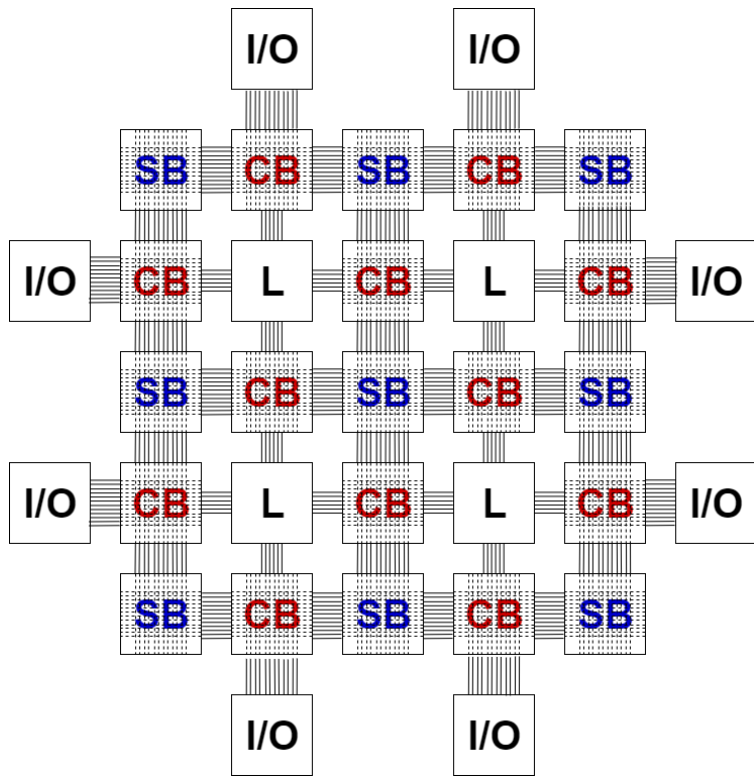
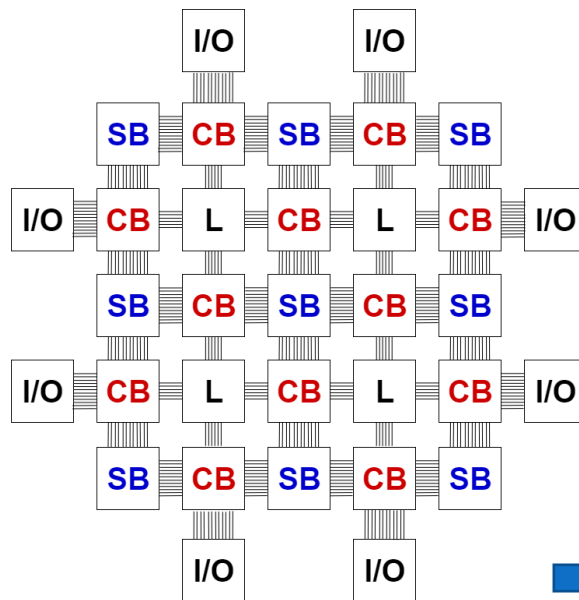


Рис.1 Общий вид островной архитектуры: S, C – блоки коммутации двух типов связности, L – блоки логических элементов.

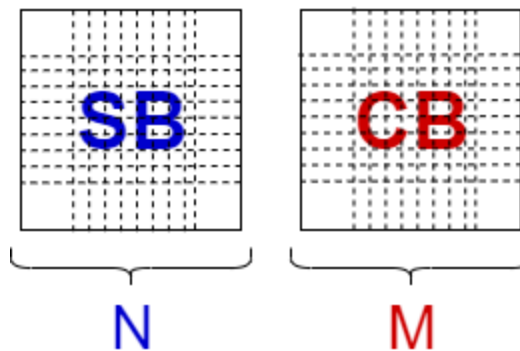
Идея двухуровневой трассировки



Плоская
трассировка



Глобальная
трассировка



Детальная
трассировка

Архитектура тестовой РСнК

- Отличительная особенность рассматриваемой группы РСнК - расширенный схемотехнический набор коммутационных элементов: стандартные МОП-переключатели, мультиплексоры, усиленные и управляемые буферы.

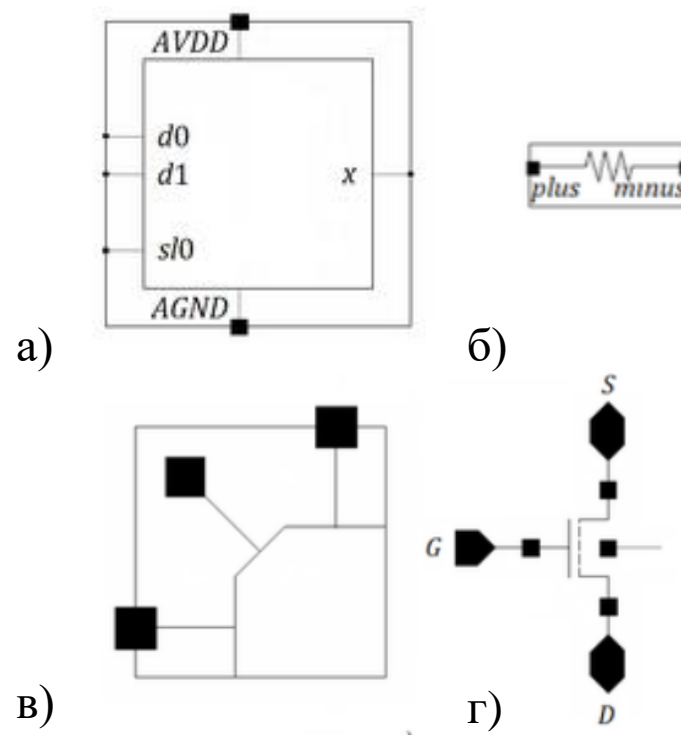


Рис.2 Набор трассировочных элементов целевой РСнК: а) мультиплексор; б) интегральный резистор; в) усиленный управляемый буфер; г) n-МОП переключатель.

Модель смешанного графа трассировки

- Наличие одно- и двунаправленных трассировочных элементов привело к созданию специальной модели *смешанного графа трассировки*.
- Пусть граф трассировки $G := (V, E)$, где V – это множество цепей (магистралей, электрических узлов) базового кристалла, а E – это множество ребер графа, соответствующих соединяющим цепи трассировочным элементам.
 - Каждой вершине $v(i)$ приведен в соответствие фиксированный вес $w(v(i))$, полученный на основе данных об экстракции паразитных емкостей кристалла.
 - Каждому ребру $e(j)$ задан вес $w(e(j))$, найденный эмпирическим путем с учетом прогнозируемой задержки соответствующего коммутационного элемента.
 - Кроме того, для каждого типа трассировочных элементов задана функция проводимости, позволяющая учесть возможное направление распространения сигнала и его инверсию на входах/выходах.

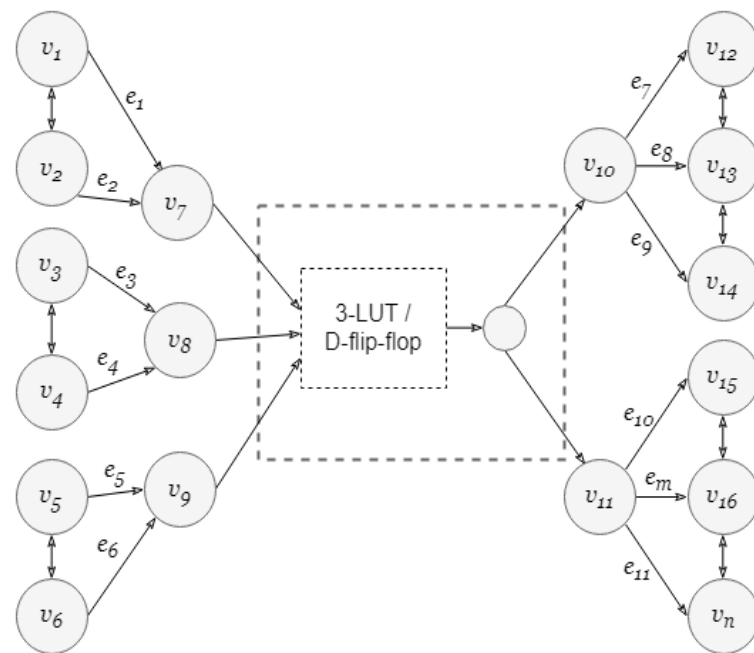
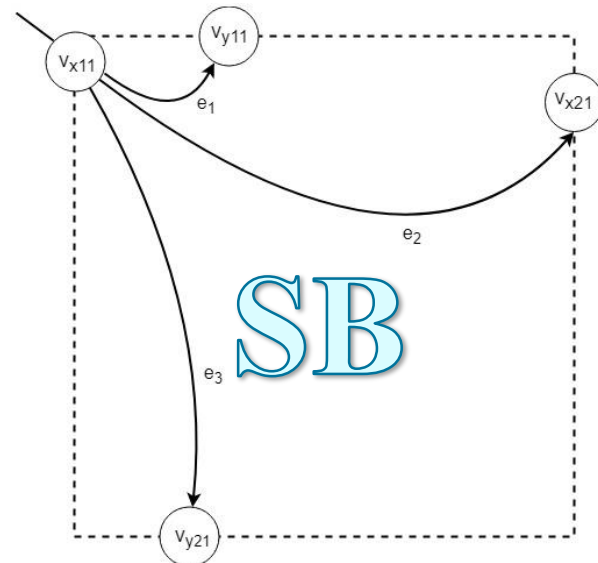
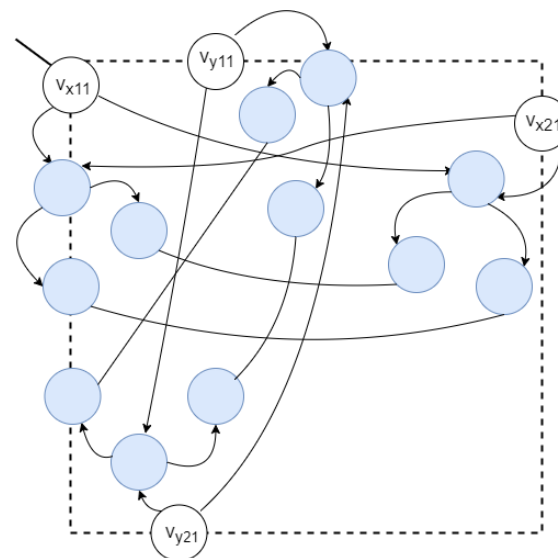
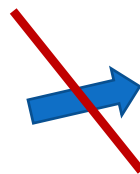
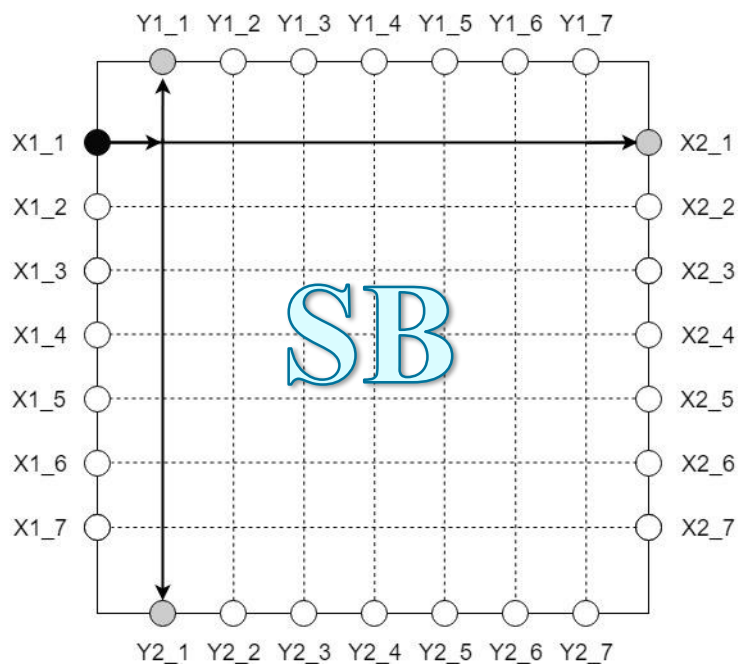


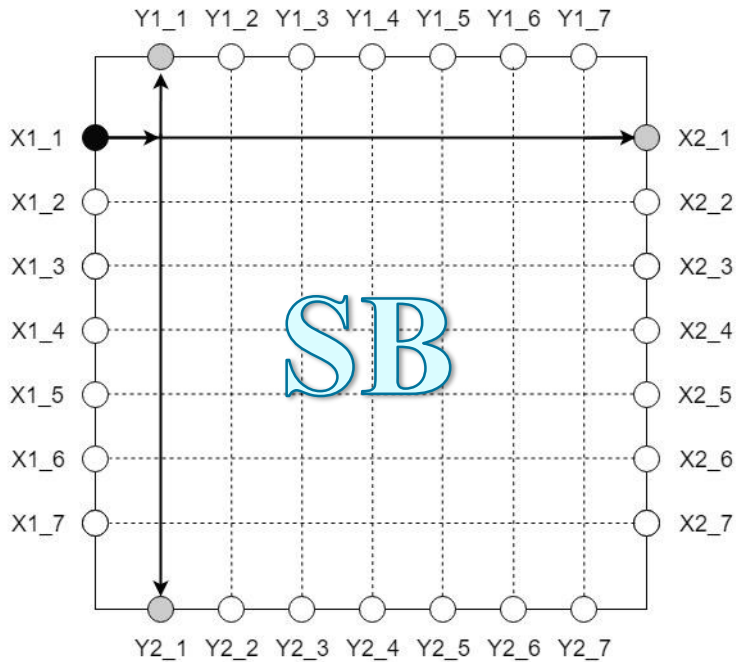
Рис.3 Фрагмент смешанного графа трассировки (3-LUT – трёхходовая таблица соответствия, D-flip-flop – триггер программируемого логического элемента РСнК).

Сокращенная графовая модель блоков коммутации: тип SB

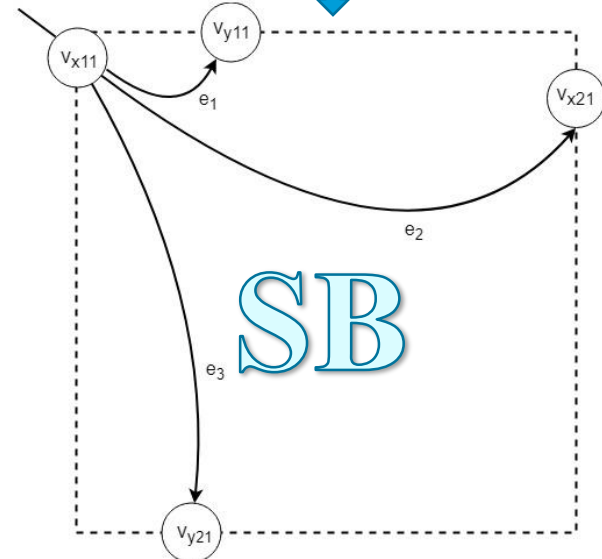


На этапе глобальной трассировки
блоки коммутации – «черные ящики»
с заданной функцией проводимости.

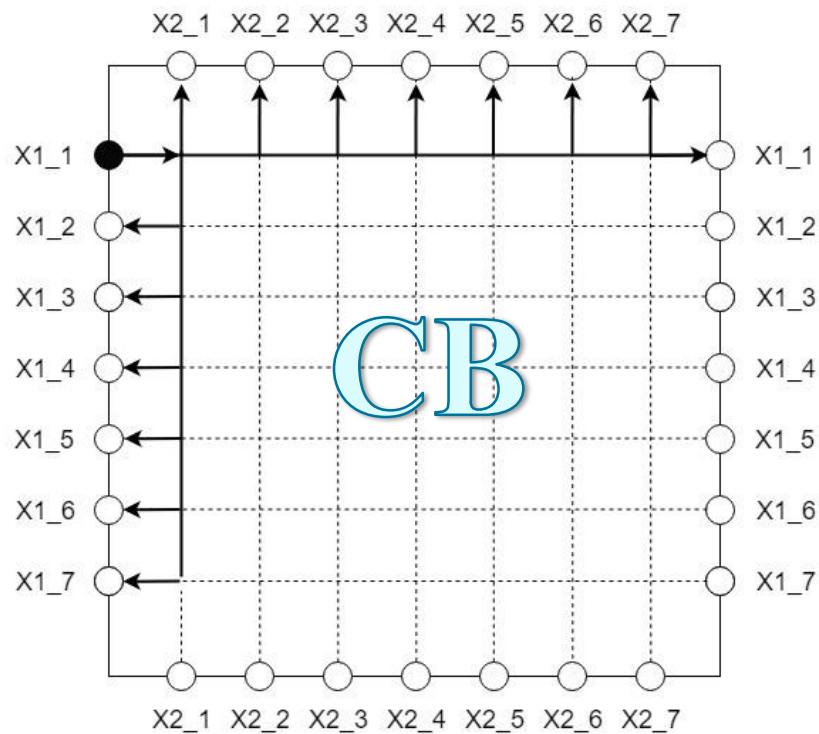
Тсі-описание блоков коммутации



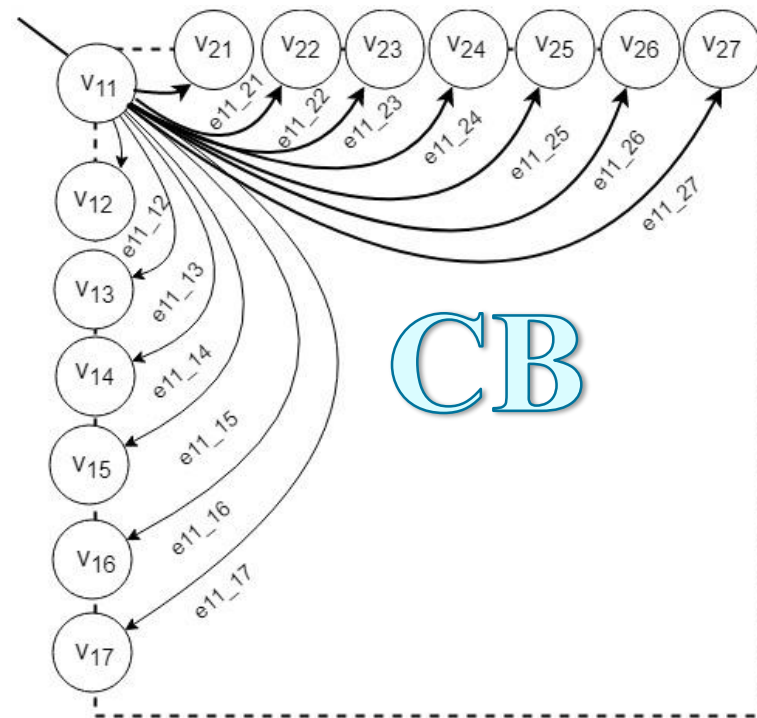
`xd_route_swb SB`
 $\{ x1\ 7 == y1\ 7\ fc=1 \}$
 $\{ x1\ 7 == x2\ 7\ fc=1 \}$
 $\{ x1\ 7 == y2\ 7\ fc=1 \}$
 $\{ y1\ 7 == x2\ 7\ fc=1 \}$
 $\{ x2\ 7 == y2\ 7\ fc=1 \}$
 $\{ y2\ 7 == y1\ 7\ fc=1 \}$



Сокращенная графовая модель блоков коммутации: тип СВ



a)



b)

Рис.4 Пример отображения возможных направлений распространения сигнала от одного из входов блока коммутации (а) на смешанный граф трассировки (б).

Базовый алгоритм

- Pathfinder – известный эвристический итерационный алгоритм трассировки, основывающийся на алгоритме Дейкстры для поиска кратчайшего пути и механизме разрыва и перетрассировки с устранением перегрузок трассировочных элементов.
- Перегрузка возникает, когда на прохождение через конкретный трассировочный элемент претендуют более одной цепи.
- На каждой итерации алгоритма проводится поочередная трассировка всех проектных цепей. Работа алгоритма прекращается в момент, когда разведены все проектные цепи и устранены все перегрузки либо достигнуты предельные значения накопленных весов элементов графа трассировки.
- Каждой вершине графа трассировки приведены в соответствие: накопленный вес $w_c(v(i))$ (рассчитываемый на основании информации о перегрузках данной вершины на предыдущих итерациях), число перегружающих вершину цепей $n(v(i))$, текущая стоимость вершины $c(v(i))$.
- Для настройки динамики алгоритма Pathfinder используются коэффициенты:
 - $v_p \in [0;1]$ управляет степенью влияния накопленного и базового постоянного веса вершины на расчет её текущей стоимости.
 - $v_h \in [0;1]$ отвечает за влияние истории перегрузок на текущую стоимость вершины.
 - **PATHW** и **PATHL** ограничивают максимальную прогнозируемую задержку распространения сигнала и максимальную длину межсоединений (выраженную в количестве трассировочных элементов в пути), соответственно.
- Классический Pathfinder был модифицирован для модели смешанного графа трассировки и учёта функций проводимости коммутационных элементов.

Тестовые проектные схемы

В качестве тестового базового кристалла выбрана схема отечественного производства 5400ТР094 [1], программируемый логический блок которой имеет островную архитектуру.

ISCAS-85



LGSynth-89

Название	Число цепей	Число логических элементов	Число блоков коммутации
c17	10	4	19
c432	118	82	303
c499	154	113	587
c135	162	121	597
c1908	178	145	623
c880	204	144	628
x4_syn	286	192	882
c3540	578	528	1477
misex3	641	627	1880
test_4	786	754	2030
c6288	819	787	2072

Результаты: экономия памяти

Смешанный граф

Трассировка	Плоская		Глобальный этап двухуровневой
Число вершин	100 %	→	17.8 %
Число ребер	100 %	→	79.2 %



Сокращение размерности задачи
трассировки

Результаты: сокращение времени

Название схемы	Время плоской трассировки, с	Время двухуровневой трассировки, с		Сокращение времени в n, раз
		<i>Глобальный этап</i>	<i>Детальный этап</i>	
c17	2.867	0.285	0.004	9.62
c432	51.737	10.421	0.054	4.74
c499	115.628	26.464	0.084	4.21
c1355	99.812	22.051	0.089	4.32
c1908	98.908	21.881	0.089	4.29
c880	99.658	24.451	0.096	3.91
x4_syn	207.58	43.075	0.475	4.58
c3540	149.093	37.4	0.606	3.57
misex3	578.344	236.158	0.546	2.39
test_4	263.331	105.245	0.388	2.49
c6288	102.201	23.12	0.399	4.58

Адаптированный алгоритм Pathfinder применен для обоих этапов двухуровневой трассировки: глобального и детального.

Заключение

- Иерархический подход – частый приём для решения сложных задач маршрута проектирования в микроэлектронике. Новизна рассмотренного случая заключается в специфике начальных условий задачи (поиск решения для реконфигурируемой системы на кристалле с расширенным набором трассировочных элементов и программируемым логическим блоком островной архитектуры).
- Статистические данные, собранные по результатам вычислительных экспериментов, свидетельствуют об *ускорении трассировки* в среднем в **4,5 раза** по сравнению с «плоским» подходом.
- Предложенная графовая модель описания блоков коммутации позволила значительно сократить объем памяти, необходимый для хранения смешанного графа трассировки, а также уменьшить размерность решаемой задачи.
- Направление дальнейшей работы видится в исследовании иных алгоритмов для каждого из уровней трассировки, например, методов анализа выполнимости булевых формул для детальной трассировки блоков коммутации.