

Автоматизация высокоуровневого моделирования сетей на кристалле

А.А. Американов

Национальный исследовательский университет «Высшая школа экономики», г. Москва,

aamerikanov@hse.ru

Аннотация — Процесс проектирования сетей на кристалле состоит из 6 основных этапов: составление технического задания; проектирование; высокоуровневое моделирование; низкоуровневое моделирование; прототипирование или косимуляция; этап производства. Данная работа посвящена автоматизации этапа высокоуровневого моделирования, который позволяет провести анализ характеристик сети, разработанной на этапе проектирования. В работе предложена концепция единой инфраструктуры для высокоуровневого моделирования, которая позволила бы автоматизировать процесс моделирования, с помощью таких методов как подключение нескольких моделей, параллельные вычисления, компаративный метод, метод дихотомии и Монте-Карло.

Ключевые слова – сеть на кристалле, высокоуровневое моделирование, высокоуровневая модель, проектирование СтнК.

I. ВВЕДЕНИЕ

В связи с постоянным ростом сложности решаемых задач и увеличением объема обрабатываемой информации, а также в рамках уменьшения времени вычислений, требования к производительности вычислительных систем постоянно растут.

Поэтому существует тенденция к увеличению количества процессорных ядер и различных периферийных модулей в рамках одного устройства, т.к. однопроцессорные системы не могут справиться с задачами, требующими высокой вычислительной производительности, и являются неэффективными при работе с большими потоками данных. Ярким примером экстенсивного увеличения количества ядер на одном кристалле является чип WSE2 [1] от компании Cerebras. Данный чип выполнен по 7 нанометровому техпроцессу и состоит из 850000 ядер.

Для проектирования сложных многоядерных систем все чаще используют архитектурные решения из области сетей на кристалле (СтнК). Процесс проектирования СтнК укрупненно можно разбить на следующие этапы [2]:

- 1) Составление технического задания;
- 2) Проектирование;
- 3) Высокоуровневое моделирование;
- 4) Низкоуровневое моделирование;

- 5) Прототипирование или косимуляция;
- 6) Этап производства.

Стоит отметить, что разработка многоядерной системы на чипе является итерационным процессом с возвратами на предыдущие этапы при выявлении ошибок проектирования, или не достижении целей, поставленных на этапе составления технического задания.

Важным этапом проектирования является высокоуровневое моделирование. Данный этап позволяет отобрать ограниченное количество подходящих для дальнейшего проектирования наборов параметров и характеристик сети, выбранных на стадии проектирования СтнК. Нужно отметить, что ошибки на этапе высокоуровневого моделирования являются дорогостоящими т.к. низкоуровневое моделирование гораздо более длительный и трудоемкий процесс. Например, из работы [3] следует, что высокоуровневое моделирование сети на 100 узлов в высокоуровневом симуляторе OCNS (On-Chip Network Simulator) [4] занимает несколько минут, в то время как низкоуровневое моделирование той же сети в низкоуровневом симуляторе Netmaker – несколько дней.

Несмотря на большое разнообразие высокоуровневых моделей, не существует какой-либо универсальной модели, которая поддерживала бы все виды топологий и проводила бы расчет всех характеристик. Обычно модель подбирается в зависимости от технического задания и решений, принятых на этапе проектирования. Также стоит отметить, что большинство симуляторов не имеют каких-либо встроенных инструментов автоматизации расчетов (например, возможности запуска нескольких моделей одновременно или автоматического подбора параметров в зависимости от целей моделирования).

Из вышесказанного следует, что необходимо создание новых инструментов и методов автоматизации высокоуровневого моделирования СтнК, а также создание единой инфраструктуры для проведения исследования характеристик сетей.

II. АНАЛИЗ ВЫСОКОУРОВНЕВЫХ МОДЕЛЕЙ СтнК

Создания единой инфраструктуры для проведения высокоуровневого моделирования СтнК требует

проведения обзора и классификации моделей. В источнике [5] представлены результаты обзора более 100 высокоуровневых моделей. Согласно проведенному обзору, была проведена классификация моделей по следующим признакам:

- 1) Режим доступа;
- 2) Выполняемые функции;
- 3) Базовый язык разработки;
- 4) Модифицируемость моделей;
- 5) Топологии СтнК;
- 6) Методы коммутации;
- 7) Архитектуры маршрутизаторов;
- 8) Типы трафика;
- 9) Алгоритмы маршрутизации;
- 10) Алгоритмы арбитража;
- 11) Области применения.

Одним из ведущих подходов к проектированию СтнК является топологический подход, суть которого состоит в том, что в основе процесса проектирования ставится выбор эффективной для конкретной задачи топологии сети, поскольку она оказывает определяющее влияние на характеристики сети в целом. Например, в работе [6] показана перспективность использования циркулянтных топологий для проектирования СтнК. Поэтому при проектировании единой инфраструктуры для высокоуровневого моделирования необходимо отобрать симуляторы таким образом, чтобы была осуществлена поддержка как можно большего числа топологий.

Согласно таблице [5] наиболее популярными топологиями, поддерживаемые рассматриваемыми моделями, является топологии Mesh [7] и Torus [8] (67 % и 35 % соответственно) и лишь 22 % моделей поддерживают произвольные топологии, в том числе и нерегулярные.

Также из приведенного выше списка параметров можно выделить алгоритмы маршрутизации, поскольку наряду с топологией алгоритмы маршрутизации пакетов в СтнК в значительной степени влияют на быстрдействие сети в целом.

Каждая топология СтнК имеет свои особенности, которые нужно учитывать при разработке алгоритмов маршрутизации, например в работе [9] приведен алгоритм для маршрутизации в СтнК с топологией мультипликативный циркулянт. Алгоритмы применимы в одних топологиях не всегда применимы в других топологиях. Поэтому при выборе моделей для единой инфраструктуры высокоуровневого моделирования стоит обратить внимание не только на поддерживаемые топологии, но и на поддерживаемые алгоритмы маршрутизации, т.к. большинство моделей требует глубокую переработку их структуры для добавления новых алгоритмов маршрутизации.

Стоит отметить, что небольшая доля моделей (например, NoCTweak [10] или Noxim [11]) реализуют любые виды маршрутизации, что является их заметным преимуществом. К ним же можно отнести и табличную маршрутизацию (например, как у симулятора UOCNS (Universal On-Chip Network Simulator) [12]), поскольку таблицы могут быть заполнены различным способом.

С целью включения в единую инфраструктуру как можно большего количества поддерживаемых топологий и алгоритмов маршрутизации было выбрано 3 модели:

- 1) BookSim [13];
- 2) Newxim [14];
- 3) UOCNS.

Изначально BookSim работал только с топологиями Mesh, Cmesh [15], Torus, Butterfly [16], Flattened butterfly [17], Fat tree [18] и Quad tree [19]. Благодаря открытому исходному коду в симулятор была добавлена поддержка циркулянтных топологий [20]. Помимо топологии в качестве входных параметров можно задать: алгоритм маршрутизации (различный набор для разных топологий, при этом в случае нестандартного алгоритма требуется производить модификацию симулятора); количество, размеры буферов и способ выделения виртуальных каналов; архитектуру маршрутизатора; размер пакетов данных, частоту генерации пакетов и тип распределения трафика. По заданным параметрам BookSim рассчитывает следующие характеристики: задержку сети, время доставки пакетов и время доставки флитов; размер отправленных и принятых пакетов; скорость генерации и приема пакетов; скорость генерации и приема флитов; количество транзитных участков пакета; время моделирования.

Newxim является одной из независимых модификаций модели Noxim [21], в которую была добавлена поддержка циркулянтных топологий и специализированные алгоритмы маршрутизации. Для моделирования СтнК модель принимает следующие параметры: топологию сети; алгоритм маршрутизации (поддерживаются любые виды маршрутизации); размер буферов; количество виртуальных каналов; размер пакетов и вид распределения трафика; параметры энергопотребления. По заданным параметрам модель рассчитывает следующий набор характеристик: пропускную способность; задержку сети; количество полученных пакетов и флитов; потребление энергии системой.

Модель UOCNS является третьей итерацией переработки модели gpNoCsim [22]. gpNoCsim поддерживает запуск основных ячеистых топологий: Mesh, Torus. В модификации gpNoCsim++ [23] была добавлена поддержка топологии WK-recursive [24]. GpNoCsim поддерживает ограниченное количество алгоритмов маршрутизации и имеет высокую сложность модификации для добавления новых. Еще одним существенным недостатком модели является

ручное формирование файла с входными параметрами модели. Поэтому понадобилась полное переосмысление и переработка ядра модели.

На основе gpNoCsim была разработана новая модель OCNS [4], в которой появилась поддержка входных xml файлов с конфигурациями СтНК. В следующей версии модели UOCNS [12] была добавлена возможность симуляции произвольных заданных пользователем топологий, и добавлены новые алгоритмы маршрутизации. Стоит отметить, что существует возможность добавления пользовательских алгоритмов маршрутизации, т.к. в UOCNS реализована табличная маршрутизация. Также была разработана серверная версия UOCNS-SE [25], которая позволила запускать модель на удаленных вычислительных мощностях.

Для моделирования СтНК в UOCNS можно задать следующие параметры: вид топологии (Mesh, Torus, Circulant, Optimal circulant или пользовательскую топологию с помощью таблицы) и количество вычислительных узлов; размер одного флита и количество флитов в пакете; средний период генерации пакетов данных; количество и размер буфера виртуальных каналов; длительность моделирования и количество прогонов симулятора.

По заданным параметрам модель рассчитывает следующие характеристики: количество отправленных и принятых пакетов, а также количество ошибок генерации пакетов; скорость генерации пакетов и флитов; скорость отправки флитов; время доставки пакета и количество транзитных участков, пройденных пакетом; пропускная способность сети и маршрутизаторов; загруженность принимающих и передающих буферов вычислительных узлов; загруженность принимающих и передающих буферов маршрутизаторов; загруженность буферов и физических каналов сети.

III. РАЗРАБОТКА ЕДИНОЙ СРЕДЫ ДЛЯ ВЫСОКОУРОВНЕВОГО МОДЕЛИРОВАНИЯ

Каждая модель имеет свой набор входных параметров и выходных характеристик (рис. 1), поэтому для получения полного набора характеристик разработчику необходимо подготовить входные параметры для нескольких сред и свести полученные данные в единый отчет.

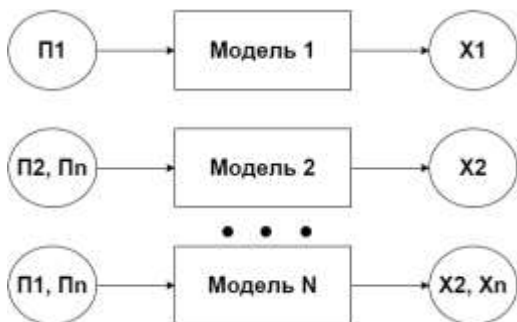


Рис. 1. Схема работы высокоуровневой модели

Для решения данной проблемы предлагается использовать единую среду моделирования, схема работы которой представлена на рис. 2.

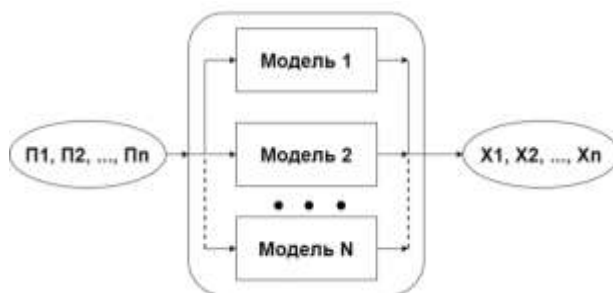


Рис. 2. Схема работы единой среды моделирования

В единую среду моделирования включены различные модели и при получении набора параметров среда автоматически распределяет эти параметры между моделями. Далее рассчитанные средой характеристики собираются в единый файл, и пользователь получает подробный отчет. Таким образом получилось упростить и автоматизировать процесс исследований характеристик СтНК и расширить список входных параметров и оцениваемых характеристик. Кроме того можно сократить количество ошибок при анализе тех характеристик, которые оцениваются хотя бы двумя моделями, так как имеется возможность сравнения выходных характеристик обеих моделей.

Единая среда высокоуровневого моделирования выполнена на языке C# в среде проектирования Visual Studio 2019 под ОС Windows. Высокоуровневая модель BookSim первоначально разрабатывалась для UNIX подобных операционных системах, но данную модель удалось запустить на ОС Windows скомпилировав ее исходный код с использованием программы Cygwin.

Для успешной интеграции моделей понадобилось изменить исходный код моделей для возможности их запуска из-под командной строки.

IV. АВТОМАТИЗАЦИЯ ПРОЦЕССА ВЫСОКОУРОВНЕВОГО МОДЕЛИРОВАНИЯ СтНК

Важным аспектом автоматизации высокоуровневого моделирования является использование методов оптимизации вычислений и подбора различных параметров.

Предлагается использовать следующие методы:

- Компаративный метод;
- Параллельный запуск нескольких моделей (метод распараллеливания вычислений);
- Метод дихотомии;
- Метод Монте-Карло;
- Метод подбора.

Рассмотрим данные методы более подробно.

Для увеличения точности моделирования предлагается использовать *компаративный метод*.

При данном методе запускается несколько моделей со схожими параметрами сети. После работы моделей сравниваются выходные характеристики у разных моделей. Если выходная характеристика у всех моделей сходится, то можно говорить, что результаты правдоподобны и их можно использовать. Также данный метод позволяет оценивать новые модели. Если результаты новой модели сильно отличаются от результатов проверенных моделей, то можно говорить о том, что данная модель не корректна.

На рис. 3 показаны результаты симуляции работы СтнК с топологией mesh 4x4, разными моделями (UOCNS, BookSim, Newxim). Из графиков зависимости пропускной способности сети (флит/такт) от скорости генерации флитов (флит/такт) следует, что результаты работы моделей коррелируют, что позволяет судить о корректности работы каждой из моделей и о точности полученных результатов в целом.

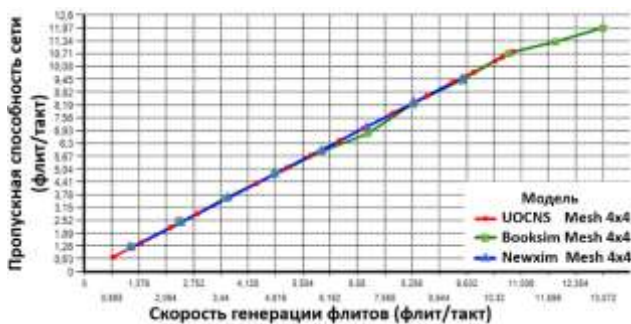


Рис. 3. Результаты симуляции работы СтнК топологией mesh 4x4 моделями разных типов.

Параллельный запуск моделей позволяет запускать несколько моделей одновременно, тем самым сократив время, потраченное на моделирование.

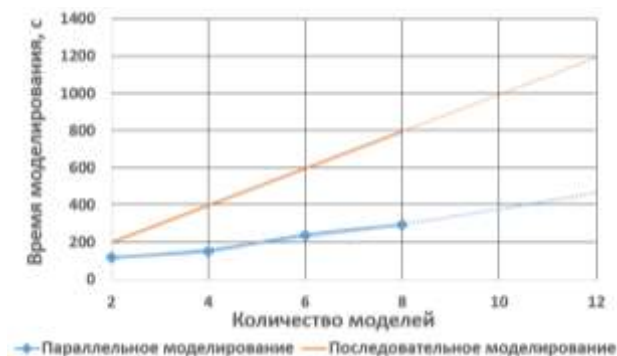


Рис. 4. График зависимости времени моделирования от количества запущенных моделей

На рис. 4 представлен график зависимости времени моделирования от количества запущенных моделей. Верхней линией представлен график для параллельного запуска моделей, нижней линией изображен график для последовательного запуска моделей. Из графиков следует, что рост времени работы при параллельном моделировании более плавный, при этом моделирование выполнялось на компьютере с 8 потоками, и для большого количества

моделей выполнена аппроксимация. Согласно полученным данным, при одновременном запуске 8 моделей удалось добиться ускорения в 2,7 раза, по сравнению с последовательным методом запуска моделей.

Для подбора параметров сети предлагается использовать **метод дихотомии и метод Монте-Карло**. Например, если требуется найти предел пропускной способности сети. Когда сеть работает исправно, то количество отправленных пакетов равно количеству принятых пакетов. Но при увеличении количества пакетов в сети пропускная способность снижается. Обычно при поиске точки перегиба необходимо запускать модель несколько раз изменяя количество интенсивности подачи пакетов в сеть на определенный шаг. Предлагается использовать метод дихотомии и метод Монте-Карло для поиска данной точки. Использование данных методов позволяет уменьшить количество запусков модели. Модель UOCNS имеет похожий встроенный механизм, поэтому метод оптимизации был реализован для моделей типа BookSim и Newxim.

Метод подобия предполагает, что если имеются результаты моделирования сети с количеством узлов, равным N , то пропускная способность сети той же топологии с $N + 1$ узлами будет лежать выше на графике, чем пропускная способность для сети с N узлами.

На рис. 5 показаны точки насыщения для сети типа Mesh с 16, 64, 256 узлами. Как видно по графику предел пропускной способности для сети mesh 8 на 8 нужно искать между пределами топологий Mesh 4 на 4 и mesh 16 на 16. Предположим, что пределы пропускной способности для Mesh 4x4 и Mesh 16x16 известны. Тогда пропускную способность для mesh 8x8 можно искать в этих пределах, например, методом дихотомии или методом Монте-Карло.

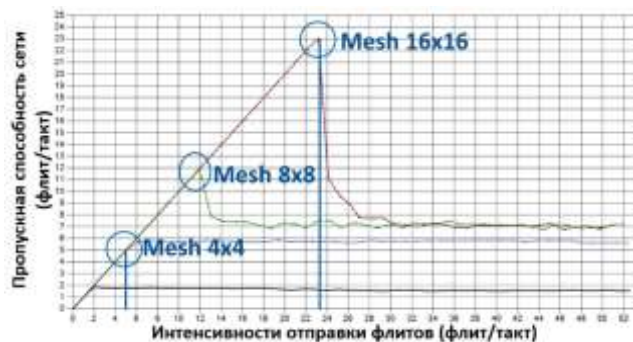


Рис. 5. Визуализация метода подобия

V. ВЫВОДЫ

В статье представлены основные этапы проектирования СтнК и обозначено место высокоуровневого моделирования в процессе проектирования сетей на кристалле. Проведен обзор и классификация высокоуровневых моделей сетей на кристалле. Выделены основные параметры моделей, на основе которых происходил выбор моделей для

создания единой инфраструктуры для высокоуровневого моделирования сетей на кристалле: топология и алгоритм маршрутизации. Согласно данным критериям выбрано 3 модели: BookSim, Newxim, UOCNS.

Приведены основные аспекты работы созданной единой инфраструктуры для высокоуровневого моделирования СтнК. Описаны методы автоматизации процесса высокоуровневого моделирования СтнК.

ПОДДЕРЖКА

Исследование осуществлено в рамках Программы фундаментальных исследований НИУ ВШЭ в 2021 году.

ЛИТЕРАТУРА

- [1] Moore S.K. Cerebras' New Monster AI Chip Adds 1.4 Trillion Transistors // IEEE Spectrum. 2021. URL: <https://spectrum.ieee.org/tech-talk/semiconductors/process-ors/cerebras-giant-ai-chip-now-has-a-trillions-more-transistors> (дата обращения: 11.05.2021).
- [2] Стешенко В., Руткевич А., Гладкова Е., Шишкин Г., Воронков Д. Проектирование СБИС типа «Система на кристалле». Маршрут проектирования. Синтез схемы. Часть 1 // Электронные компоненты. 2009. Т. 1. С. 14–21.
- [3] Romanov A., Ivannikov A. SystemC Language Usage as the Alternative to the HDL and High-level Modeling for NoC Simulation // International Journal of Embedded and Real-Time Communication Systems. 2018. Vol. 9, № 2. P. 18–31.
- [4] Романов А.Ю., Тумковский С.Р., Иванова Г.А. Моделирование сетей на кристалле на основе регулярных и квазиоптимальных топологий с помощью симулятора OCNS // Вестник Рязанского государственного радиотехнического университета. 2015. Т. 2, № 52. С. 56–88.
- [5] Romanov A.Yu., Opekunova A. NoC High Level Models. 2020. URL: https://docs.google.com/spreadsheets/d/1IUwYoQH0mhp_Otq0HPFFPYP6fPScNbPz34G71JbOBKQ/edit?usp=sharing (дата обращения: 11.05.2021).
- [6] Прилепко П.М., Романов А.Ю., Лежнев Е.В. Модификация высокоуровневой модели NoCModel 2.0 для моделирования сетей на кристалле с циркулянтными топологиями // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2020. Вып. 4. С. 23–20.
- [7] Deb D. et al. Cost effective routing techniques in 2D mesh NoC using on-chip transmission lines // Journal of Parallel and Distributed Computing. 2019. Vol. 123. P. 118–129.
- [8] Ansari A.Q., Ansari M.R., Khan M.A. Modified quadrant-based routing algorithm for 3D Torus Network-on-Chip architecture // Perspectives in Science. 2016. Vol. 8. P. 718–721.
- [9] Щеголева М.А., Романов А.Ю. Разработка алгоритма маршрутизации в сетях на кристалле с топологией мультипликативный циркулянт // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2018. Вып. 3. С. 119–125.
- [10] Tran A., Baas B. Noctweak: A highly parameterizable simulator for early exploration of performance and energy of networks on-chip. 2012. 12 p.
- [11] Catania V. et al. Cycle-accurate network on chip simulation with Noxim // ACM Transactions on Modeling and Computer Simulation, 2016. Vol. 27, № 1. P. 1–25.
- [12] Романов А.Ю. Универсальная высокоуровневая программная модель сетей на кристалле Universal On-Chip Network Simulator (UOCNS). Свидетельство о регистрации программы для ЭВМ RU 2019616754, 29.05.2019. Заявка № 2019615566 от 18.05.2019.
- [13] Jiang N. et al. BookSim 2.0 User's Guide. 2013. 11 p.
- [14] Myachin N., Romanov A. Newxim. Network-onChip Simulator. URL: <https://github.com/Wertual08/newxim> (дата обращения: 11.05.2021).
- [15] Jamali M.A.J. K.A. MinRoot and CMesh: Interconnection architectures for network-on-chip systems // World Academy of Science, Engineering and Technology. 2009. Vol. 54. P. 354–359.
- [16] Wang J. et al. A highly scalable butterfly-based photonic network-on-chip // Proceedings - 2012 IEEE 12th International Conference on Computer and Information Technology, CIT 2012. 2012. P. 33–37.
- [17] Kim J., Balfour J., Dally W.J. Flattened butterfly topology for on-chip networks // IEEE Computer Architecture Letters. Institute of Electrical and Electronics Engineers Inc., 2007. Vol. 6, № 2. P. 37–40.
- [18] Bouhraoua A., Elrabaa M.E. An efficient network-on-chip architecture based on the Fat-Tree (FT) topology // Proceedings of the International Conference on Microelectronics, ICM. 2006. P. 28–31.
- [19] Majumder T. et al. NoC-based hardware accelerator for breakpoint phylogeny // IEEE Transactions on Computers. 2012. Vol. 61, № 6. P. 857–869.
- [20] Romanov A., Lezhnev E., Amerikanov A. Modification of the BookSim simulator for modeling networks-on-chip based on two-dimensional circulant topologies // CEUR Workshop Proceedings. CEUR-WS, 2019. Vol. 2514. P. 182–192.
- [21] Catania V. et al. Noxim: An open, extensible and cycle-accurate network on chip simulator // Proceedings of the International Conference on Application-Specific Systems, Architectures and Processors. 2015. Vol. 2015-Sept. P. 162–163.
- [22] Hossain H. et al. gpNoCsim - A general purpose simulator for network-on-chip // ICICT 2007: Proceedings of International Conference on Information and Communication Technology. 2007. № 3. P. 254–257.
- [23] Jamali M.A.J. et al. A study on WK-recursive topology using gpNoCsim++ simulator and comparison to Other topologies // Proceedings - 17th IFIP International Conference on Very Large Scale Integration. 2009. P. 181–184.
- [24] Suboh S., Bakhouya M., El-Ghazawi T. Simulation and evaluation of on-chip interconnect architectures: 2D mesh, Spidrgon, and WK-recursive network // Proceedings – Second IEEE International Symposium on Networks-on-Chip. 2008. P. 205–206.
- [25] Romanov A.Yu., Stepanov M.A. UOCNS-SE: Universal On-Chip Network Simulator Server Edition. URL: <https://github.com/RomeoMe5/UOCNS-SE> (дата обращения: 11.05.2021).

Automation of High-Level Network-on-Chip Modeling

A.A. Amerikanov

National Research University Higher School of Economics, Moscow,

aamerikanov@hse.ru

Abstract — This work is devoted to the automation of the process of high-level modeling of network-on-chip (NoC). The main stages of designing NoC are considered. The place of high-level modeling in the process of designing NoC is highlighted. Review and classification of high-level NoC models are carried out. The main parameters of the models, based on which the choice of models for the creation of a unified infrastructure for high-level modeling of NoC: topology and routing algorithm, have been highlighted. High-level models were selected for implementation of a single infrastructure: BookSim, Newxim, UOCNS.

The main aspects of the work of the unified infrastructure are given. Methods for automating the high-level modeling process are proposed: parallel computations, the comparative method, the golden section method, and Monte Carlo method. Parallel launch of the models has significantly reduced the simulation time. With the simultaneous launch of 8 models, we managed to achieve 2.7-fold acceleration, compared to the sequential method of launching models. The comparative method allows simulating the same network in different models, thereby increasing the accuracy and reliability of the output characteristics. The comparative method also allows us to verify new models when they are added to a single information environment for high-level modeling of NoC. The Golden Ratio Method and the Monte Carlo Method will reduce the number of models launches when selecting parameters.

Approbation of the unified infrastructure is carried out, the results of modeling of various networks are shown. Further plans for the improvement of the unified infrastructure are described.

Keywords — network-on-chip, high-level simulation, high-level model, network-on-chip design.

REFERENCES

- [1] Moore S.K. Cerebras' New Monster AI Chip Adds 1.4 Trillion Transistors // IEEE Spectrum. 2021. URL: <https://spectrum.ieee.org/tech-talk/semiconductors/process-ors/cerebras-giant-ai-chip-now-has-a-trillions-more-transistors> (access date: 11.05.2021).
- [2] Steshenko V., Rutkevich A., Gladkova E., Shishkin G., Voronkov D. Proektirovanie SBIS tipa «Sistema na kristalle». Marshrut proektirovaniya. Sintez skhemy. CHast' 1 (Designing VLSI of the "System on a chip" type. The design route. Scheme synthesis. Part 1) // Elektronnyye komponenty. 2009. Vol. 1. P. 14–21.
- [3] Romanov A., Ivannikov A. SystemC Language Usage as the Alternative to the HDL and High-level Modeling for NoC Simulation // International Journal of Embedded and Real-Time Communication Systems. 2018. Vol. 9, № 2. P. 18–31.
- [4] Romanov A.Yu., Tumkovskij S.R., Ivanova G.A. Modelirovanie setej na kristalle na osnove reguljarnyh i kvazioptimal'nyh topologij s pomoshch'yu simulyatora OCNS (Simulation of network-on-chip based on regular and quasi-optimal topologies using the OCNS simulator) // Vestnik Ryazanskogo gosudarstvennogo radiotekhnicheskogo universiteta. 2015. Vol. 2, № 52. P. 56–88.
- [5] Romanov A.Yu., Opekunova A. NoC High Level Models. 2020. URL: https://docs.google.com/spreadsheets/d/1IUwYoQH0mhp_0tq0HPFFPYR6fPScNBPz34G71JbOBKQ/edit?usp=sharing (дата обращения: 11.05.2021).
- [6] Prilepko P.M., Romanov A.Yu., Lezhnev E.V. Modification of a High-Level NoC Model 2.0 for Modeling Networks-on-Chip with Circulant Topologies // Problems of Perspective Micro- and Nanoelectronic Systems Development. 2020. Issue 4. P. 23–20. (in Russian)
- [7] Deb D. et al. Cost effective routing techniques in 2D mesh NoC using on-chip transmission lines // J. Parallel Distrib. Comput. Academic Press, 2019. Vol. 123. P. 118–129.
- [8] Ansari A.Q., Ansari M.R., Khan M.A. Modified quadrant-based routing algorithm for 3D Torus Network-on-Chip architecture // Perspect. Sci. 2016. Vol. 8. P. 718–721.
- [9] Shchegoleva M.A., Romanov A.Yu. Development of Routing Algorithms in Networks on Chip with a Multiplicative Circulant Topology // Problems of Perspective Micro- and Nanoelectronic Systems Development. 2018. Issue 3. P. 119–125. (in Russian)
- [10] Tran A., Baas B. Noctweak: A highly parameterizable simulator for early exploration of performance and energy of networks on-chip. 2012. 12 p.
- [11] Catania V. et al. Cycle-accurate network on chip simulation with Noxim // ACM Transactions on Modeling and Computer Simulation, 2016. Vol. 27, № 1. P. 1–25.
- [12] Romanov A.Yu. Universal'naya vysokourovnevaya programmaya model' setej na kristalle Universal On-Chip Network Simulator (UOCNS) (High-level software model Universal On-Chip Network Simulator (UOCNS). Certificate of registration of the computer program RU 2019616754, 29.05.2019. Request № 2019615566 from 18.05.2019.
- [13] Jiang N. et al. BookSim 2.0 User's Guide. 2013. 11 p.
- [14] Myachin N., Romanov A. Newxim. Network-onChip Simulator. URL: <https://github.com/Wertual08/newxim> (access date: 11.05.2021).
- [15] Jamali M.A.J. K.A. MinRoot and CMesh: Interconnection architectures for network-on-chip systems // World Academy of Science, Engineering and Technology. 2009. Vol. 54. P. 354–359.
- [16] Wang J. et al. A highly scalable butterfly-based photonic network-on-chip // Proceedings - 2012 IEEE 12th International Conference on Computer and Information Technology, CIT 2012. 2012. P. 33–37.
- [17] Kim J., Balfour J., Dally W.J. Flattened butterfly topology for on-chip networks // IEEE Computer Architecture

- Letters. Institute of Electrical and Electronics Engineers Inc., 2007. Vol. 6, № 2. P. 37–40.
- [18] Bouhraoua A., Elrabaa M.E. An efficient network-on-chip architecture based on the Fat-Tree (FT) topology // Proceedings of the International Conference on Microelectronics, ICM. 2006. P. 28–31.
- [19] Majumder T. et al. NoC-based hardware accelerator for breakpoint phylogeny // IEEE Transactions on Computers. 2012. Vol. 61, № 6. P. 857–869.
- [20] Romanov A., Lezhnev E., Amerikanov A. Modification of the BookSim simulator for modeling networks-on-chip based on two-dimensional circulant topologies // CEUR Workshop Proceedings. CEUR-WS, 2019. Vol. 2514. P. 182–192.
- [21] Catania V. et al. Noxim: An open, extensible and cycle-accurate network on chip simulator // Proceedings of the International Conference on Application-Specific Systems, Architectures and Processors. 2015. Vol. 2015-Sept. P. 162–163.
- [22] Hossain H. et al. gpNoCsim – A general purpose simulator for network-on-chip // ICICT 2007: Proceedings of International Conference on Information and Communication Technology. 2007. № March. P. 254–257.
- [23] Jamali M.A.J. et al. A study on WK-recursive topology using gpNoCsim++ simulator and comparison to Other topologies // Proceedings – 17th IFIP International Conference on Very Large Scale Integration, VLSI-SoC 2009. IEEE Computer Society, 2009. P. 181–184.
- [24] Suboh S., Bakhouya M., El-Ghazawi T. Simulation and evaluation of on-chip interconnect architectures: 2D mesh, Spidergon, and WK-recursive network // Proceedings - Second IEEE International Symposium on Networks-on-Chip, NOCS 2008. 2008. P. 205–206.
- [25] Romanov A.Yu., Stepanov M.A. UOCNS-SE: Universal On-Chip Network Simulator Server Edition URL: <https://github.com/RomeoMe5/UOCNS-SE> (access date: 11.05.2021).