

Математическая модель цифровых блоков для системы совместного моделирования технических средств и программно-микропрограммного обеспечения

¹А.Д. Иванников. А.Л.Стемпковский

Институт проблем проектирования в микроэлектронике РАН, г. Москва

¹adi@ippm.ru

Аннотация — На основе анализа особенностей современных цифровых систем предлагается структура системы совместного моделирования работы технических средств и программно-микропрограммного обеспечения цифровых систем на функционально-логическом уровне. Целью моделирования является отладка совместной работы технических средств и программно-микропрограммного обеспечения на этапе проектирования. Предлагается математическая модель для моделирования технических средств с двузначным представлением логических сигналов на выводах блоков с учетом особенностей современных цифровых систем, а именно: наличия двунаправленных шин, высокоимпедансного состояния выводов, внутренней памяти блоков. Показано, что алгоритм моделирования работы технических средств сводится к решению систем логических уравнений на каждом такте моделирования.

Ключевые слова — функционально-логическое моделирование, отладка на этапе проектирования, проектирование цифровых систем, модель технических средств

I. ВВЕДЕНИЕ

Еще в 90-ые году во многих работах указывалось на перспективность использования информационных технологий в различных областях современной человеческой деятельности: коммуникациях, образовании, науке и технике [1-3]. В последующие тридцать лет информационные технологии постоянно развивались и находили применение во всех областях человеческой деятельности [4-7]. И действительно, в настоящее время проектирование современных цифровых микроэлектронных систем возможно только на основе систем автоматизированного проектирования [8-10]. При проектировании цифровых систем функционально-логическое моделирование на уровне соединения блоков и элементов схемы технических средств является необходимым для проверки правильности проекта [11-13].

В последнее десятилетие для проектирования отечественных цифровых микроэлектронных систем в основном используются зарубежные системы автоматизированного проектирования (САПР). Эти системы хорошо развиты, обеспечивают эффективное и качественное проведение проектирования. Они имеют аккредитацию на зарубежных фабриках, изготавливающих интегральные схемы.

Однако, в современных условиях задача импортозамещения стоит весьма остро. Даже в случае изготовления интегральных схем за рубежом, желательно, чтобы проектирование было осуществлено на отечественных средствах, гарантирующих правильность функционирования изделия во всех режимах [14-16]. Особенно важно для современных отечественных разработок учитывать при проектировании различные дестабилизирующие воздействия на проектируемые изделия и обеспечивать их высокую устойчивость в этом случае [17, 18]. В связи с этим задача разработки методов, алгоритмов и средств автоматизации проектирования цифровых сверх больших интегральных схем (СБИС) специального назначения, высокоустойчивых к различным дестабилизирующим воздействиям, а также создание отечественных САПР на этой основе, является актуальной задачей.

В данной статье мы будем рассматривать только один этап проектирования цифровых систем, а именно совместную отладку технических средств и программно-микропрограммного обеспечения методом моделирования [19-22]. При этом для создания указанной подсистемы отечественной САПР необходимо сформулировать требования и основные принципы построения указанной подсистемы САПР с учетом накопленного опыта проектирования, что и является задачей данной работы.

II. ОСОБЕННОСТИ СОВРЕМЕННЫХ ЦИФРОВЫХ СИСТЕМ, ОПРЕДЕЛЯЮЩИЕ ТРЕБОВАНИЯ К СИСТЕМЕ МОДЕЛИРОВАНИЯ

Основной особенностью современных цифровых систем является их исполнение в виде больших и сверхбольших интегральных схем. Изготовление последних – это дорогой и достаточно длительный процесс, в связи с чем проект, подлежащий реализации в виде таких схем, должен быть свободен от ошибок, что исключало бы необходимость внесения изменений в проект после изготовления схем и их повторного изготовления. Именно в связи с этим в проектировании цифровых систем широко используется предварительное компьютерное моделирование проектируемых схем до их изготовления [23, 24].

Проект цифровой системы включает схему технических средств и текст программного или микропрограммного обеспечения. Независимо от того, реализу-

ется ли цифровая система в виде одной или нескольких БИС, технические средства цифровой системы могут быть представлены как схема соединения некоторых типовых блоков, а также блоков и схем, разработанных непосредственно для конкретного случая. Компьютерная модель технических средств может быть сгенерирована из моделей блоков и схем на основе принципиальной схемы их соединения [25, 26].

Основой большинства современных технических средств является двоичная логика их элементов, в настоящей работе рассматривается именно этот случай. Моделирование технических средств может быть осуществлено на различных уровнях, отличающихся подробностью представления двоичных сигналов в узлах принципиальной схемы. В любом случае все существующие подходы являются в той или иной степени приближением к реальной физической картине протекающих процессов. Как правило, чем больше подробность представления сигналов, тем больше сложность модели и затраты машинного времени на моделирование. В процессе проектирования обычно используются методы декомпозиции задачи отладки, то есть задачи поиска возможных ошибок в проекте [27-29]. Так, для проверки правильности протекания переходных процессов при переключении сигналов используется многозначное моделирование логических сигналов, а для проверки правильности логики работы технических средств при гарантированной правильности временных соотношений просто двузначное представление логических сигналов.

При правильном проектировании цифровых систем после изменения входных сигналов, в частности, синхроимпульсов, все изменения логических состояний сигналов и содержимого регистров и ячеек памяти заканчиваются до следующего изменения входных сигналов. Этот факт, собственно, и контролируется отдельно с использованием многозначного представления логических сигналов. В связи с этим целесообразно, чтобы этап проверки временных диаграмм для определения необходимой длительности такта синхронизации, выявления «гонок» и рисков сбоев предшествовал этапу совместной отладки структуры технических средств и программно-микропрограммного обеспечения, то есть этапу структурно-логической отладки. Такое разделение целесообразно в связи с различной стратегией отладки, используемой на этих двух этапах. При проверке временных диаграмм можно не различать команды одного типа между собой, а моделировать лишь интервалы между появлениями сигналов. В то же время при структурно-логической отладке в целях экономии машинного времени предпочтительно использовать синхронное функционально-логическое моделирование. В процессе такого моделирования разработчик может получить квазивременные диаграммы логических сигналов на выводах всех БИС (рис. 1).

Правильность или ошибочность поведения цифровой системы или ее части разработчик определяет по анализу сигналов на выводах блоков, из которого построена схема технических средств, а также анализу

изменения содержимого внутренних регистров и ячеек памяти. Поэтому именно эти переменные должны быть правильно промоделированы. Моделирование должно осуществляться на уровне логических сигналов на выводах блоков, сами же блоки цифровой системы могут моделироваться на функциональном уровне, без обязательного соответствия структуры программной модели внутренней структуре блока. Большая часть технических современных цифровых систем строится на основе сочетания типовых блоков (IP-блоков). Функционально-логические модели таких блоков разрабатываются однократно и используются при включении блоков в проект цифровой системы.

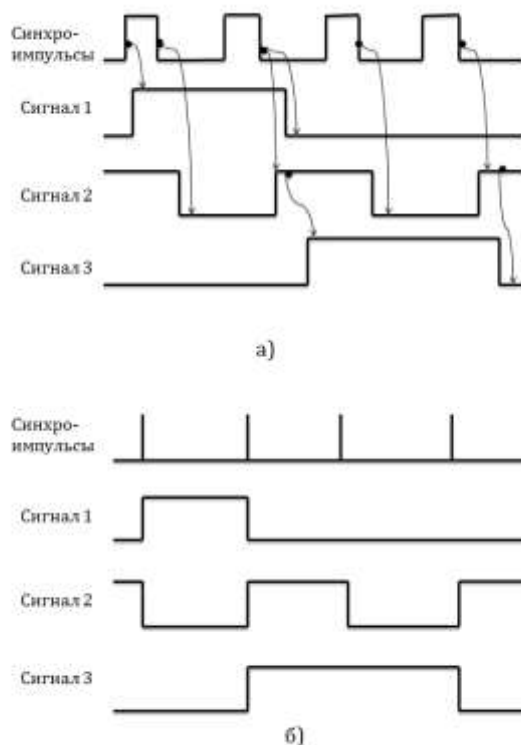


Рис. 1. Представление сигналов при функционально-логическом моделировании: а) временные диаграммы сигналов; б) квазивременные диаграммы, получаемые в результате синхронного моделирования

Требование удобства работы с моделью технических средств, необходимость легкого внесения изменений в эту модель обуславливает интерпретационный характер моделирования. В этом случае модель технических средств представляет собой некоторую структуру данных, содержащую информацию о соединениях блоков, их внутренних состояниях и наименованиях сигналов. При этом важным является создание и поддержание в рабочем состоянии библиотеки уже отлаженных блоков, которые могут использоваться во вновь проектируемых системах. Важным является также наличие удобных средств внесения изменений в моделируемую схему.

Рассматриваемая система функционально-логического моделирования должна иметь удобные

средства слежения за сигналами на выводах блоков, содержимым программно-доступных регистров и ячеек памяти, легко задаваемые и модифицируемые режимы трассировки. Желательно также иметь возможность запоминания и восстановления состояния моделируемой цифровой системы, а также средства автоматизированной генерации тестовых примеров.

Компьютерная модель технических средств должна учитывать широкое использование шин для передачи информации, двунаправленность шин и линий, возможность наличия у них высокоимпедансного (отключенного) состояния. При объединении выводов нескольких блоков могут реализовываться различные логические функции, а именно: «проводное И»; проводное «ИЛИ»; объединение, характерное для систем с общей шиной, когда только один выход является активным, а остальные должны находиться в состоянии с высоким выходным сопротивлением; запрещение объединения выходов блоков. Система моделирования по типу объединяемых выводов должна различать эти случаи и при нарушении установленных правил (например, при появлении противоречащих друг другу сигналов на объединенных выходах) выдавать сигнал об ошибке.

Система совместного моделирования работы технических средств и программно-микропрограммного обеспечения должна включать также средства автоматизации программирования. В связи с высокими требованиями к эффективности функционирования современных цифровых систем разработка программно-обеспечения должна вестись на уровне ассемблеров или языков, максимально близких к этому уровню. Наиболее естественным было бы наличие настраиваемого микроассемблера, в котором возможна настройка всех управляющих полей команды или микрокоманды на допустимый перечень операций с присвоенными мнемоническими обозначениями.

Процесс совместного моделирования технических средств и программно-микропрограммного обеспечения состоит из следующих этапов:

- получение программной модели (эмулятора) технических средств цифровой системы;
- компиляция программы или микропрограммы в последовательность логических сигналов, подаваемых на входы цифровой системы, или набор состояний ячеек памяти;
- потактовое моделирование работы цифровой системы;
- анализ выходных и внутренних логических сигналов цифровой системы или ее блоков, текущих состояний ячеек памяти и регистров.

Исходя из сформулированных положений структура системы функционально-логического моделирования для совместной отладки технических средств и программно-микропрограммного обеспечения цифровых систем должна иметь вид, представленный на рис. 2.

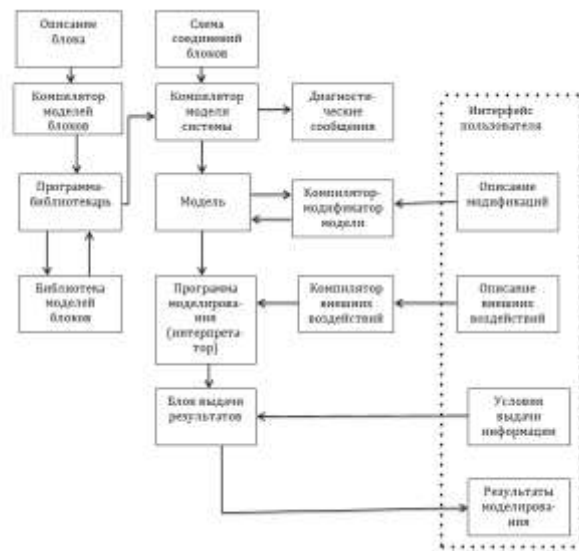


Рис. 2. Структура системы функционально-логического моделирования цифровых систем

III. ПРЕДЛАГАЕМАЯ МАТЕМАТИЧЕСКАЯ МОДЕЛЬ ТЕХНИЧЕСКИХ СРЕДСТВ ЦИФРОВЫХ СИСТЕМ

Рассмотрим математическую модель технических средств цифровой системы, составленную с учетом сформулированных требований.

В модель БИС или блока t входят следующие компоненты.

1. Множество переменных P , которые назовем терминальными переменными. Каждая терминальная переменная p может принимать значения из конечного множества Z_p . Терминальные переменные соответствуют сигналам на выводах БИС или блоков.

2. Множество внутренних переменных R , каждая из которых может принимать значения из конечного множества G_r . Внутренние переменные соответствуют регистрам БИС. Декартово произведение $\prod_{r \in R} G_r$ образует множество внутренних состояний A .

3. Отображение множеств A в множество подмножеств P , то есть $\Gamma: A \rightarrow \{P'\}$, $P' \in P$, где P' есть множество входных переменных, $P'' = P/P'$ - множество выходных переменных, $X_a = \prod_{p' \in P'} Z_{p'}$ - множество входных состояний, $Y_a = \prod_{p'' \in P/P'} Z_{p''}$ - множество выходных состояний.

4. Для каждого $a \in A$ заданы отображения: $H: (X_a, A) \rightarrow Y_a$; $W: (X_a, A) \rightarrow A$.

Таким образом, модель $m = (P, \{Z_p\}, R, \{G_r\}, \Gamma, H, W)$.

При объединении моделей образуется сеть S , в которую входят следующие компоненты.

1. Множество моделей $M = \{m_i\}$. Обозначим $V = \cup_i P_i$ множество терминальных переменных всех моделей.

2. Множество узлов U .

3. Множество терминальных переменных сети \mathbf{P}_S , каждая из которых может принимать значения из конечного множества \mathbf{Z}_{P_S} .

4. Отображение $Q: \mathbf{V}_S \rightarrow \mathbf{U}$, где $\mathbf{V}_S = \mathbf{V} \cup \mathbf{P}_S$, такое, что все терминальные переменные $v_S \in \mathbf{V}_S$, отображаемые в один и тот же элемент u , имеют одинаковую область значений \mathbf{Z}_u , то есть $(\forall u)(u = Q(v'_S) \& u = Q(v''_S) \rightarrow \mathbf{Z}_{v'_S} = \mathbf{Z}_{v''_S} = \mathbf{Z}_u$.

5. Частично-определенные функции объединения $F_u(v_{S1}, \dots, v_{Sj}, \dots)$, заданные для каждого узла $u \in \mathbf{U}$. Здесь $v_{S1}, \dots, v_{Sj}, \dots$ - все выходные переменные моделей и входные переменные сети, отображаемые в узел u . Область значений F_u есть \mathbf{Z}_u .

Таким образом, $\mathbf{S} = (\mathbf{M}, \mathbf{U}, \mathbf{P}_S, \{\mathbf{Z}_p\}, Q, \{F_u\})$.

Сеть \mathbf{S} является моделью $\tilde{\mathbf{M}}$ некоторого блока при следующих условиях.

1. Множество внутренних переменных $\tilde{\mathbf{R}} \supseteq \cup \mathbf{R}_i$. Каждая из внутренних переменных может принимать значения из $\mathbf{G}_{\tilde{r}}$, $\tilde{r} \in \tilde{\mathbf{R}}$. Тогда $\tilde{\mathbf{A}} \supseteq \prod_i \mathbf{A}_i$.

2. Множество терминальных переменных $\tilde{\mathbf{P}} = \mathbf{P}_S$, причем справедливо равенство:

$$\mathbf{P}_S = \left\{ p_S \mid \begin{array}{l} (\forall u)((\exists p_S) \\ u = Q(p_S) \cup (\forall \tilde{a}) \times (\exists i, v) v \in \mathbf{P}'_i, u = Q(v)) \end{array} \right\}$$

Это условие требует, чтобы каждому узлу u при любом состоянии \tilde{a} соответствовала хотя бы одна выходная переменная какой-либо модели или хотя бы одна терминальная переменная сети.

3. Отображение $\tilde{\Gamma}: \tilde{\mathbf{A}} \rightarrow \{\tilde{\mathbf{P}}'\}$, $\tilde{\mathbf{P}}' \subseteq \tilde{\mathbf{P}}$, каждому $\tilde{a} \in \tilde{\mathbf{A}}$ ставит в соответствие

$$\tilde{\mathbf{P}}' = \left\{ \tilde{p}' \mid \begin{array}{l} (\forall u)((\exists p'_S) \\ u = Q(p'_S) \cup (\forall \tilde{a}) \times (\exists i, v) v \in \mathbf{P}'_i, u = Q(v)) \end{array} \right\}$$

При этом при любом \tilde{a} каждому узлу u соответствует хотя бы одна входная переменная модели $\tilde{\mathbf{M}}$ или выходная переменная какой-либо модели m_i .

Множество $\tilde{\mathbf{X}}_{\tilde{a}} = \prod_{\tilde{p}' \in \tilde{\mathbf{P}}'} \tilde{\mathbf{Z}}_{\tilde{p}'}$ есть множество входных состояний, множество $\tilde{\mathbf{Y}}_{\tilde{a}} = \prod_{\tilde{p}'' \in \tilde{\mathbf{P}}/\tilde{\mathbf{P}}'} \tilde{\mathbf{Z}}_{\tilde{p}''}$ - множество выходных состояний.

4. Значения входных переменных моделей m_i , а именно $p' \in \mathbf{P}'_i$, равны значениям функций $F_u(v_{S1}, \dots, v_{Sj}, \dots)$, где $u = Q(p')$, а значения выходных переменных сети $\tilde{p}'' \in \tilde{\mathbf{P}}''$ - значениям функций $F_u(v_{S1}, \dots, v_{Sj}, \dots)$, где $u = Q(\tilde{p}'')$, причем $v_{S1}, \dots, v_{Sj}, \dots$ принимают только те значения, при которых F_u определены.

5. Отображения $\tilde{\mathbf{H}}: (\tilde{\mathbf{X}}_{\tilde{a}}, \tilde{\mathbf{A}}) \rightarrow \tilde{\mathbf{Y}}_{\tilde{a}}$; $\tilde{\mathbf{W}}: (\tilde{\mathbf{X}}_{\tilde{a}}, \tilde{\mathbf{A}}) \rightarrow \tilde{\mathbf{A}}$ существуют.

Рассмотрим подробнее условие 5. Для существования отображений $\tilde{\mathbf{H}}$, $\tilde{\mathbf{W}}$ достаточно, чтобы при известных \tilde{a} и \tilde{p}' все терминальные переменные моделей

m_i были определены. В этом случае существование $\tilde{\mathbf{H}}$ следует из выполнения условия 4, а существование $\tilde{\mathbf{W}}$ из существования отображений \tilde{W}_i .

Отображения $\tilde{H}_i: (\mathbf{X}_i, \mathbf{A}) \rightarrow \mathbf{Y}_i$ при фиксированном $a \in \mathbf{A}$ есть набор многозначных логических функций $\mathbf{Y}_i = F_i(\mathbf{X}_i)$, где $\mathbf{X}_i, \mathbf{Y}_i$ - векторы входных и выходных переменных i -й модели. Тогда при заданных $\tilde{\mathbf{A}}$ и $\tilde{\mathbf{P}}'$ все переменные \mathbf{V} определены, если система многозначных логических уравнений имеет решение [30]:

$$v_{ik} = f_{ik}(v_{i1}, \dots, v_{iL_i}), i=1, \dots, N; k=1, \dots, K_i; \quad (1)$$

$$v_j = F_{u_j}(v_{j1}, \dots, v_{jT_j}), j=1, \dots, J,$$

где N - количество моделей m_i ;

K_i - количество выходных переменных модели m_i ;

J - количество узлов в множестве \mathbf{U} ;

T_j - количество выходных переменных моделей, отображаемых в узел u_j ;

f_{ik} - многозначная логическая функция, задающая зависимость выходной переменной v_{ik} от входных переменных модели m_i ;

F_{u_j} - функция объединения в узле u_j .

Блок-схема алгоритма моделирования цифровых систем с использованием введенных моделей приведен на рис.3.



Рис. 3. Схема алгоритма синхронного моделирования цифровых систем

IV. ЗАКЛЮЧЕНИЕ

Предлагаемая структура и математическая модель могут быть использованы при построении отечественной системы совместного моделирования технических средств и программного обеспечения на этапе проектирования для отладки и сравнительного анализа вариантов.

ЛИТЕРАТУРА

- [1] Юсупов Р.М. Информатизация и наука // Проблемы информатизации. 1994. № 1-2. С. 22-28.
- [2] Тихонов А.Н., Иванников А.Д. Информатизация российского образования и общества в целом // Международное сотрудничество. 1997. № 4. С. 1.
- [3] Горохов Ю.П., Жевнов И.И., Иванников А.Д., Татарников Ю.А. Основные направления программы информатизации высшего образования // Педагогическая информатика. 1993. № 2. С. 38.
- [4] Тихонов А.Н., Иванников А.Д., Цветков В.Я. Образовательные услуги как инструмент качества образования // Международный журнал прикладных и фундаментальных исследований. 2009. № 3. С. 94-96.
- [5] Абрамов А.Г., Булакина М.Б., Иванников А.Д., Кривошеев А.О., Шмелькова Л.В. Система дополнительного профессионального образования Российской Федерации: ключевые статистические показатели по результатам автоматизированного сбора данных // Вестник Российского университета дружбы народов. Серия: Информатизация образования. 2014. № 1. С. 133-144.
- [6] Иванников А.Д. Тематические интернет-порталы как средство агрегации электронного контента в заданной предметной области // Информационные технологии. 2014. №3. С. 43-48.
- [7] Стемпковский А.Л., Амербаев В.М., Соловьев Р.А. Принципы рекурсивных модулярных вычислений // Информационные технологии. 2013. № 2. С. 22-27.
- [8] Tiunov I.V., Lipatov I.A., Zheleznikov D.A. Digital circuits resynthesis approach for FPGAs based on logic cell with built-in flip-flop. // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2019. Вып.3. С. 33-36.
- [9] Иванников А.Д., Стемпковский А.Л. Математическая модель отладки проектов сложных цифровых схем и микросистем на основе представления последних в виде семейства стационарных динамических систем // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2014. Вып. 2. С. 123-128.
- [10] Иванников А.Д. Теоретические основы выбора множества отладочных тестов цифровых систем на основе алфавита выполняемых функций // Информационные технологии. 2019. Т.25. № 11. С. 657-662.
- [11] Lin, Yi-Li; Su, Alvin W.Y. Functional Verification for SoC Software/Hardware Co-Design: From Virtual Platform to Physical Platform . 2011 IEEE International SOC Conference (SOCC). Pp. 201-206.
- [12] Shi, Jin; Liu, Weichao; Jiang, Ming; et al. Software Hardware Co-Simulation and Co-Verification in Safety Critical System Design. 2013 IEEE International Conference on Intelligent Rail Transportation (ICIRT). Pp. 71-74. DOI: 10.1109/ICIRT.2013.6696270
- [13] Стемпковский А.Л., Тельпухов Д.В., Соловьев Р.А., Соловьев А.Н., Мячиков М.В. Моделирование возникновения неисправностей для оценки надежностных характеристик логических схем // Информационные технологии. 2014. № 11. С. 30-36.
- [14] Иванников А.Д. Формирование отладочного набора тестов для проверки функций цифровых систем управления объектами // Мехатроника, автоматизация, управление. 2017. Т. 18. №. 12. С. 795-801.
- [15] Гаврилов С.В., Иванова Г.А., Рыжова Д.И., Соловьев А.Н., Стемпковский А.Л. Методы синтеза помехозащищенных комбинационных блоков // Информационные технологии. 2015. Т. 21. № 11. С. 821-826.
- [16] Никитин С.А., Николаев А.В., Путря Ф.М., Неклюдов И.А. Автоматизация маршрута функциональной верификации на основе стандарта IP-XACT // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2020. Вып.4. С. 90-94.
- [17] Гаврилов С.В., Глебов А.Л., Стемпковский А.Л. Анализ помехоустойчивости цифровых схем на основе логических импликаций // Известия высших учебных заведений. Электроника. 2002. № 5. С. 60.
- [18] Стемпковский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В. Повышение отказоустойчивости логических схем с использованием нестандартных мажоритарных элементов // Информационные технологии. 2015. Т. 21. № 10. С. 749-756.
- [19] Grevtsev N.A., Chibisov P.A. Multicore Processor Models Verification in the Early Stages // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2019. Вып. 2. С. 12-17.
- [20] Бибило П.Н., Романов В.И. Система логической оптимизации функционально-структурных описаний цифровых устройств на основе продукционно-фреймовой модели представления знаний // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2020. Вып. 4. С. 9-16.
- [21] Nguen M.D. Hardware/software formal co-verification using hardware verification techniques. Fourth Int. Conf. on Communications and Electronics (ICCE). 2012. Pp. 465-470. DOI: 10.1109/CCE.2012.6315951
- [22] Gao Y., Liu L., Du H. and Gong Q. Software and Hardware Co-Verification Technology Based on Virtual Prototyping of RF Soc. 2018 IEEE International Conference on Computer and Communication Engineering Technology (CCET), Beijing. 2018. Pp. 244-247. DOI: 10.1109/CCET.2018.8542186
- [23] Железников Д.А., Заплетина М.А., Хватов В.М. Исследование механизма разрыва и перетрассировки на этапе топологического синтеза в базисе реконфигурируемых систем на кристалле // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2018. Вып. 1. С. 188-192.
- [24] Romanov A.Yu., Ivannikov A.D., Romanova I.I. Simulation and synthesis of network-on-chip by using NOCSIPM HDL library. 2016 IEEE 36th International Conference on Electronics and Nanotechnology, ELNANO 2016 – Conference Proceedings. 36. 2016. Pp. 300-303.
- [25] Ivannikov A., Kulagin V., Romanov A., Pozdnev B. Algebraic models of digital system design debugging decomposition. Proceedings of 2016 IEEE East-West Design and Test Symposium, EWDTs 2016. 2016. P. 7807712.
- [26] Гаврилов С.В., Иванова Г.А., Стемпковский А.Л. Теоретико-графовая модель сложно-функциональных блоков для КМОП технологий с трехмерной структурой транзистора // Известия ЮФУ. Технические науки. 2014. № 7 (156). С. 58-68.
- [27] Ivannikov A., Romanov A. Stempkovsky A. Set-theoretic model of digital systems functioning. 2016 International

Siberian Conference on Control and Communications (SIBCON), Moscow. 2016. Pp. 1-6.

- [28] Скуратов А.К. Математическая модель функционирования специализированного микропроцессорного устройства как основа для составления его функциональной спецификации // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2020. Вып. 3. С. 65-72.
- [29] Андрианов А.В. Методы обеспечения переносимости тестовых сценариев между различными

верификационными окружениями // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2018. Вып. 2. С. 79-85.

- [30] Иванников А.Д., Степковский А.Л. Анализ итерационных методов решения систем логических уравнений и их использование при моделировании цифровых систем // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2020. Вып.3. С. 2

Digital Block Mathematical Model for the Joint Hardware and Software/firmware Simulation System

A.D. Ivannikov, A.L. Stempkovskiy

Institute for design problems in microelectronics of RAS, Moscow

Abstract — Based on specific modern digital system features, the complex structure for hardware/software functional-logical simulation is proposed. The simulation aim is the debugging of hardware and software co-functioning on design stage. Hardware mathematical model with two levels of logical signal representation is developed. Such a model takes into account the modern digital system features, e.g. bidirectional buses, high impedance state of pin signals, block internal memory. It is shown that hardware simulation can be fulfilled by logical equation system solving on each simulation step.

Keywords — functional-logical simulation, design debugging, digital system design, hardware model.

REFERENCES

- [1] Usupov R.M. Informatizacia I nauka (Informatization and Science) // Problemi informatizacii. 1994. № 1-2. P. 22-28.
- [2] Tikhonov A.N., Ivannikov A.D. Informatization of Russian education and society as a whole // International cooperation. 1997. No. 4. P. 1.
- [3] Gorogov Y.P., Jevnov I.I., Ivannikov A.D. Tatarnikov Yu. A. Main streams of higher education informatization program // Pedagogicheskaya informatika. 1993. № 2. P. 38.
- [4] Tikhonov A.N., Ivannikov A.D., Cvetkov V.Ja. Obrazovatel'nye uslugi kak instrument kachestva obrazovaniya // Mezhdunarodnyj zhurnal prikladnyh i fundamental'nyh issledovanij. 2009. No 3. Pp. 94-96.
- [5] Abramov A.G., Bulakina M.B., Ivannikov A.D., Krivosheev A.O., Shmelkova L.V. The system of additional professional education of the Russian Federation: key statistical indicators based on the results of automated data collection // Bulletin of the Peoples' Friendship University of Russia. Series: Informatization of education. 2014. No. 1. Pp. 133-144.
- [6] Ivannikov A.D. Subject Internet portals as the means of aggregating electronic content in a given subject area // Information technologies. 2014. No. 3. Pp. 43-48.
- [7] Stempkovskiy A.L., Amerbaev V.M., Solovyev R.A.. Principles of recursive modular arithmetic. //Informacionnie tehnologii. 2013. No.2. Pp. 22-27.
- [8] Tiunov I.V., Lipatov I.A., Zheleznikov D.A. Digital circuits resynthesis approach for FPGAs based on logic cell with built-in flip-flop. // Problems of Perspective Micro- and Nanoelectronic Systems Development. 2019. Issue 3. Pp. 33-36.
- [9] Ivannikov A.D., Stempkovskiy A.L. Complex Digital Systems and Microsystems Design Debugging Mathematic Model on the Basis of Stationary Dynamic System Family Presentation // Problems of Perspective Micro- and Nanoelectronic Systems Development. 2014. Issue 2. Pp. 123-128.
- [10] Ivannikov A.D. Theoretical Basis for the Selection of Design Debugging Tests Set for Digital Systems Based on the Alphabet of Functions Performed // Informacionnie Tehnologii. 2019. Vol. 25. No. 11. Pp. 657-662.
- [11] Lin, Yi-Li; Su, Alvin W.Y. Functional Verification for SoC Software/Hardware Co-Design: From Virtual Platform to Physical Platform . 2011 IEEE International SOC Conference (SOCC). Pp. 201-206.
- [12] Shi, Jin; Liu, Weichao; Jiang, Ming; et al. Software Hardware Co-Simulation and Co-Verification in Safety Critical System Design. 2013 IEEE International Conference on Intelligent Rail Transportation (ICIRT). Pp. 71-74. DOI: 10.1109/ICIRT.2013.6696270.
- [13] Stempkovskiy A.L., Telpukhov D.V., Solovyev R.A., Solovyev A.N., Myachikov M.V. Fault simulation technique for logic circuits reliability characteristics evaluation // Informacionnie Tehnologii. 2014. No. 11. Pp. 30-36.
- [14] Ivannikov A.D. Debugging Input Set Generation for Testing of Control Digital Systems Functions // Mekhatronika, Avtomatizatsiya, Upravlenie. 2017. Vol. 18. No.12. Pp. 795-801.
- [15] Stempkovskiy A.L., Gavrilov S.V., Ivanova G.A., Ryzhova D.I., Soloviev A.N. Metody sinteza pomekhozashchishchennykh kombinatsionnykh blokov // Informatsionnye tehnologii, 2015. V. 21. No.11. Pp. 821-826.
- [16] Nikitin S.A., Nikolaev A.V., Putrya F.M., Neklyudov I.A. Route automation of Functional Verification based on IP-XACT standard // Problems of Perspective Micro- and Nanoelectronic Systems Development. 2020. Issue 4. P. 90-94. doi:10.31114/2078-7707-2020-4-90-94.
- [17] Gavrilov S.V., Glebov A.L., Stempkovskiy A.L. Digital circuits noise immunity analysis on logical implication base

- // *Izvestiya Vysshikh Uchebnykh Zavedenii. Elektronika.* 2002. No. 5. P. 60.
- [18] Stempkovskiy A.L., Telpukhov D.V., Solovyov R.A., Myachikov M.V. Increasing the fault tolerance of logic circuits using non-standard majority elements // *Informacionnie Technologii.* 2015. Vol. 21. No. 10. Pp. 749-756.
- [19] Grevtsev N.A., Chibisov P.A. Multicore Processor Models Verification in the Early Stages // *Problems of Perspective Micro- and Nanoelectronic Systems Development.* 2019. Issue 2. P. 12-17.
- [20] Bibilo P.N., Romanov V.I. The system of logical optimization of functional structural descriptions of digital circuits based on production-frame knowledge representation model // *Problems of Perspective Micro- and Nanoelectronic Systems Development.* 2020. Issue 4. P. 9-16. doi:10.31114/2078-7707-2020-4-9-16
- [21] Nguen M.D. Hardware/software formal co-verification using hardware verification techniques. Fourth Int. Conf. on Communications and Electronics (ICCE). 2012. Pp. 465-470. DOI: 10.1109/CCE.2012.6315951
- [22] Gao Y., Liu L., Du H. and Gong Q. Software and Hardware Co-Verification Technology Based on Virtual Prototyping of RF Soc. 2018 IEEE International Conference on Computer and Communication Engineering Technology (CCET), Beijing, 2018. Pp. 244-247. doi: 10.1109/CCET.2018.8542186
- [23] Zheleznikov D.A., Zapletina M.A., Khvatov V.M. The Rip-up and Reroute Technique Research for Physical Synthesis in the Basis of Reconfigurable SoCs // *Problems of Perspective Micro- and Nanoelectronic Systems Development.* 2018. Issue 1. P. 188-192. doi:10.31114/2078-7707-2018-1-188-192
- [24] Romanov A.Yu., Ivannikov A.D., Romanova I.I. Simulation and synthesis of network-on-chip by using NOCSIPM HDL library. 2016 IEEE 36th International Conference on Electronics and Nanotechnology, ELNANO 2016 – Conference Proceedings. 36. 2016. Pp. 300-303.
- [25] Ivannikov A., Kulagin V., Romanov A., Pozdneev B. Algebraic models of digital system design debugging decomposition. Proceedings of 2016 IEEE East-West Design and Test Symposium, EWDTs 2016. 2016. P. 7807712.
- [26] Gavriliv S.V., Ivanova G.A., Stempkovskiy A.L. Theoretical Graph Model of Complex Functional Blocks for CMOS Technology with Three Dimension Transistor Structure. *Izvestiya UFU. Tehnicheskie Nauki.* 2014. No. 7 (156). Pp.58-68.
- [27] Ivannikov A., Romanov A. Stempkovskiy A. Set-theoretic model of digital systems functioning. 2016 International Siberian Conference on Control and Communications (SIBCON), Moscow. 2016. Pp. 1-6.
- [28] Skuratov A.K. Mathematical model of the functioning a specialized microprocessor device as a basis for compiling its functional specification // *Problems of Perspective Micro- and Nanoelectronic Systems Development.* 2020. Issue 3. P. 65-72. doi:10.31114/2078-7707-2020-3-65-72
- [29] Andrianov A.V. Methods of Achieving Test Scenario Portability Between Different Verification Environments // *Problems of Perspective Micro- and Nanoelectronic Systems Development.* 2018. Issue 2. P. 79-85. doi:10.31114/2078-7707-2018-2-79-85
- [30] Ivannikov A.D., Stempkovskiy A.L. Analysis of Iterative Methods for Solving Logical Equation Systems and their Use in Digital System Simulation // *Problems of Perspective Micro- and Nanoelectronic Systems Development.* 2020. Issue 3. P. 2-8. doi:10.31114/2078-7707-2020-3-2-8