

Проектирование аналоговых микросхем для экстремальных условий эксплуатации на основе базового матричного кристалла МН2ХА031

О.В. Дворников¹, В.А. Чеховский², Н.Н. Прокопенко^{3,4}, Я.Д. Галкин^{2,5}, А.В. Кунц^{2,5},
В.Е. Чумаков³

¹ОАО «Минский научно-исследовательский приборостроительный институт», г. Минск

²«Институт ядерных проблем» Белорусского государственного университета, г. Минск

³Донской государственный технический университет, г. Ростов-на-Дону, prokopenko@sssu.ru

⁴Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград

⁵Белорусский государственный университет информатики и радиоэлектроники, г. Минск

Аннотация—Рассмотрен комплекс конструктивно-схемотехнических решений, позволяющих создавать аналоговые микросхемы, сохраняющие свою работоспособность при воздействии проникающей радиации и низкой температуры: биполярно-полевой базовый матричный кристалл МН2ХА031 и его элементы – двухзатворный JFET, высокоомный полупроводниковый резистор для работы при температуре менее минус 100 °С, а также схемы на основе МН2ХА031 - операционный усилитель со встроенной обратной связью по синфазному сигналу, мультидифференциальный операционный усилитель с входными JFET, зарядочувствительный усилитель с входным двухзатворным JFET. Для интегральных элементов приведены результаты экспериментальных измерений вольтамперных характеристик и рассмотрены особенности Spice-моделей. Описаны электрические схемы микросхем аналоговых устройств и проанализированы результаты их схемотехнического моделирования.

Ключевые слова—полевой транзистор, управляемый р-п-переходом; двухзатворный транзистор; электрометрический усилитель; компенсация входного тока; зарядочувствительный усилитель.

I. ВВЕДЕНИЕ

Под экстремальными условиями эксплуатации интегральных микросхем (ИМС) обычно понимают условия к механическим и климатическим воздействиям более жесткие, чем в ГОСТ 18725, и/или требования к специальным факторам, ненормированные в указанном ГОСТ. Так, для ИМС, предназначенных для использования в космической аппаратуре, дополнительно задают требования к акустическому шуму, устойчивости при воздействии гамма-излучения, высокоэнергетичных протонов и тяжелых заряженных частиц, а требования к диапазону рабочих температур (от минус 197 °С до 70 °С), атмосферному пониженному давлению (10^{-9} мм рт. ст.)

и надежности значительно превосходят указанные в ГОСТ 18725.

Целью статьи является рассмотрение новых конструктивно-схемотехнических решений, применяемых при разработке аналоговых ИМС на биполярных (bipolar transistors, BiT) и полевых транзисторах, управляемых р-п-переходом (junction field effect transistors, JFET), позволяющих увеличить радиационную стойкость и расширить диапазон рабочих температур без значительного изменения технологического маршрута изготовления кремниевых ИМС. Приводится краткая информация о новом базовом матричном кристалле (БМК) МН2ХА031, в котором используются двухзатворные JFET и высокоомные полупроводниковые «пинч-резисторы».

II. ЭЛЕМЕНТЫ БМК МН2ХА031: ДВУХЗАТВОРНЫЙ JFET

В конструкции обычных JFET используется изменение сопротивления канала за счет уменьшения толщины токопроводящей части канала при одновременном расширении областей пространственного заряда двух обратносмещенных р-п-переходов. Для интегральных JFET из-за особенностей формирования полупроводниковых слоев с разным типом проводимости, концентрация примеси в нижнем затворе (bottom gate, BG), залегающим в объеме полупроводника, обычно намного меньше, чем в верхнем (top gate, TG), контактирующем с поверхностью. По указанной причине, крутизна верхнего затвора намного больше, чем нижнего. Другой особенностью интегральных JFET является то, что площадь р-п-перехода нижний затвор-канал больше, чем верхний затвор-канал. Кроме того, с нижним затвором соединен р-п-переход, изолирующий JFET от других элементов, расположенных на полупроводниковой подложке. Следствием рассмотренных конструктивных

особенностей является большая емкость и обратный ток нижнего затвора [1, 2].

Проведенные нами экспериментальные исследования показали, что статические параметры интегральных JFET, изготовленных в ОАО «ИНТЕГРАЛ», крайне незначительно изменяются при воздействии флюенса быстрых электронов до 10^{14} эл./см² с энергией 6 МэВ и поглощенной дозе гамма-квантов ⁶⁰Со до 3 Мрад, причем основным критерием радиационной стойкости JFET для применения в аналоговых ИМС является допустимая величина обратного тока затвора [3].

Следовательно, для повышения радиационной стойкости и быстродействия аналоговых ИМС с JFET целесообразно применение двухзатворного JFET (double gate JFET, DG JFET) с управлением верхним затвором. Более того, при использовании DG JFET во входном каскаде ИМС возможно применение «паразитного» ВiТ, в котором коллектором является верхний затвор, базой – исток, а эмиттером – нижний затвор, для уменьшения падения напряжения на резисторах, вызванного протеканием по ним постоянного входного тока [4, 5]. Последнее достигается тем, что при включении «паразитного» ВiТ в прямом направлении входной ток протекает в его коллектор, а не по резисторам, соединенным с верхним затвором.

Конструкция DG JFET была разработана для применения в радиационно-стойком БМК МН2ХА031, изготовленном по технологическому маршруту ЗСВiТ ОАО «ИНТЕГРАЛ», позволяющему формировать на одной полупроводниковой подложке р-JFET (рис. 1) и комплементарные вертикальные ВiТ [6].

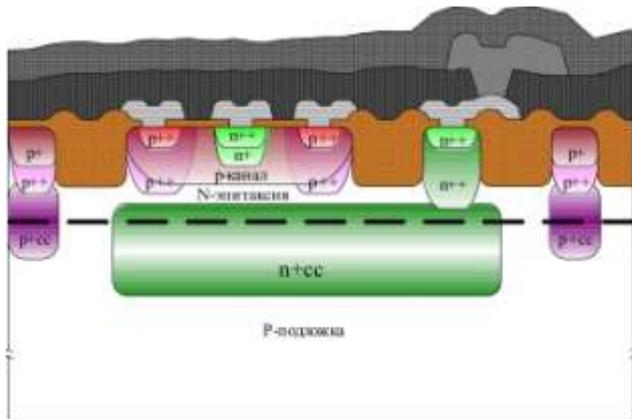


Рис. 1. Типовая структура р-JFET по технологическому маршруту ЗСВiТ ОАО «ИНТЕГРАЛ»

Особенностями разработанного DG JFET являются:

- 1) Минимизация емкости стока и сопротивления истока, благодаря топологии с центрально расположенным стоком, окруженным со всех сторон верхним затвором и истоком. Такую конструкцию рекомендуется применять в усилительных каскадах с общим истоком, в которых сопротивление полупроводниковой области истока уменьшает крутизну JFET и, следовательно, усиление

напряжения, а емкость стока усиливается эффектом Миллера.

- 2) Уменьшение обратного тока верхнего затвора за счет минимизации площади р-п-перехода верхний затвор-канал и устранения областей с максимальной кривизной и, таким образом, максимальной напряженностью электрического поля.

- 3) Уменьшение сопротивления полупроводниковой области n+-верхнего затвора вследствие контактирования металлического межсоединения с областью верхнего затвора по всей ее протяженности.

- 4) Формирование межсоединений с шириной (4,5 мкм) и зазором (1,5 мкм) соответствующими сетке, принятой на БМК. Окна всех элементов (транзисторов, резисторов, конденсаторов, изолирующих карманов) на БМК расположены таким образом, что любой металлический проводник, шириной 4,5 мкм, либо покрывает окно с требуемым перекрытием, либо будет расположен от ближайшего проводника с требуемым зазором в 1,5 мкм.

- 5) Глубина залегания (толщина) полупроводниковых областей (р-канал, n-эпитаксиальный слой, n+-скрытый слой) выбрана таким образом, чтобы при увеличении напряжения на обратном смещенном р-п-переходе нижний затвор-канал область пространственного заряда этого перехода вначале распространялась преимущественно в эпитаксиальный слой, а затем, дойдя до n+-скрытого слоя, начинала распространяться в р-канал. Таким способом в разработанной конструкции уменьшается напряжение отсечки нижнего затвора. Последнее свойство очень важно для аналоговых ИМС с малым напряжением питания.

Для изготовленных образцов DG JFET была изучена передаточная вольтамперная характеристика (ВАХ), т.е. зависимость тока стока I_D от напряжения затвор-исток V_{GS} при различном напряжении нижний затвор-исток V_{BS} или верхний затвор-исток V_{TG} (рис. 2, 3), а также зависимость отношения крутизны g_m к I_D от тока стока или напряжения затвор-исток.

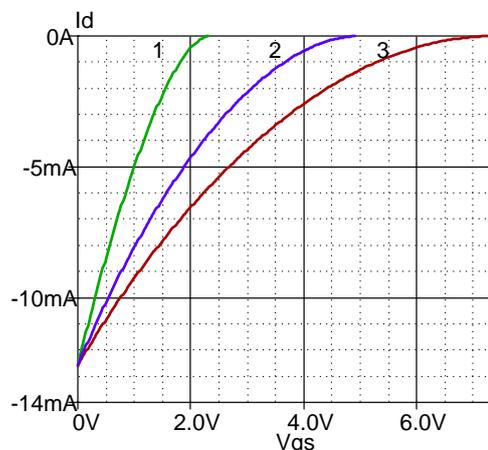


Рис. 2. Передаточная ВАХ DG JFET: 1- с соединенными затворами, 2- управление верхним затвором и $V_{BS}=0$, 3- управление нижним затвором и $V_{TG}=0$

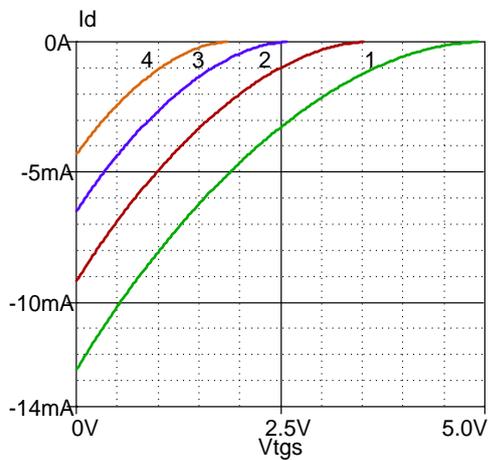


Рис. 3. Передаточная BAX DG JFET при управлении верхним затвором: 1- $V_{BGS}=0$, 2- $V_{BGS}=1$ В, 3- $V_{BGS}=2$ В, 4- $V_{BGS}=3$ В

Как следует из результатов измерений максимальная крутизна и напряжение отсечки V_{TH} верхнего затвора составляют 5,58 мА/В и 5,1 В, а нижнего - 3,72 мА/В и 7,5 В. Обратный ток верхнего и нижнего затворов близки по величине и не превышают $5 \cdot 10^{-12}$ А, однако площадь верхнего затвора почти в 8,3 раза меньше, чем нижнего. Можно предложить, что измеренные значения обратного тока определяются возможностями применяемого измерительного прибора ИППП-1 и, в большей степени, сопротивлением изоляции металлокерамических корпусов Н16.48-1ВН, в которые были собраны образцы DG JFET.

Полученные экспериментальные зависимости $g_M / I_D = f(I_D)$ и $g_M / I_D = f(V_{GS})$ позволяют сформулировать следующие рекомендации:

- наилучшим режимом работы JFET, обеспечивающим максимальное усиление напряжения при минимальном токе потребления за счет большой величины g_M / I_D , является режим работы при напряжении затвор-исток вблизи напряжения отсечки,
- реализация указанного режима дополнительно обеспечивает температурную стабильность рабочей точки, достигаемую обычно при $|V_{GS}| = |V_{TH}| - 0,66$ В, но уменьшает допустимый диапазон рабочего напряжения ИМС за счет относительно большого падения напряжения на обратном смещенном переходе затвор-исток,
- наиболее целесообразно применение DG JFET при постоянном обратном напряжении на нижнем затворе, что одновременно обеспечивает высокое отношение g_M / I_D и большой допустимый диапазон рабочего напряжения.

На основе результатов измерений создана электрическая модель (рис. 4) DG JFET, удовлетворительно описывающая его BAX [7]. Кроме выводов истока S, стока D, верхнего Tg и нижнего Bg

затворов на рис. 4 изображен вывод Sub подложки p-типа, который должен быть соединен с самым низким напряжением схемы.

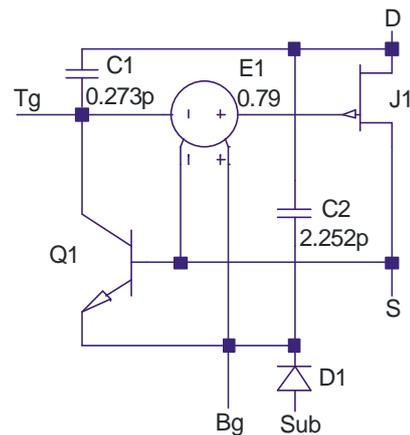


Рис. 4. Эквивалентная электрическая схема DG JFET в LTSpice

III. ЭЛЕМЕНТЫ БМК МН2ХА031: ВЫСОКООМНЫЕ ПОЛУПРОВОДНИКОВЫЕ РЕЗИСТОРЫ

Интегральные резисторы обычно применяют для установки рабочей точки транзисторов ИМС, поэтому температурные коэффициенты сопротивлений обязательно учитываются при схемотехническом проектировании.

Исследования температурных зависимостей сопротивлений разных полупроводниковых областей были выполнены ранее для типового диапазона температур эксплуатации ИМС, примерно от минус 60 °С до +125 °С [8-10].

В последнее время появились исследования резисторов, сформированных на различных полупроводниковых материалах, и сопротивлений каналов полевых транзисторов при криогенных температурах [11-13].

Выполненные нами криогенные измерения ВАХ элементной базы ИМС, изготовленных по техмаршруту ЗСВtT, показали значительное увеличение сопротивления полупроводниковых резисторов p-типа проводимости при температуре минус 197 °С, приводящее к резкому уменьшению тока потребления и ухудшению параметров микросхем.

В сложившейся ситуации, одной из задач проводимых работ стала разработка конструкции высокоомного резистора для работы при температуре менее минус 100 °С без значительного изменения технологического маршрута изготовления кремниевых ИМС.

На основе выполненных экспериментальных исследований (рис. 5) в качестве высокоомных резисторов нами предложено использование «пинч-резисторов» (pinch resistors), т.е. JFET с соединенными выводами затвора и истока, работающие в линейной

области ВАХ при напряжении на резисторе значительно меньшем напряжения отсечки JFET.

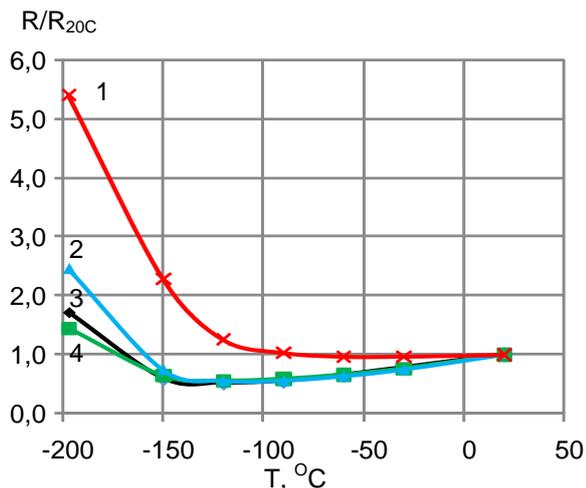


Рис. 5. Зависимость нормированного сопротивления интегральных резисторов от температуры

Так, на рис. 5 показаны зависимости нормированного сопротивления (отношения сопротивления резистора при текущей температуре к его значению при 20 °C) от температуры для различных интегральных резисторов: 1 - полупроводникового резистора р-типа проводимости техмаршрута ЗСВіТ; 2, 4 - «пинч-резисторов» соответственно на р-JFET и п-JFET разных техмаршрутов изготовления биполярно-полевых микросхем ОАО «ИНТЕГРАЛ» [6]. Изменение сопротивления «пинч-резисторов» в диапазоне температур от минус 197 °C до 20 °C примерно в 3 раза меньше, чем полупроводникового резисторов. Заметим, что при использовании «пинч-резисторов» необходимо учитывать наличие нелинейности их ВАХ (рис. 6), особенно значительной при низких температурах из-за уменьшения напряжения отсечки JFET.

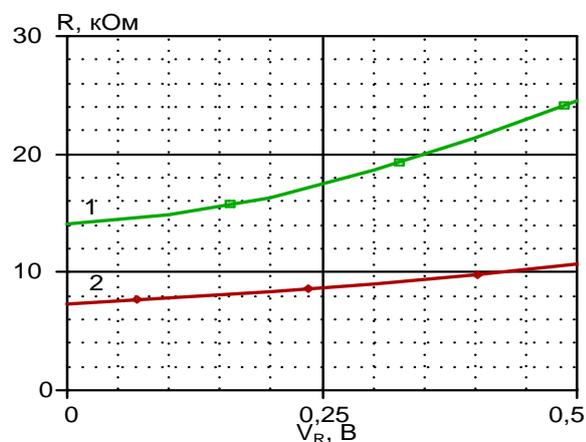


Рис. 6. Зависимость сопротивления «пинч-резистора» техмаршрута ЗСВіТ от падения напряжения на нем: 1 – при минус 197 °C, 2 – при 20 °C

Нелинейность ВАХ «пинч-резисторов» может быть уменьшена благодаря последовательному соединению нескольких резисторов и уменьшению, таким образом, падения напряжения на каждом из них.

При схемотехническом моделировании для адекватного описания ВАХ «пинч-резистора» вполне достаточно применение модели Шихмана-Ходжеса с предложенной в [3] методикой учета низких температур.

IV. МОДЕРНИЗИРОВАННЫЙ БАЗОВЫЙ МАТРИЧНЫЙ КРИСТАЛЛ МН2ХА031

Результаты выполненных работ использованы в конструкции и библиотеке Spice-параметров модернизированного БМК МН2ХА031, отличие которого от исходного [14, 15] заключается в следующем:

- малощумящие р-JFET заменены на пару DG JFET, расположение которых на топологии позволяет их использовать как входные транзисторы дифференциальных каскадов (ДК) с соединенными или отдельными затворами, либо в качестве одного р-JFET с увеличенной крутизной,
- размещение на топологии многоэмиттерных п-р-п- и р-п-р-транзисторов выполнено способом, упрощающим их применение в ДК с малощумящими ВіТ,
- окна всех элементов БМК соответствуют сетке межсоединений шириной 4,5 мкм и зазором в 1,5 мкм,
- топология р-JFET откорректирована для упрощения реализации «пинч-резисторов»,
- для увеличения радиационной стойкости вертикальный р-п-р-транзистор выполнен в отдельном изолированном кармане п-типа проводимости, соединенном с эмиттером.

Одним из главных преимуществ модернизированного БМК является апробированная библиотека Spice-параметров интегральных элементов, включающая идентифицированные параметры DG JFET для предложенной модели, что допускает применение DG JFET при синтезе и схемотехническом моделировании аналоговых ИМС. Кроме того, модели всех активных элементов удовлетворительно описывают изменение ВАХ в диапазоне температур до минус 197 °C, при воздействии гамма-квантов с поглощенной дозой до 3 Мрад, флюенса нейтронов до 10¹⁵ н./см². При моделировании не учитывается только радиационное изменение тока затвора р-JFET. Результаты моделирования основных зависимостей для ВіТ, отражающие влияние внешних воздействий, показаны на рис. 7-9.

Именно эти модели применены при разработке электрических схем интегральных аналоговых устройств, приведенных в разделах V-VII настоящей статьи.

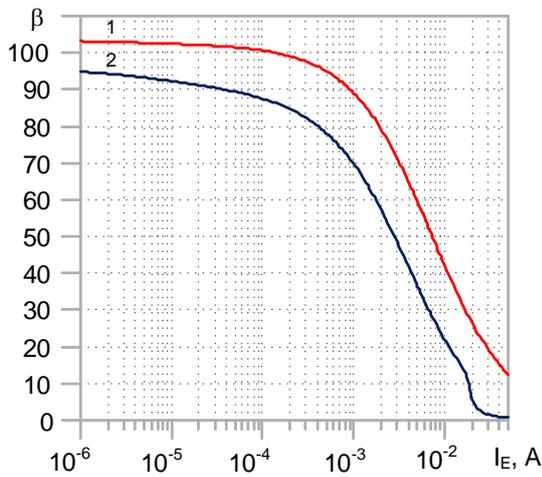


Рис. 7. Зависимость коэффициента усиления базового тока β транзисторов МН2ХА031 от эмиттерного тока при температуре 20 °С: 1 — n-p-n; 2 — p-n-p

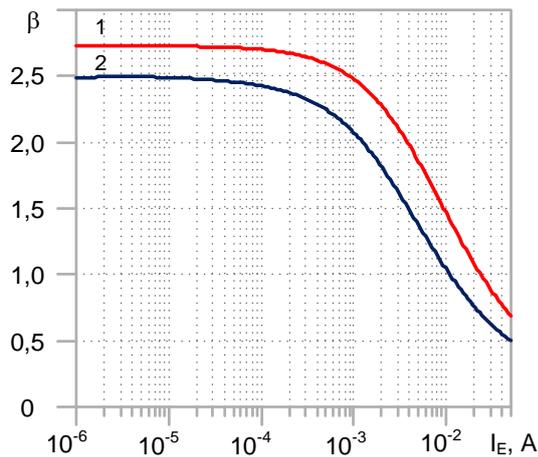


Рис. 8. Зависимость коэффициента усиления базового тока транзисторов МН2ХА031 от эмиттерного тока при температуре минус 197 °С: 1 — n-p-n; 2 — p-n-p

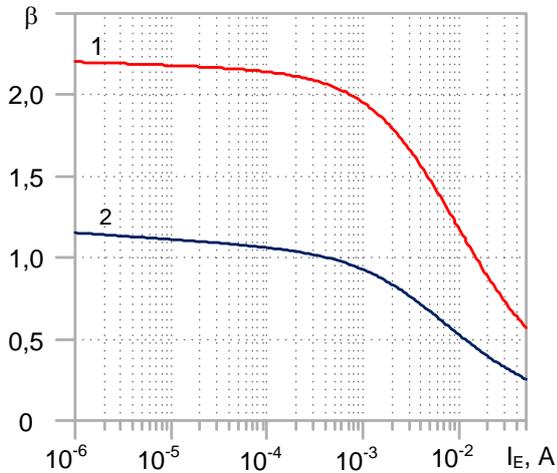


Рис. 9. Зависимость коэффициента усиления базового тока транзисторов МН2ХА031 от эмиттерного тока при температуре 20 °С и потоке нейтронов $F_N=10^{15}$ н./см²: 1 — n-p-n; 2 — p-n-p

V. ОПЕРАЦИОННЫЙ УСИЛИТЕЛЬ СО ВСТРОЕННОЙ ОБРАТНОЙ СВЯЗЬЮ ПО СИНФАЗНОМУ СИГНАЛУ

В операционном усилителе (ОУ) ОАmp2, схема которого показана на рис. 10, а упрощенная топология межсоединений - на рис. 11, в отличие от исходной схемы ОАmp1 [15] реализована обратная связь (ОС) по синфазному сигналу за счет введения дополнительного ДК на транзисторах Q29-Q34, сравнивающего сигнал с выхода резистивного делителя, включенного между парафазными выходами ОУ, и выводом FB. Все узлы на рис. 10 с одинаковым наименованием (Vcc, Vee, N1, N2, P1, P2) соединены между собой. В узлы Biasn, Biasp поступает напряжение от не показанного на рис. 10 блока смещения. Если напряжение в узле FB отличается от напряжения на базах Q31, Q34, то коллекторные токи Q29, Q30, Q32, Q33 изменяются и изменяют напряжение на коллекторах Q3, Q4, выходах Out1, Out2 до тех пор, пока напряжение в узле FB не станет равным выходному напряжению резистивного делителя R20, R21.

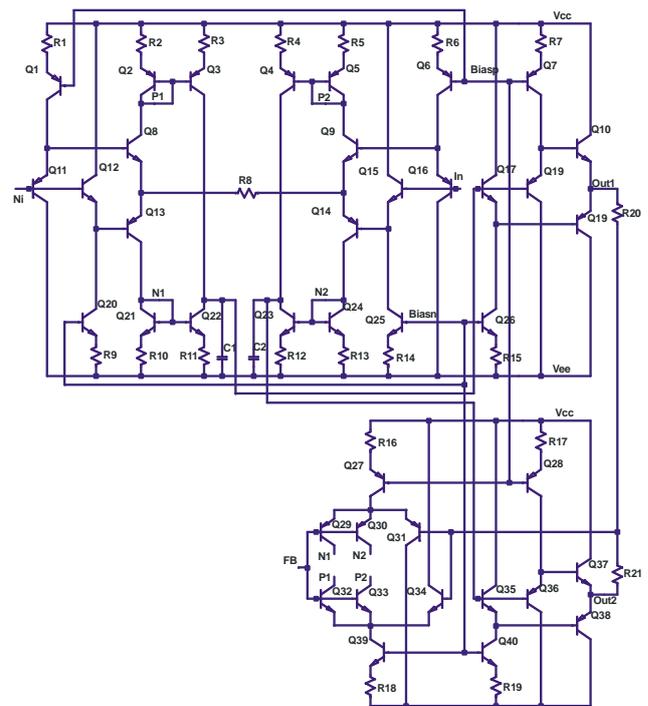


Рис. 10. Упрощенная электрическая схема ОУ ОАmp2

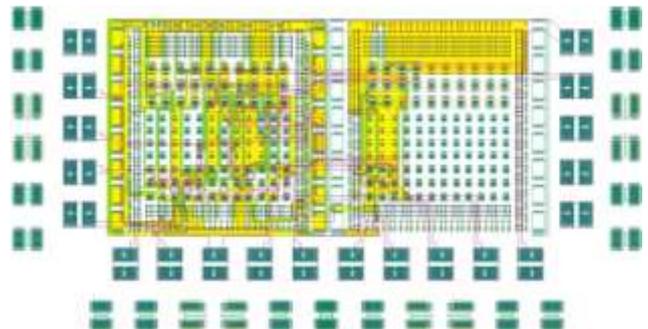


Рис. 11. Упрощенная топология межсоединений ОАmp2 на БМК МН2ХА031

Действие ОС по синфазному сигналу приводит к уменьшению напряжения смещения нуля V_{OFF} , вызванному технологическим разбросом параметров интегральных элементов и/или внешними воздействиями. Измерения экспериментальных образцов показали, что V_{OFF} усилителя OАmp2 почти в 10 раз меньше, чем подобного ОУ без ОС по синфазному сигналу. Более того, малое значение V_{OFF} сохраняется при воздействии флюенса быстрых электронов до $3,7 \times 10^{14}$ эл./см² с энергией 6 МэВ и начинает увеличиваться только при больших флюенсах быстрых электронов из-за существенного падения β биполярных транзисторов.

Встроенная ОС по синфазному сигналу позволяет также без применения дополнительных интегральных элементов реализовать новую, необходимую в аналоговых интерфейсах датчиков функцию – сдвиг постоянного уровня выходного напряжения ОУ.

Дополнительными преимуществами OАmp2 являются малый температурный дрейф напряжения смещения нуля $\Delta V_{OFF}/\Delta T \approx 4,4$ мкВ/°С (в диапазоне температур от минус 60 °С до 125 °С) и встроенная частотная коррекция, обеспечивающая при частоте единичного усиления в 60 МГц запас фазы 38 градусов. Заметим, что при разомкнутой цепи ОС $K_V > 70$ дБ.

VI. МУЛЬТИДИФФЕРЕНЦИАЛЬНЫЙ ОПЕРАЦИОННЫЙ УСИЛИТЕЛЬ

Для применения в космической аппаратуре на элементах БМК МН2ХА030 был разработан мультидифференциальный операционный усилитель (МОУ) OАmp3 [15], измерения которого выявили потерю работоспособности при температурах менее минус 150 °С, вызванную значительным увеличением сопротивления полупроводниковых резисторов.

В разработанном на БМК МН2ХА031 модернизированном МОУ OАmp8, показанном на рис. 12, 13, для обеспечения работоспособности при температуре минус 197 °С высокоомные полупроводниковые резисторы заменены на «пинч-резисторы».

МОУ OАmp8, как и исходный OАmp3, состоит из трех усилительных каскадов.

В первом каскаде, выполненном по схеме перегнутого каскода на транзисторах с общей базой (ОБ) Q1, Q2, нагрузкой которых являются «пинч-резисторы» J7, J9, применяется суммирование токов стока двух входных ДК J2, J3 и J5, J6 на резисторах J12, J13. Вторым усилительным каскадом является ДК на J10, J11 с нагрузкой в виде «токавого зеркала» Q3, Q4. Третий усилительный каскад образует транзистор с общим эмиттером Q5 с нагрузкой J14. Истоковый повторитель J16 с источником тока J15 и транзисторами Q6–Q11 представляет собой двухтактный выходной каскад.

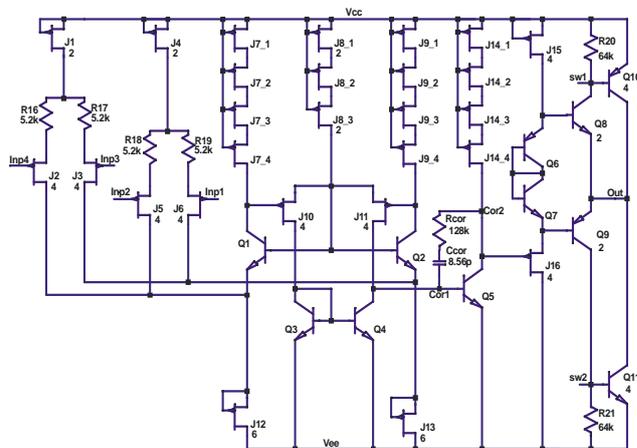


Рис. 12. Электрическая схема ОУ OАmp8



Рис. 13. Упрощенная топология межсоединений OАmp8 на БМК МН2ХА031

Схемотехническое моделирование основных параметров OАmp8 проводилось в программном обеспечении LTSpice для моделей интегральных элементов БМК МН2ХА031, достаточно адекватно описывающих температурные и радиационные изменения ВАХ (см. рис. 7-9).

Моделирование позволило установить:

- применение «пинч-резисторов» привело к уменьшению тока потребления I_{CC} в 2,16 раза при температуре минус 197 °С по сравнению с 20 °С, хотя для исходного МОУ (OАmp3) в указанном диапазоне температур изменение I_{CC} составляло 31 раз,
- температурное изменение I_{CC} качественно совпадает с изменением максимального тока стока JFET, который возрастает по абсолютной величине при уменьшении температуры до минус 90 °С ... минус 110 °С, а затем резко уменьшается,
- полученное температурное изменение напряжения смещения нуля V_{OFF} (рис. 14) и коэффициента усиления напряжения без цепи обратной связи K_V (рис. 15) допустимо для большинства применений МОУ в аналоговых схемах,

- при воздействии флюенса нейтронов 10^{15} н./см² I_{CC} уменьшается до 366 мкА по сравнению с 1,44 мА в нормальных условиях, но K_V в режиме холостого хода превышает 110 дБ, что обусловлено предельно малым радиационным изменением ВАХ р-JFET, в то время как радиационное падение β биполярных транзисторов сказывается, в основном, на ухудшении нагрузочной способности.

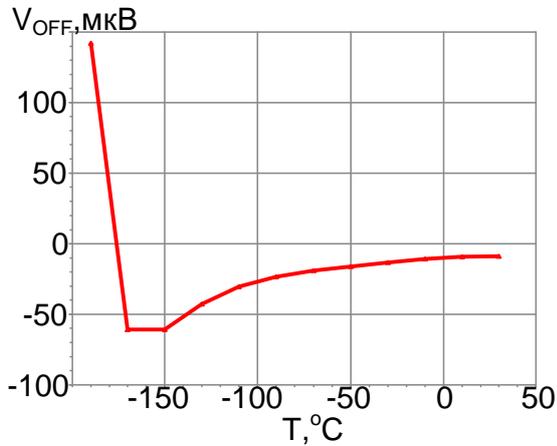


Рис. 14. Зависимость систематической составляющей напряжения смещения нуля OAmr8 от температуры

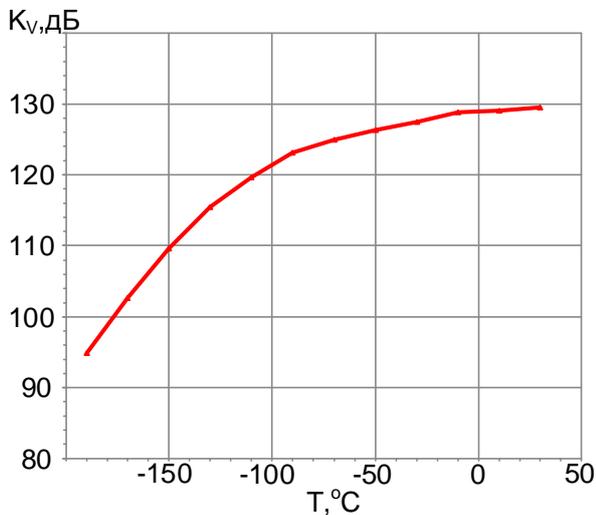


Рис. 15. Зависимость коэффициента усиления напряжения OAmr8 от температуры

VII. ЗАРЯДОЧУВСТВИТЕЛЬНЫЙ УСИЛИТЕЛЬ С ВХОДНЫМ ДВУХЗАТВОРНЫМ JFET

Наиболее целесообразно применение DG JFET БМК МН2ХА031 в тех аналоговых ИМС, основные параметры которых сильно зависят от величины входной емкости и/или входного тока. Примером такой схемы может служить зарядочувствительный усилитель (ЗЧУ), оценку основных параметров которого можно осуществить с помощью выражений [16]:

$$\tau_R = (C_D + C_{STR} + C_{INP}) \frac{C_\Sigma}{C_F g_M}, \quad (1)$$

$$ENC_S^2 = N(C_D + C_{STR} + C_{INP} + C_F)^2 \frac{1}{g_M}, \quad (2)$$

где τ_R — длительность фронта нарастания выходного сигнала; ENC_S — последовательная составляющая эквивалентного шумового заряда; C_D , C_{STR} — внутренняя емкость датчика (источника входного сигнала) и паразитная емкость, соединенные с входом ЗЧУ; C_{INP} — входная емкость ЗЧУ; C_Σ — суммарная емкость всех параллельных цепей, соединенных с высокоимпедансным узлом ЗЧУ в виде перегнутого каскода; C_F — емкость в цепи ОС; g_M — крутизна входного транзистора ЗЧУ; N — переменная, зависящая от температуры и параметров полосового фильтра, соединенного с выходом ЗЧУ.

Как следует из (1), (2) в качестве входного транзистора ЗЧУ целесообразно применять JFET с высоким отношением g_M/C_{INP} , которое достигается в DG JFET.

Схемотехническое моделирование выполнялось в LTSpice для ЗЧУ в виде перегнутого каскода, показанного на рис. 16, 17. Работа подобного ЗЧУ и этапы его параметрической оптимизации подробно рассмотрены в [16]. Отличие схемы рис. 17 от ранее рассмотренных заключается в замене входного обычного р-JFET на двухзатворный с возможностью соединения нижнего затвора BG с входом Inp или с источником постоянного напряжения V_{BGS} .

При моделировании напряжение источников питания составляло ± 5 В, температура — 20°C , ток стока I_2 — 5,78 мА. Транзистор I_2 состоял из 19-ти параллельно соединенных DG JFET. При указанных условиях крутизна I_2 с соединенными затворами на 50,8% больше, чем при управлении верхним затвором и $V_{BGS}=2$ В, однако суммарная емкость, подключенная к затвору при соединенных затворах, в 18,5 раз больше, чем при управлении одним верхним затвором. Как следует из результатов моделирования, приведенных на рис. 18, 19, управление верхним затвором привело к уменьшению уровня шумов ЗЧУ в 2,15 раза и увеличению быстродействия в 9,47 раз при малой емкости датчика ($C_D=1$ пФ), хотя при $C_D>300$ пФ предпочтительнее применять DG JFET с соединенными затворами. Ранее отмечалось, что одним из преимуществ DG JFET является возможность применения «паразитного» ВiТ для уменьшения падения напряжения на резисторах, вызванного протеканием по ним постоянного входного тока. К сожалению, эта функция допустима только для одного направления входного тока. Так, при применении в качестве входного транзистора двухзатворного р-JFET возможна компенсация влияния постоянного тока I_{INPDC} только втекающего в вывод Inp.

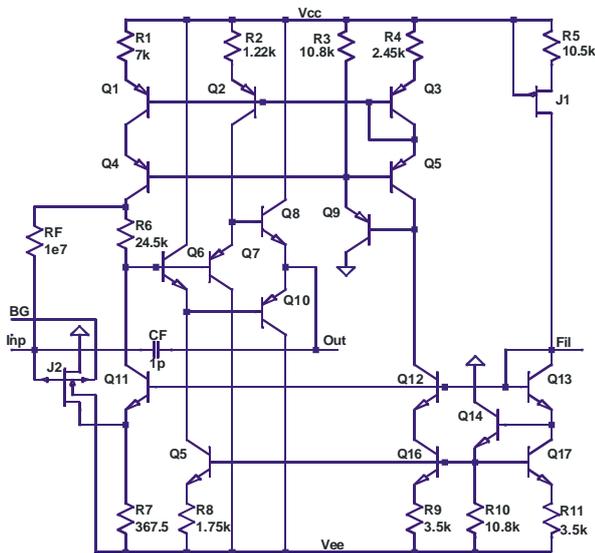


Рис. 16. Электрическая схема ЗЧУ с двухзатворным р-JFET на основе БМК МН2ХА031

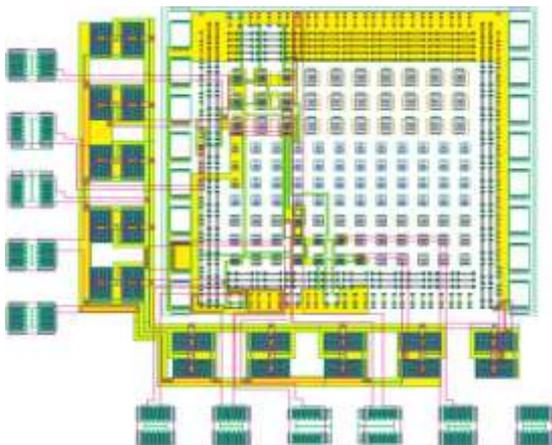


Рис. 17. Упрощенная топология межсоединений ЗЧУ (рис.16) на БМК МН2ХА031

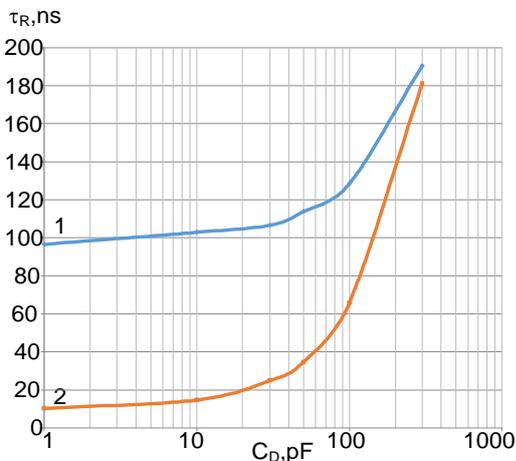


Рис. 18. Зависимость длительности фронта нарастания τ_R от емкости датчика C_D при разном включении DG JFET: 1- затворы соединены, 2- управление верхним затвором и $V_{BGS}=2$ В

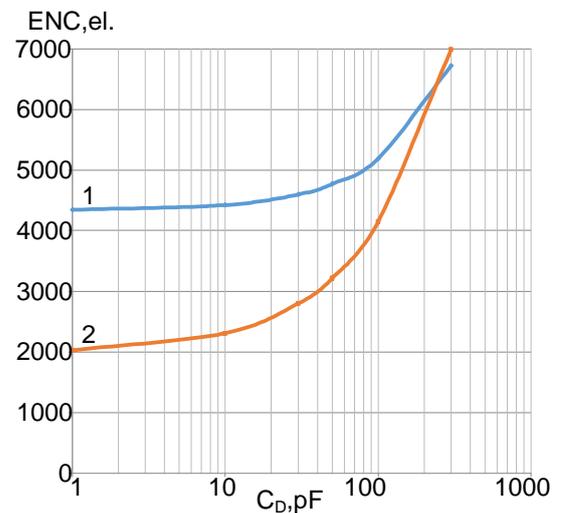


Рис. 19. Зависимость эквивалентного шумового заряда ENC (в электронах) от емкости датчика C_D при разном включении DG JFET: 1- затворы соединены, 2- управление верхним затвором и $V_{BGS}=2$ В

Главное назначение такой схемы компенсации заключается в обеспечении выходного напряжения ЗЧУ близкого нулю при применении биполярных источников питания и большом сопротивлении резистора ОС (RF на рис. 16), падение напряжения на котором обусловлено протеканием I_{INPDC} .

Простейшая реализация схемы компенсации входного тока заключается во включении между выводами BG и V_{EE} резистора R_{EXT} , сопротивление которого выбирается в зависимости от величины I_{INPDC} .

Схемотехническое моделирование подтвердило эффективность компенсации постоянного входного тока ЗЧУ. Так, при $RF=10$ МОм, $V_{EE}=5$ В близкое к нулю выходное напряжение ЗЧУ при отсутствии входного импульса достигается при $R_{EXT}=58$ МОм для $I_{INPDC}=0,1$ мкА и $R_{EXT}=4,57$ МОм при $I_{INPDC}=1$ мкА.

ПОДДЕРЖКА

Исследование выполнено за счет гранта Российского научного фонда (проект 18-79-10109-П).

ЛИТЕРАТУРА

- [1] Close J.P., Counts L.W. A 50-fA junction-isolated operational amplifier // IEEE Journal of Solid – State Circuits. – 1988. – V. SC–23, No 3. – P. 843–851.
- [2] L. K. Nanver and E. J. G. Goudena, "Design considerations for integrated high-frequency p-channel JFETs," in IEEE Transactions on Electron Devices, vol. 35, no. 11, pp. 1924–1934, Nov. 1988, doi: 10.1109/16.7406.
- [3] Дворников О.В., Чеховский В.А., Прокопенко Н.Н., Галкин Я.Д., Кунц А.В. Учет одновременного воздействия низких температур и проникающей радиации на характеристики биполярных и JFET транзисторов при схемотехническом моделировании // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2020. Вып.1. С. 46-55. doi:10.31114/2078-7707-2020-1-46-55.
- [4] Fazzi A., Rehak P. «Gate-to-gate» VJT obtained from the double-gate input JFET to reset charge preamplifiers //

- Nuclear Instruments and Methods in Physics Research. – 1996. – Vol. A377. – P. 453–458.
- [5] Fazzi A., Rehak P. A double-gate double-feedback JFET charge-sensitive preamplifier // Nuclear Instruments and Methods in Physics Research. – 1996. – Vol. A380. – P. 346–349.
- [6] Проектирование низкотемпературных и радиационно-стойких аналоговых микросхем для обработки сигналов датчиков: монография / Авторы: Н.Н. Прокопенко, О.В. Дворников, А.В. Бугакова. – М.: СОЛОН-Пресс, 2021. – 200 с.
- [7] Галкин Я.Д., Дворников О.В., Чеховский В.А., Прокопенко Н.Н. Экспериментальные исследования и модель двухзатворного JFET для аналоговых интегральных микросхем. Доклады БГУИР. 2021. № 6. В печати(Ноябрь 2021).
- [8] Зайцев Ю.В., Громов В.С., Григораш Т.С. Полупроводниковые термоэлектрические преобразователи. – М.: Радио и связь, 1985. – 120 с.
- [9] Norton P., Brand J. Temperature coefficient of resistance for p- and n-type silicon // Solid-State Electronics Vol. 21, pp. 969-974.
- [10] Chuang H.-M., Thei K.-B., Tsai S.-F., Liu W.-C. Temperature-Dependent Characteristics of Polysilicon and Diffused Resistors // IEEE Transactions on electron devices. 2003. V. 50. № 5. P. 1413–1415.
- [11] Bradley L, Donaghy-Spargo C., Atkinson G, Horsfall A. Evaluating suitable semiconducting materials for cryogenic power electronics // The Journal of Engineering. Volume 2019, Issue 17, June 2019, p. 4475 – 4479. DOI: 10.1049/joe.2018.8099.
- [12] Homulle H., Song L., Charbon E., Sebastiano F. The Cryogenic Temperature Behavior of Bipolar, MOS, and DTMOS Transistors in Standard CMOS // IEEE Journal of the Electron Devices Society. January 2018. PP(99):1-1. DOI:10.1109/JEDS.2018.2798281.
- [13] Hong K., Chen X-Y, Chen Y, Zhang M-S. and other. Experimental Investigations into Temperature and Current Dependent On-State Resistance Behaviors of 1.2 kV SiC MOSFETs // IEEE Journal of the Electron Devices Society. August 2019. PP(99):1-1.
- [14] Дворников О.В., Чеховский В.А., Дятлов В.Л., Прокопенко Н.Н., Будяков П.С. Проектирование компараторов напряжений на базе элементов радиационно-стойкого низкотемпературного BiJFET базового матричного кристалла MH2XA030 // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2018. Вып. 4. С. 10-16. doi:10.31114/2078-7707-2018-4-10-16.
- [15] Dvornikov O.V., Dziaclau V.L., Tchekhovski V.A., Prokopenko N.N., A. V. Bugakova. BiJfet Array Chip MH2XA030 — a Design Tool for Radiation-Hardened and Cryogenic Analog Integrated Circuits. 2018 IEEE International Conference on Electrical Engineering and Photonics (EexPolytech). 2018;13-17. DOI: 10.1109/EEExPolytech.2018.8564415.
- [16] Reducing noises of high-speed Bi-JFET charge-sensitive amplifiers during schematic design / O V Dvornikov, V A Tchekhovski, N N Prokopenko and I V Pakhomov // IOP Conf. Series: Materials Science and Engineering, 862 (2020), 022068 IOP Publishing doi:10.1088/1757-899X/862/2/022068. – 8.

Analog integrated circuits design for extreme environmental conditions on the base of master slice array MH2XA031

O.V. Dvornikov¹, V.A. Tchekhovsky², N.N. Prokopenko^{3,4}, Y.D. Galkin^{2,5},
A.V. Kunts^{2,5}, V.E. Chumakov³

¹Minsk Research Instrument-Making Institute JSC (MNIPI JSC) (Minsk, Republic of Belarus)

²Institute for Nuclear Problems of Belarusian State University (Minsk, Republic of Belarus)

³Don State Technical University (Rostov-on-Don, Russia), prokopenko@sssu.ru

⁴Institute for Design Problems in Microelectronics RAS (Zelenograd, Russia)

⁵Belarusian State University of Informatics and Radioelectronics (Minsk, Republic of Belarus)

Abstract — For operability of silicon analog integrated circuits with influence of penetrating radiation and low temperatures the following constructions were designed: double gate JFET, high-ohmic semiconductor resistor for operating in temperatures below minus 100 0C, BiJFET Array Chip and new circuits of operational amplifier with inbuilt common-mode signal feedback, multidifferential operational amplifier with input JFET, charge-sensitive amplifier with input double gate JFET. Results of volt-ampere characteristic experimental measurements of integral elements are shown and special features of SPICE-models are considered. Electric circuits of microelectronic analog devices are described, their modeling results are analyzed and main advantages are highlighted. So,

operational amplifier provides low value of input offset voltage, operability with influence of penetrating radiation (experimentally confirmed save of operability with influence of fast electron fluence up to $3,7 \times 10^{14}$ el/cm² with energy of 6 MeV) and possibility of electronic shift of constant output voltage level. Multidifferential operational amplifier hold gain above 90 dB with temperature minus 197 0C or neutron fluence of 1015 n/cm². Using double gate JFET in charge-sensitive amplifier circuit allowed improving its parameters for signal sources with low internal capacity substantially. So, with the internal capacitance of the signal source about 1 pF equivalent noise charge is reduced by 2,15 times, and output rise time is reduced by 9,47 times.

Keywords — JFET, double gate transistor, electrometric amplifier, charge-sensitive amplifier, input current compensation

REFERENCES

- [1] Close J.P., Counts L.W. A 50-fA junction-isolated operational amplifier // *IEEE Journal of Solid – State Circuits*. – 1988. – V. SC-23, No 3. – P. 843–851.
- [2] L. K. Nanver and E. J. G. Goudena, "Design considerations for integrated high-frequency p-channel JFETs," in *IEEE Transactions on Electron Devices*, vol. 35, no. 11, pp. 1924–1934, Nov. 1988, doi: 10.1109/16.7406.
- [3] Dvornikov O.V., Tchekhovski V.A., Prokopenko N.N., Galkin Ya.D., Kunts A.V. Taking into Account the Simultaneous Effect of Low Temperatures and Penetrating Radiation on the Characteristics of the Bipolar and JFETs in the Circuit Simulation // *Problems of Perspective Micro- and Nanoelectronic Systems Development*. 2020. Issue 1. P. 46-55. doi:10.31114/2078-7707-2020-1-46-55
- [4] Fazzi A., Rehak P. «Gate-to-gate» BJT obtained from the double-gate input JFET to reset charge preamplifiers // *Nuclear Instruments and Methods in Physics Research*. – 1996. – Vol. A377. – P. 453–458.
- [5] Fazzi A., Rehak P. A double-gate double-feedback JFET charge-sensitive preamplifier // *Nuclear Instruments and Methods in Physics Research*. – 1996. – Vol. A380. – P. 346–349.
- [6] Proektirovanie nizkotemperaturnykh i radiacionno-stojkikh analogovykh mikroskhem dlya obrabotki signalov datchikov: monografiya (Design of low temperature and radiation-resistant analog ICs for sensor signal processing)/ Avtory: N.N. Prokopenko, O.V. Dvornikov, A.V. Bugakova. – M.: SOLON-Press, 2021. – 200 s.
- [7] Galkin Y.D., Dvornikov O.V., Tchekhovski V.A., Prokopenko N.N. Eksperimental'nye issledovaniya i model' dvuhzhatvornogo JFET dlya analogovykh integral'nykh mikroskhem (Experimental studies and a double gate JFET model for analog integrated circuits). *Doklady BGUIR*. 2021. № 6. V pechati(November 2021).
- [8] Zajcev Y.V., Gromov V.S., Grigorash T.S. Poluprovodnikovye termoelektricheskie preobrazovateli. (Semiconductor thermoelectric converters) – M.: Radio i svyaz', 1985. – 120 s.
- [9] Norton P., Brand J. Temperature coefficient of resistance for p- and n-type silicon // *Solid-State Electronics* Vol. 21, pp. 969-974.
- [10] Chuang H.-M., Thei K.-B., Tsai S.-F., Liu W.-C. Temperature-Dependent Characteristics of Polysilicon and Diffused Resistors // *IEEE Transactions on electron devices*. 2003. V. 50. № 5. P. 1413–1415.
- [11] Bradley L, Donaghy-Spargo C., Atkinson G, Horsfall A. Evaluating suitable semiconducting materials for cryogenic power electronics // *The Journal of Engineering*. Volume 2019, Issue 17, June 2019, p. 4475 – 4479. DOI: 10.1049/joe.2018.8099.
- [12] Homulle H., Song L., Charbon E., Sebastiano F. The Cryogenic Temperature Behavior of Bipolar, MOS, and DTMOS Transistors in Standard CMOS // *IEEE Journal of the Electron Devices Society*. January 2018. PP(99):1-1. DOI:10.1109/JEDS.2018.2798281.
- [13] Hong K., Chen X-Y, Chen Y, Zhang M-S. and other. Experimental Investigations into Temperature and Current Dependent On-State Resistance Behaviors of 1.2 kV SiC MOSFETs // *IEEE Journal of the Electron Devices Society*. August 2019. PP(99):1-1.
- [14] Dvornikov O.V., Tchekhovski V.A., Diatlov V.L., Prokopenko N.N., Budyakov P.S. Design of Voltage Comparators Based on the Elements of the Radiation-Hardened Low-Temperature BiJFET Array Chip MH2XA030 // *Problems of Perspective Micro- and Nanoelectronic Systems Development*. 2018. Issue 4. P. 10-16. doi:10.31114/2078-7707-2018-4-10-16
- [15] Dvornikov O.V., Dzatlau V.L., Tchekhovski V.A., Prokopenko N.N., A. V. Bugakova. BiJFet Array Chip MH2XA030 — a Design Tool for Radiation-Hardened and Cryogenic Analog Integrated Circuits. 2018 IEEE International Conference on Electrical Engineering and Photonics (EexPolytech). 2018;13-17. DOI: 10.1109/EEExPolytech.2018.8564415.
- [16] Reducing noises of high-speed Bi-JFET charge-sensitive amplifiers during schematic design / O V Dvornikov, V A Tchekhovski, N N Prokopenko and I V Pakhomov // *IOP Conf. Series: Materials Science and Engineering*, 862 (2020), 022068 IOP Publishing doi:10.1088/1757-899X/862/2/022068. – 8