

# Сравнительный анализ образования импульсов ложных сигналов на выходах КМОП тройных мажоритарных элементов при сборе заряда с треков одиночных ионизирующих частиц

Ю. В. Катунин<sup>1</sup>, В. Я. Стенин<sup>1,2</sup>

<sup>1</sup>НИИ системных исследований Российской академии наук, г. Москва

<sup>2</sup>Национальный исследовательский ядерный университет “МИФИ”, г. Москва

katunin@cs.niisi.ras.ru; vystenin@mephi.ru

**Аннотация** — В работе анализируются и сравниваются тройные мажоритарные элементы по 65-нм объемной КМОП технологии. Это мажоритарный элемент на логике И-НЕ, в топологии которого все транзисторы выходного ЗИ-НЕ элемента по одному введены в группы транзисторов того же типа трех входных 2И-НЕ элементов, мажоритарный элемент на логике 2И и 2ИЛИ, а также мажоритарный элемент на логике 2И и 3ИЛИ. Особенностью исследования является классификация и анализ импульсов ошибок, возникающих при сборе заряда с треков одиночных ионизирующих частиц как до, так и после переключения элемента. Исследование проводится средствами TCAD для треков с нормальным направлением к поверхности и линейной передачей энергии 60 МэВ×см<sup>2</sup>/мг. Установлены четыре вида импульсов ошибок, образующихся на выходах всех мажоритарных элементов, которые основаны на переходе элемента в нестационарное состояние при сборе заряда с треков одиночных частиц. Это два вида импульсов ошибки, образующихся до переключения элемента по входам: импульс с длительностью нестационарного состояния, образующийся в случае, если между моментом времени возникновения трека и моментом начала переключения сигналов на входах мажоритарного элемента интервал времени больше длительности нестационарного состояния, а также импульс ошибки опережающего переключения элемента, образующийся сбором заряда с трека, возникающего до переключения сигналов на входах элементов. Кроме того, два вида импульсов ошибок, образующихся после переключения элемента по входам, а именно импульс ошибки с дополнительной задержкой переключения элемента и импульс ошибки с длительностью нестационарного состояния, образующийся после завершения переключения элемента по входам. При треках, возникающих после завершения переключения элемента, происходит образование импульса ошибки с длительностью того нестационарного состояния, которое характерно для данной точки входа трека и уровней сигналов на входах мажоритарного элемента.

**Ключевые слова** — импульс ошибки, логический элемент, мажоритарный элемент, моделирование, нестационарное состояние, помеха, одиночная частица, сбор заряда, трек.

## I. ВВЕДЕНИЕ

КМОП мажоритарные логические элементы являются важной частью обеспечения надежности интегральных систем с резервированием вычислительных процессов. Моделирование с использованием приборных физических моделей (physics-based device models) нано-размерных элементов является виртуальной экспериментальной базой для получения данных о поведении электронных элементов в условиях космического применения. Моделированием предсказано [1] снижение помехоустойчивости КМОП логики по объемной технологии до уровня 2 МэВ×см<sup>2</sup>/мг при понижении проектной нормы до 100 нм. Также следует отметить такие принципиальные эффекты как переход КМОП транзисторов в инверсный режим смещения [2] и диффузионный перенос носителей заряда, индуцированных на треке частицы, на транзисторы смежных элементов [3], который обеспечивает совместный сбор заряда с трека транзисторами смежных элементов с проектными нормами менее 100 нм [4].

Проведено моделирование основных характеристик тройного мажоритарного элемента на основе элементов 2И и 3ИЛИ [5], на основе элементов 2И и 2ИЛИ [6] с проектной нормой объемный 65-нм КМОП с мелкой траншейной оксидной изоляцией групп транзисторов, а также исследование основных характеристик элемента на основе логики 2И-НЕ и 3И-НЕ [7] с оригинальной топологией и пониженной чувствительностью к воздействию одиночных ионизирующих частиц.

Для компенсации и блокировки переходных эффектов воздействия одиночных ионизирующих частиц (single effect transients – SET) необходим анализ специфических особенностей мажоритарных элементов, например, при одновременном переключении элемента на основе логики И и ИЛИ по входам и сборе заряда с трека одиночной частицы [5-7]. На рис. 1 приведены функциональные схемы тройных мажоритарных элементов на основе элементов логики 2И-НЕ и 3И-НЕ

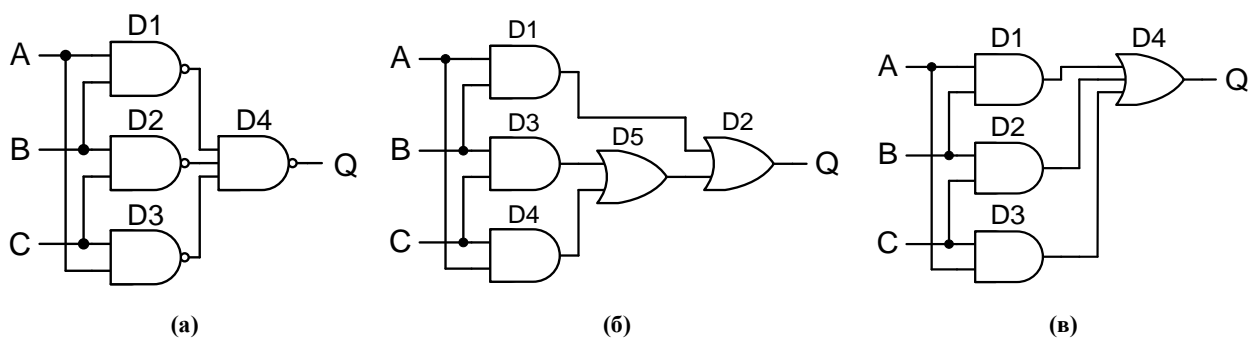


Рис. 1. Функциональные схемы тройных мажоритарных элементов на основе элементов логики 2И-НЕ и 3И-НЕ (а), на основе элементов 2И и 2ИЛИ (б) и на основе элементов 2И и 3ИЛИ (в)

(рис. 1а), на основе элементов 2И и 2ИЛИ (рис. 1б) и на основе логики 2И и 3ИЛИ (рис. 1в). Целью данной работы является моделирование средствами TCAD базовых вариантов тройных мажоритарных элементов с КМОП логикой И, ИЛИ и И-НЕ по проектной норме объемный 65-нм КМОП с мелкой траншейной изоляцией транзисторов для получения количественных оценок временных параметров ложных сигналов (импульсов помех) при переключении элементов по входам и сборе заряда с трека одиночной частицы.

## II. ОСОБЕННОСТИ МОДЕЛИРОВАНИЯ СБОРА ЗАРЯДА ТРАНЗИСТОРАМИ С ТРЕКА ЧАСТИЦЫ

Воздействие одиночной ядерной ионизирующей частицы на кремниевые элементы приводит к образованию вдоль её трека неравновесных носителей заряда. В работе проведено 3D TCAD моделирование КМОП мажоритарных элементов средствами TCAD. Используются физические модели транзисторов [8] по проектной норме 65-нм КМОП объемной технологии. Как тестовое воздействие приняты треки частиц по нормали к поверхности модели элемента. На рис. 2 приведены эскизы приборных 3D TCAD физических моделей мажоритарного элемента на логике 2И-НЕ и 3И-НЕ (рис. 2а) и приборная 3D TCAD физическая модель элементов D1 (2И) и D4 (3ИЛИ), использованная при гибридном

TCAD-SPICE моделировании мажоритарного элемента на логических элементах 2И и 3ИЛИ (рис. 2б).

Ширина каналов всех транзисторов элементов 2И и 2ИЛИ равна 400 нм, а элемента 3ИЛИ 800 нм. На рис. 2 траншейная изоляция между областями кремния удалена, чтобы были видны области кремния, в которых выполнены транзисторы. Энергетическая составляющая генерации заряда на треке характеризуется [9] линейной передачей энергии частицей на трек – (linear energy transfer – LET). При моделировании использовались треки с LET 60 МэВ×см<sup>2</sup>/мг. Результаты 3D TCAD моделирования получены с использованием симулятора Sentaurus Device при температуре 25°С и напряжении питания 1.0 В.

## III. КЛАССИФИКАЦИЯ ЛОЖНЫХ СИГНАЛОВ НА ПРИМЕРЕ МАЖОРИТАРНОГО ЭЛЕМЕНТА НА КМОП ЛОГИКИ 2И-НЕ И 3И-НЕ

На рис. 3 приведена электрическая схема (рис. 3а) и эскиз топологии (рис. 3б) КМОП тройного мажоритарного элемента (Triple Majority Gate – TMG) на основе элементов логики 2И-НЕ и 3И-НЕ. Первая цифра в обозначениях транзисторов на рис. 3 соответствует номеру элемента, к примеру, логических элементов D1, D4, а вторая – номеру транзистора в этом элементе. Звездочками рис. 3б отмечены точки входа треков одиночных частиц. На рис. 4 приведены характерные ложные

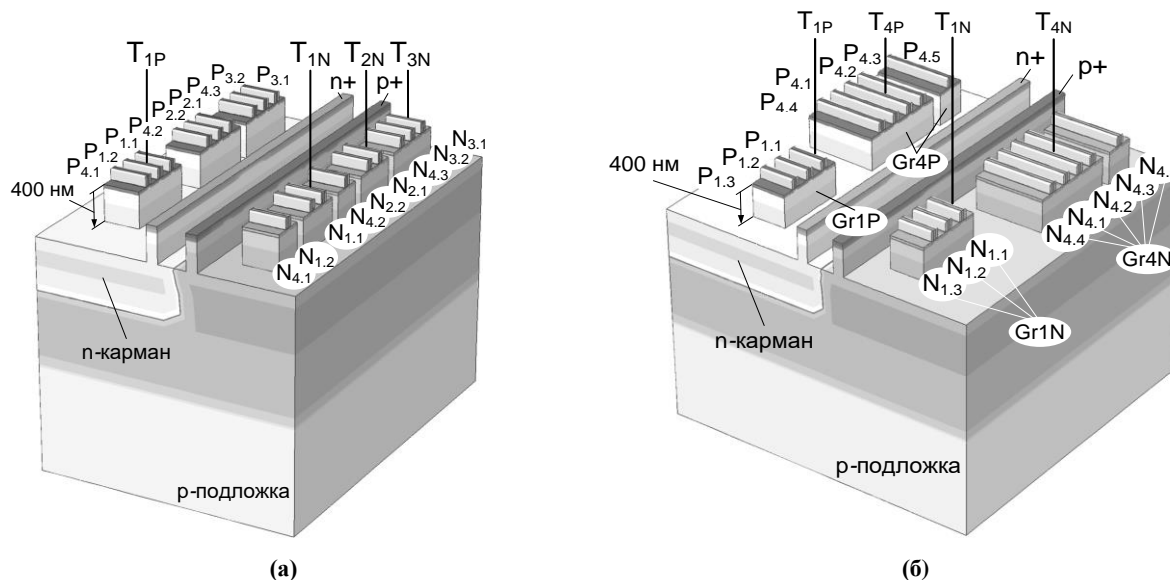


Рис. 2. Приборные 3D TCAD физические модели мажоритарных элементов: (а) на 2И-НЕ D1, D2 и 3И-НЕ D4 логических элементах (см. рис. 1а); (б) на 2И D1 и 3ИЛИ D4 элементах, использованная при гибридном TCAD-SPICE моделировании мажоритарного элемента на логических элементах 2И и 3ИЛИ (см. рис. 1в)

сигналы на выходах и внутренних узлах мажоритарного элемента на примере тройного элемента на КМОП логике 2И-НЕ и 3И-НЕ при его переключении по входам А, В, С и сборе заряда с трека с  $LET = 60 \text{ МэВ} \times \text{см}^2/\text{мг}$ , точка входа трека  $T_{IN}$  в группу Gr1N. Переключение по входам из “0” в “1” при  $t_{\text{ПЕР}} = 600 \text{ пс}$  из  $A = B = C = 0$  в  $A = B = 1, C = 0$ , образование трека при  $t_{\text{ТР}} = 100 \text{ пс}$  и  $400 \text{ пс}$ . Переключение по входам из “1” в “0” при  $t_{\text{ПЕР}} = 1.2 \text{ нс}$  из  $A = B = 1, C = 0$  в  $A = B = C = 0$ , образование трека при  $t_{\text{ТР}} = 1.16 \text{ нс}$  и  $1.28 \text{ пс}$ . Стрелки с обозначением  $A = B$  показывают направление переключения входов мажоритарного элемента при смене сигналов из состояния из “0” в “1” и из “1” в “0” (рис. 4). Жирными линиями на рис. 4 отмечены импульсы с длительностью нестационарного состояния.

Сбор заряда с трека  $T_{IN}$  одиночной частицы в зависимости от момента образования трека относительно момента переключения мажоритарного элемента по входам вызывает четыре вида импульсов ошибки на выходе мажоритарного элемента (выход D4). Это ложные выходные сигналы с длительностью нестационарного

состояния, образующийся до переключения мажоритарного элемента по входам (рис. 4а), импульс ошибки опережающего переключения мажоритарного элемента при возникновении трека перед переключением на входах с “0” на “1” (рис. 4б), а также импульс ошибки, образующий дополнительную задержку при переключении (рис. 4в) и импульс ошибки с длительностью нестационарного состояния, образующийся после переключения мажоритарного элемента по входам (рис. 4г). Временные ограничения образования ложных выходных сигналов следующие:

1) Ложные сигналы с длительностью нестационарного состояния элемента на выходах мажоритарных элементов  $t_{\text{ИМП.ОШИБ}} = t_{\text{НЕСТАЦ}}$  по его входам при следующих моментах образования трека одиночной частицы:

$$t_{\text{ТР}} < t_{\text{ПЕР}} - t_{\text{НЕСТАЦ}},$$

где  $t_{\text{ТР}}$  – момент образования трека;  $t_{\text{ПЕР}}$  – момент начала переключения элемента по входам;  $t_{\text{НЕСТАЦ}}$  – длительность нестационарного состояния элемента.

2) Ложные сигналы с опережающим переключением выхода элемента до переключения его по его входам, образуются, в основном, до завершения сигналов переключения на входах при моментах образования трека

$$t_{\text{ТР}} > t_{\text{ПЕР}} - t_{\text{НЕСТАЦ}}.$$

3) Ложные сигналы с увеличенной задержкой переключения элемента на выходе, образуются при образовании трека частицы, в основном, когда трек возникает непосредственно до переключения входных сигналов элемента или сразу при их переключении

$$t_{\text{ТР}} = t_{\text{ПЕР}} \pm \Delta t,$$

где  $\Delta t$  – небольшие отклонения от значения  $t_{\text{ПЕР}}$ .

3) Ложные сигналы с длительностью нестационарного состояния элемента образуются на выходах мажоритарных элементов  $t_{\text{ИМП.ОШИБ}} = t_{\text{НЕСТАЦ}}$  и после завершения переключения элемента его входам, когда

$$t_{\text{ТР}} > t_{\text{ПЕР}} + \Delta t_{\text{ДОП}},$$

где  $\Delta t_{\text{ДОП}}$  – дополнительный интервал времени, обеспечивающий надежное завершение переключения сменой сигналов на входах элемента.

Когда трек  $T_{IN}$  формируется при  $t_{\text{ТР}} = 100 \text{ пс}$  или  $t_{\text{ТР}} = 400 \text{ пс}$  (рис. 4а), транзисторы N1.1, N1.2 начинают сбор заряда, который переводит транзисторы N1.1, N1.2 в режим инверсного смещения (“0”). Если длительность нестационарного состояния TMG при сборе заряда меньше интервала времени от момента формирования трека  $T_{IN}$  до момента начала переключения входов А, В, С, это приводит к формированию опережающего переключения TMG ложным импульсом. (рис. 4б, трек с  $t_{\text{ТР}} = 400 \text{ пс}$ ). Ложные сигналы после переключения по входам формирует сбор заряда с трека с  $t_{\text{ТР}} = 1.16 \text{ нс}$ , что

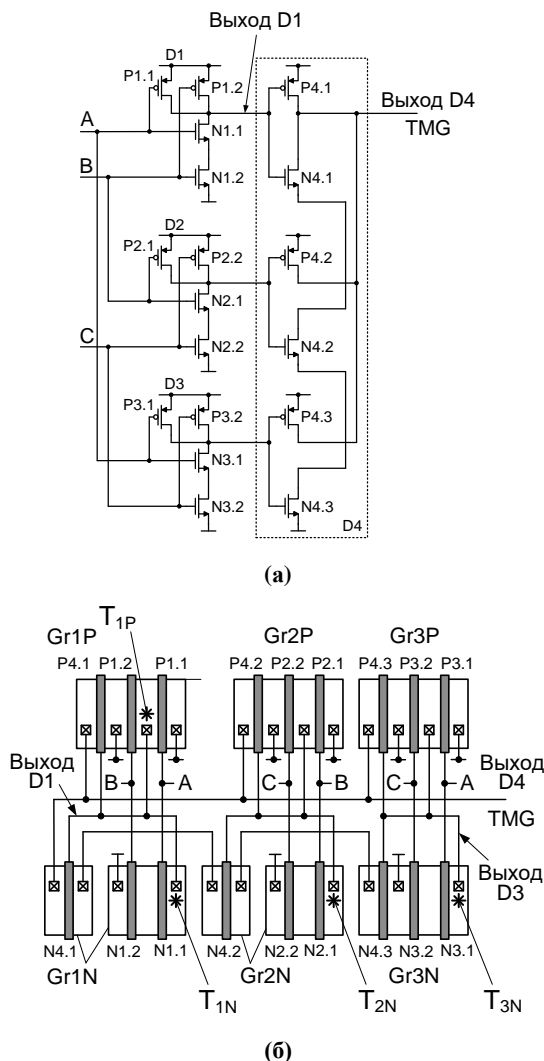
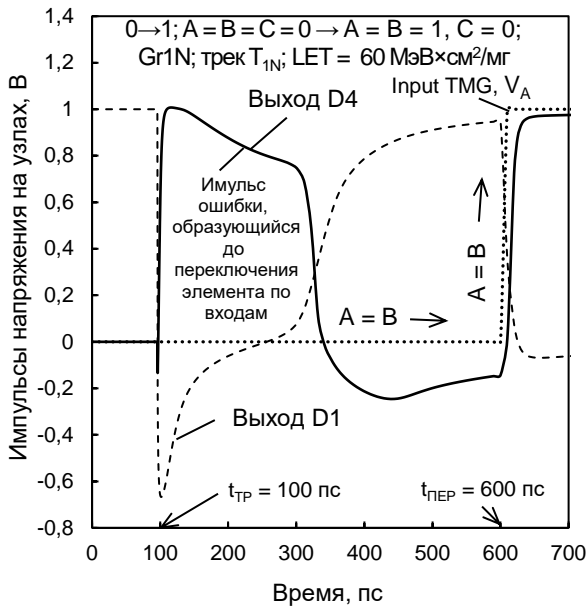
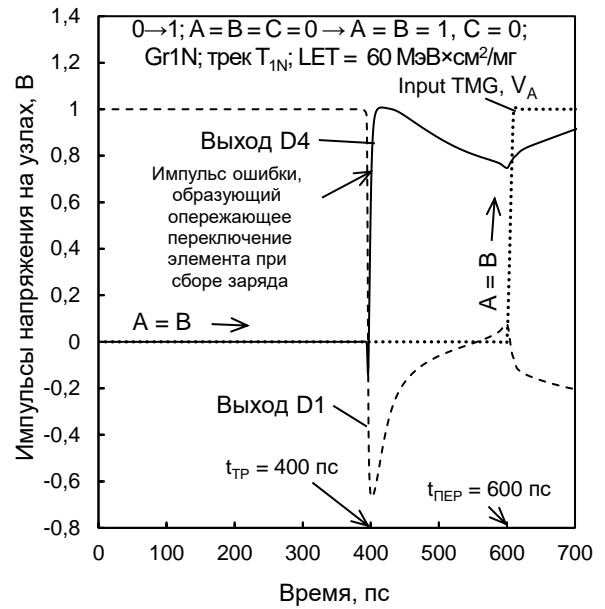


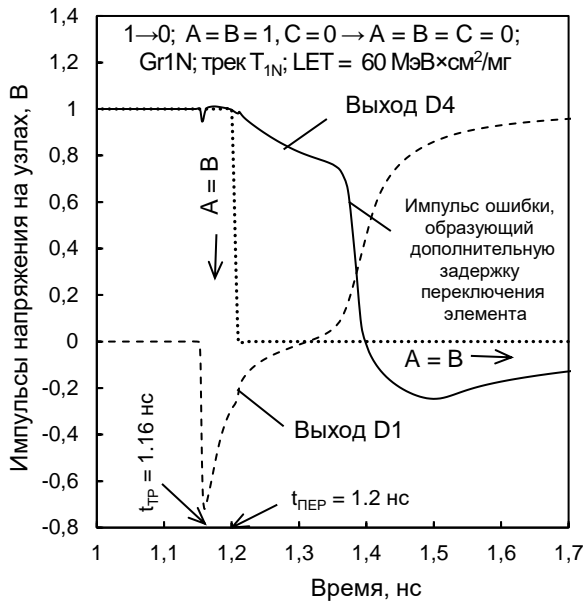
Рис. 3. КМОП тройной мажоритарный элемент на И-НЕ логических элементах: (а) схема элемента; (б) эскиз топологии; входы обозначены как А, В, С, а выход как Q “Выход TMG”



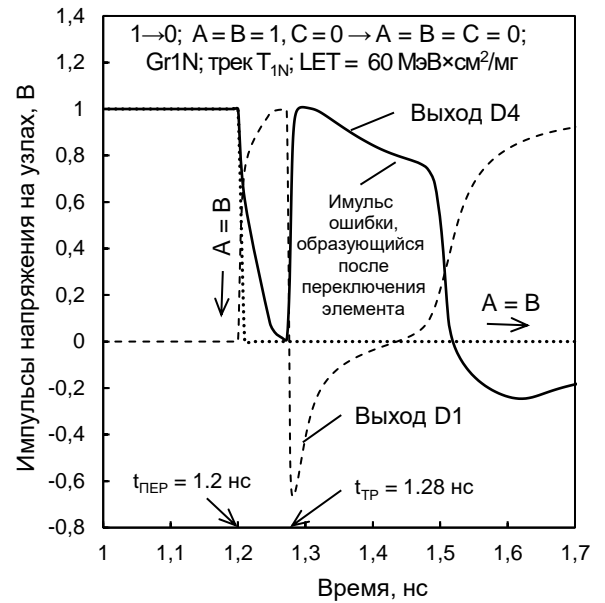
(а)



(б)



(в)



(г)

**Рис. 4.** Импульсы напряжений на выходах элементов D1 2И-НЕ и D4 3И-НЕ мажоритарного элемента на КМОП логике 2И-НЕ, 3И-НЕ при переключении и сборе заряда с трека с LET = 60 МэВ×см<sup>2</sup>/мг, точка входа трека T<sub>IN</sub> в группу Gr1N: (а, б) переключение по входам при t<sub>ПЕР</sub> = 600 пс из A = B = C = 0 в A = B = 1, C = 0, образование трека при (а) t<sub>ТР</sub> = 100 пс и (б) 400 пс; (в, г) переключение по входам при t<sub>ПЕР</sub> = 1.2 нс из A = B = 1, C = 0 в A = B = C = 0, образование трека при (в) t<sub>ТР</sub> = 1.16 нс и (г) 1.28 нс

образует дополнительную задержку переключения на выходе TMG (выход D4). Сбор заряда с трека t<sub>ТР</sub> = 1.28 нс (рис. 4г) генерирует ложный сигнал на выходе TMG с длительностью нестационарного состояния после завершения переключения по входам мажоритарного элемента при t<sub>ПЕР</sub> = 1.2 нс.

#### IV. ЛОЖНЫЕ СИГНАЛЫ НА ВЫХОДЕ МАЖОРИТАРНОГО ЭЛЕМЕНТА НА ЛОГИКЕ 2И И 2ИЛИ

На рис. 5 приведены эскизы топологий логических элементов 2И (рис. 5а), 2ИЛИ (рис. 5б) и 3ИЛИ (рис. 5в). Топологически группы транзисторов одного типа проводимости расположены в областях кремния, ограниченных на рис. 3б и рис. 5 прямоугольниками, которые окружены мелкой траншейной изоляцией

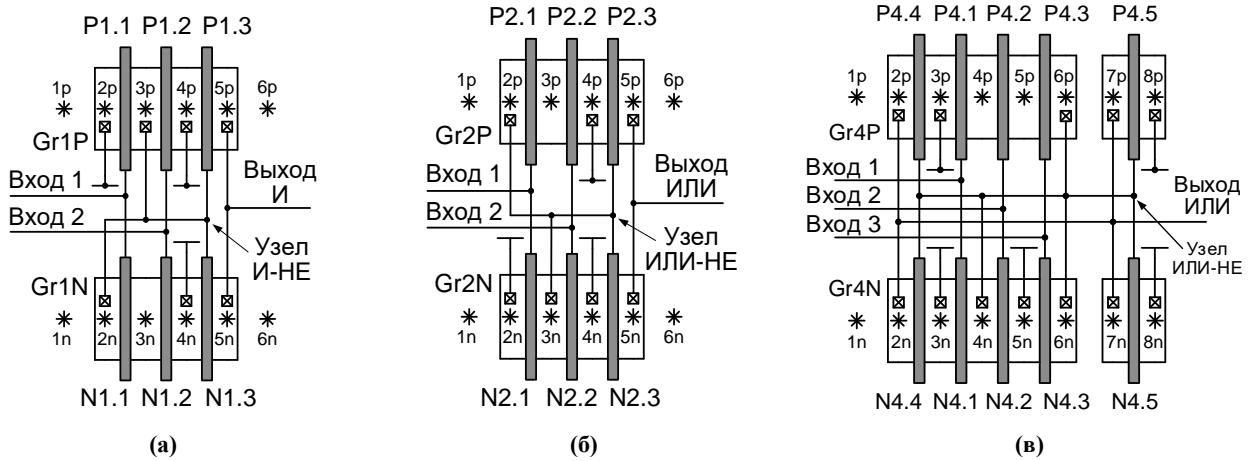


Рис. 5. Эскизы топологий КМОП логических элементов: (а) 2И; (б) 2ИЛИ; (в) 3ИЛИ; звездочками отмечены точки входа трекв одиночных частиц

диэлектриком глубиной 400 нм; полоски с штриховкой на эскизе топологии обозначают затворы транзисторов, звездочками отмечены точки входа трекв одиночных частиц. Зависимости на рис. 6а и рис. 6б характеризуют сбор заряда с трекв с точками входов 2п и 2р соответственно в сток NМОП транзистора N1.1 (рис. 6а) и объединенные истоки PМОП транзистора P1.1, P1.2 (рис. 6б) элемента D1 И при переключении по входам мажоритарного элемента из 0→1. После образования трека с точками входов 2п (рис. 6а) происходит переход цепочки двух NМОП транзисторов N1.1, N1.2 в инверсное смещение с образованием на узле И-НЕ элемента D1 импульса отрицательной полярности с экстремумом напряжения  $-(0.66-0.7)$  В. Следствием этого является опережающее переключение элемента D1 И при треке с  $t_{\text{TP}} = 160$  пс. NМОП транзистор N1.3 инвертора запирается и начинает собирать заряд с того же трека, а напряжение на выходе инвертора (выходе элемента D1 И) начинает снижаться, что происходит при треках с  $t_{\text{TP}} = 160$  пс и  $t_{\text{TP}} = 220$  пс сразу после смены сигналов при  $t_{\text{ПЕР}} = 200$  пс.

Зависимость на рис. 6б характеризует переключение элемента D1 И с дополнительной задержкой при треке с точкой входа 2р в общие истоки открытых PМОП транзисторов P1.1, P1.2 элемента D1 И. Повышенные значения задержек переключения элемента D1 И, формирующего импульс ошибки на выходе мажоритарного элемента составляют  $t_{\text{зд,ПЕР}} = 285$  пс и 345 пс для трекв с  $t_{\text{TP}} = 160$  пс и 220 пс..

На рис. 6в,г приведены зависимости напряжений на узлах элемента D2 ИЛИ мажоритарного элемента на КМОП логике 2И и 2ИЛИ для точки входа трека 3п группу Gr2N NМОП транзисторов. На рис. 6в приведены зависимости при сигналах на входах мажоритарного элемента  $A = B = C = 0$  с переключением на  $A = B = C = 1$ ; а на рис. 6г при сигналах на входах  $A = B = C = 1$  с переключением на  $A = B = C = 0$ .

Эти зависимости соответствуют переключению элемента из 0→1 и из 1→0. Во всех случаях (рис. 6а,в,г) переход узлов 2И-НЕ и 2ИЛИ-НЕ в инверсное

смещение как при треках с  $t_{\text{TP}} = 160$  пс и  $t_{\text{TP}} = 220$  пс в элементах D1 и D2 запираются NМОП транзисторы N1.3 и N2.3 инверторов и каждый из этих транзисторов в свое время и со своего трека начинает собирать заряд электронов и через 20-30 пс после образования своего трека до изменения сигналов на входах мажоритарного элемента происходит опережающее переключение выхода мажоритарного элемента (рис. 6а,в,г) до уровня 0 В при треках с  $t_{\text{TP}} = 160$  пс как в случае переключения из “0” в “1” (рис. 2в), также при переключения из “1” в “0” (рис. 6г). При треках с  $t_{\text{TP}} = 220$  пс после переключения мажоритарного элемента по его входам (рис. 6в,г) сбор заряда электронов с трека также снижает напряжение на выходе мажоритарного элемента до уровня 0 В (рис. 6в,г) как при треках с  $t_{\text{TP}} = 160$  пс.

#### V. ЛОЖНЫЕ СИГНАЛЫ НА ВЫХОДЕ МАЖОРИТАРНОГО ЭЛЕМЕНТА НА ЛОГИКЕ 2И И 3ИЛИ

На рис. 7а и рис. 7б приведены зависимости изменения напряжений на выходах элементов 2И и 3ИЛИ в режимах, вызывающих опережающее переключение мажоритарного элемента на логике КМОП 2И и 3ИЛИ при образовании трекв в момент времени  $t_{\text{TP}} = 160$  пс и до начала переключения по входам элемента при  $t_{\text{ПЕР}} = 200$  пс.

В случае зависимостей на рис. 7б сбором заряда NМОП транзисторами группы 3ИЛИ-НЕ с трека  $T_{4N}$  сначала опережающе переключается элемент D4 ИЛИ и соответственно выход мажоритарного элемента в состояние логической единицы “1”, а после смены входных сигналов переключается элемент D1. После опережающего переключения запирается NМОП транзистор инвертора элемента D4 ИЛИ, который начинает собирать заряд электронов с трека  $T_{4N}$ , что понижает напряжение на емкости выходного узла мажоритарного элемента, формируя “просадку” напряжения до уровня 0.55 В (рис. 7б).

Изменения напряжений на узлах элемента D4 ИЛИ на рис. 3в характеризуют переходные процессы с дополнительной задержкой при переключении

мажоритарного элемента в состояние логического нуля "0". На рис. 3г приведены зависимости напряжений на узлах элемента D4 ИЛИ мажоритарного элемента для случая, когда трек  $T_{4N}$  образуется при  $t_{TP} = 300$  пс после завершения переключения по входам элемента при  $t_{ПЕР} = 200$  пс.

## VI. ВЫВОДЫ

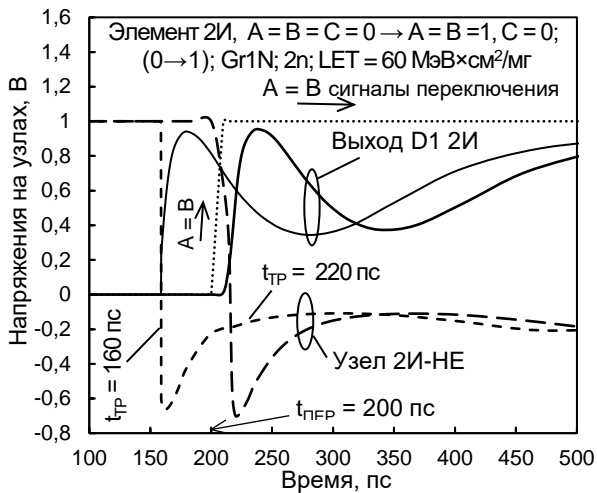
### A. Результаты моделирования мажоритарного элемента на основе КМОП логики И-НЕ

Основные результаты моделирования ложных выходных сигналов (импульсов ошибок) мажоритарного элемента на основе КМОП логики 2И-НЕ и 3И-НЕ приведены в табл. 1, в которой даны значения длительностей импульсов ошибок ( $t_{ИМП.ОШИБ}$ , пс) на выходе мажоритарного элемента для четырех видов ошибок. Значения ложных выходных сигналов  $t_{ИМП.ОШИБ}$  лежат в диапазоне от 200 пс до 420 пс. Примеры логических уровней сигналов на входах А, В, С приведены на рисунках

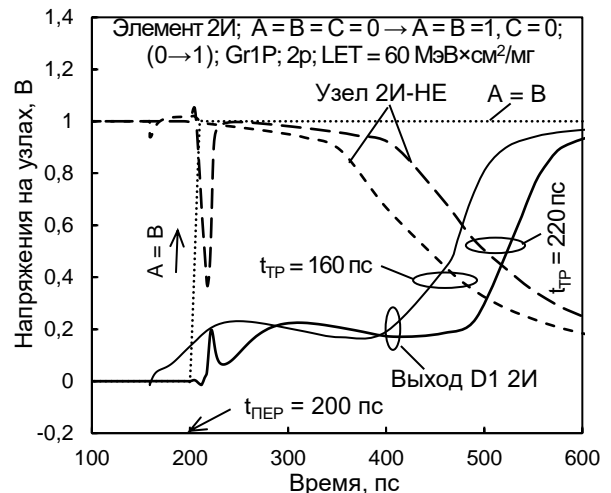
и в подрисуночных подписях, на которые даны ссылки в табл. 1.

### B. Результаты моделирования мажоритарного элемента на основе КМОП логики И и ИЛИ

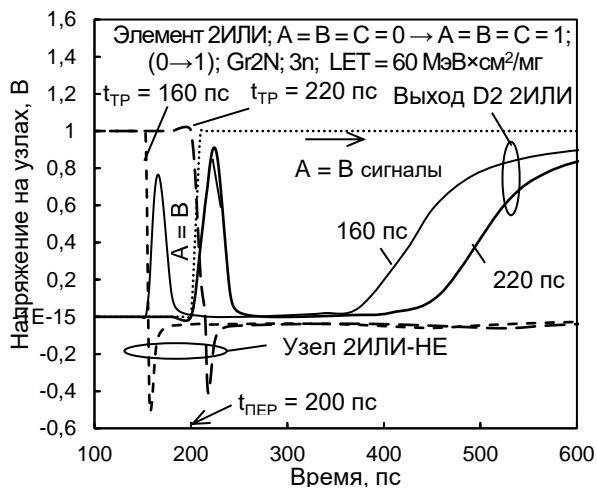
В табл. 2 и табл. 3 приведены значения длительностей ложных выходных сигналов как с длительностями нестационарных состояний мажоритарных элементов на основе КМОП логики 2И и 2ИЛИ (табл. 2) и логики 2И и 3ИЛИ (табл. 3), так и длительностей ложных сигналов при опережающем переключении мажоритарных элементов сбором заряда с трека и импульсов ошибок с образованием дополнительных задержек переключения элементов.



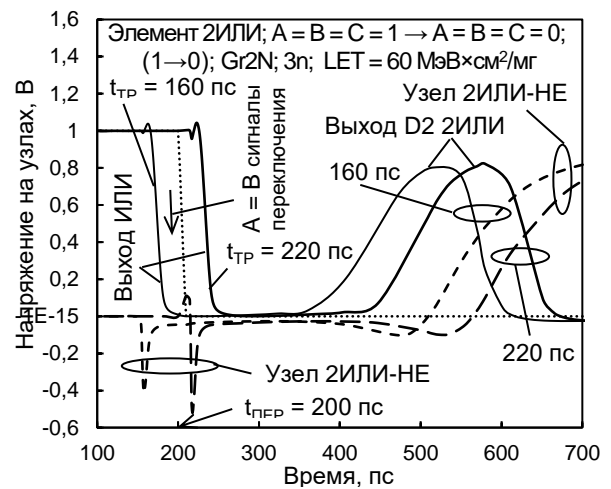
(а)



(б)



(в)



(г)

Рис. 6. Зависимости напряжений на узлах элементов D1 2И и D2 2ИЛИ мажоритарного элемента на КМОП логике 2И и 2ИЛИ при переключении и сборе заряда с трека с  $LET = 60 \text{ МэВ} \times \text{см}^2/\text{мг}$ , переключение по входам при  $t_{ПЕР} = 200$  пс, импульсы ошибки при опережающем переключении сбором заряда и дополнительной задержкой при треке с  $t_{TR} = 160$  пс (кроме рис. 2б) до смены входных сигналов и с дополнительной задержкой при  $t_{TR} = 220$  пс после смены входных сигналов  $A = B = C = 0$  на  $A = B = 1, C = 0$ : (а) точка входа трека 2п в группу транзисторов Gr2N, (б) точка входа трека 2р в группу транзисторов Gr1P; (в) смена сигналов  $A = B = C = 0$  на  $A = B = C = 1$ , точка входа трека 3п в группу транзисторов Gr2N, (г) смена сигналов  $A = B = C = 1$  на  $A = B = C = 0$ , точка входа трека 3п в группу транзисторов Gr2N

Длительности нестационарных состояний логических элементов И и ИЛИ, также как и элементов И-НЕ и ИЛИ-НЕ при сборе заряда с трека и переключении по входам мажоритарного элемента практически не зависят от момента образования трека для данной конкретной точки входа трека в группу транзисторов и фиксированной линейной передаче энергии частицей на трек. Максимальны длительности ложных выходных импульсов, зависящие от длительности нестационарных состояний, образуются и завершаются до переключения сигналов на входах, а также после полного завершения переключения элемента по его входам.

Длительности нестационарных состояний, определяющие максимальные значения длительностей импульсов ложных сигналов, образующихся на выходах мажоритарных элементов с опережающим переключением и импульсов, возникающих после полного

переключения элемента по его входам, имеют значения 420 пс для элементов на логике И-НЕ и логике 2И и 2ИЛИ, а для элемента на логике 2И и 3ИЛИ составляют 600 пс. Максимальные значения длительностей ложных импульсов с дополнительной задержкой переключения мажоритарного элемента, соответствующие перечисленным элементам, составляют 270 пс, 345 пс и 560 пс.

При опережающем переключении мажоритарного элемента до изменения сигналов на его входах длительность нарастания фронта импульса выходного сигнала мажоритарного элемента составляет 9–11 пс (см. табл. 3), что меньше длительностей задержек переключения мажоритарного элемента в режиме работы без воздействия одиночных частиц, которые заключены в пределах 25–60 пс. Сбор заряда с треков, образованных после

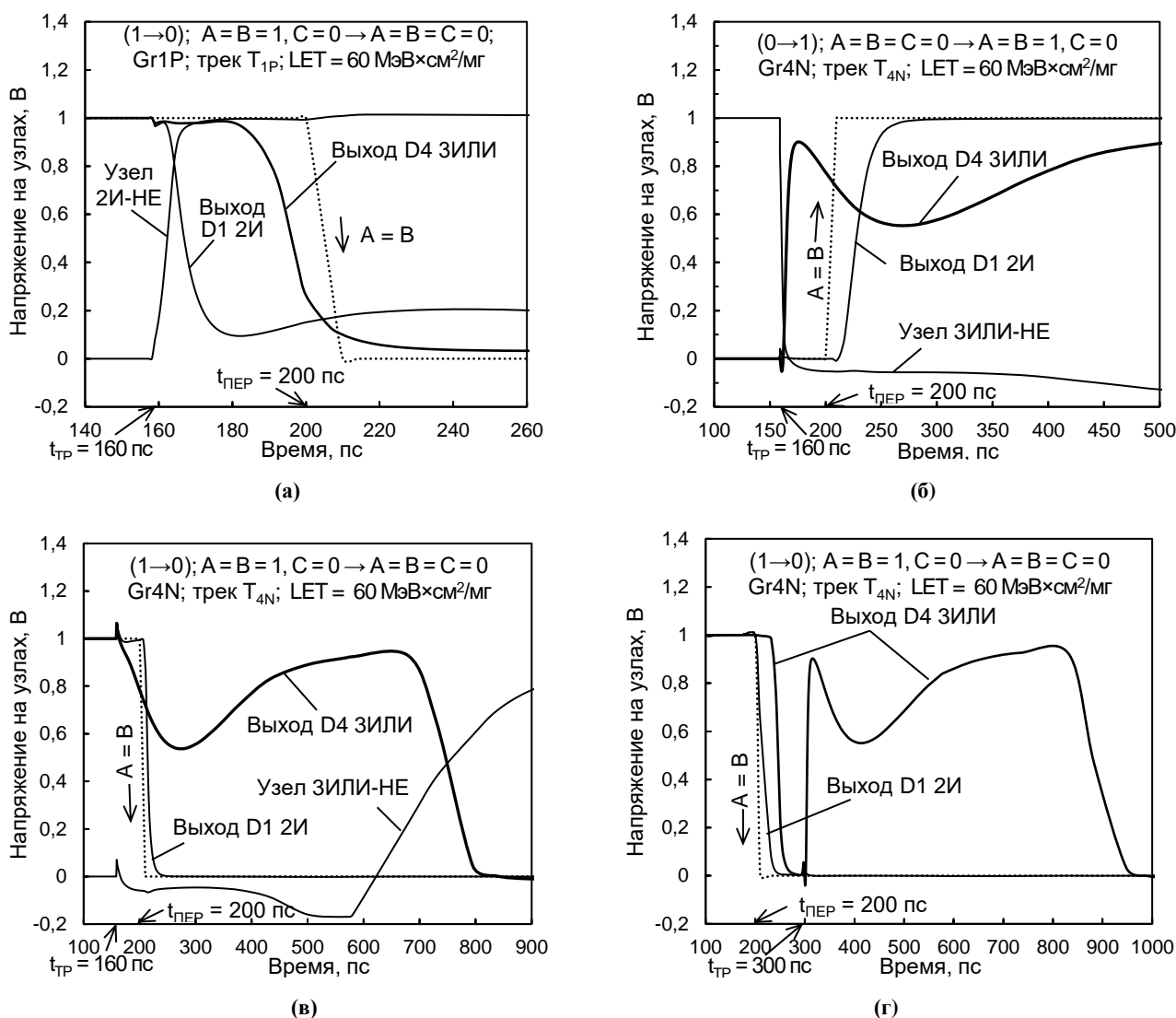


Рис. 7. Зависимости напряжений на узле выходах элементов D1 2И и D4 3ИЛИ и узлах 2И-НЕ, 3ИЛИ-НЕ мажоритарного элемента и узле на КМОП логике 2И и 3ИЛИ при переключении и сборе заряда с трека с LET= 60 МэВ×см<sup>2</sup>/мг, переключение по входам при t<sub>ПЕР</sub> = 200пс: (а) импульс ошибки при опережающем переключении элемента сбором заряда с трека при образовании трека при t<sub>ТР</sub> = 160 пс до смены входных сигналов A = B = 1, C = 0 на A = B = C = 0, трек T<sub>1P</sub> в группу транзисторов Gr1P; (б) импульс ошибки при опережающем переключении элемента сбором заряда с трека при образовании трека при t<sub>ТР</sub> = 160 пс до смены входных сигналов A = B = C = 0 на A = B = 1, C = 0; трек T<sub>4N</sub> в группу транзисторов Gr4N; (в) импульс ошибки с дополнительной задержкой при t<sub>ТР</sub> = 160 пс до переключения по входам из A = B = 1, C = 0 в A = B = C = 0, трек T<sub>4N</sub>, (г) импульс ошибки, образующийся при треке t<sub>ТР</sub> = 300 пс после переключения элемента при t<sub>ПЕР</sub> = 200пс по входам из A = B = 1, C = 0 на A = B = C = 0, трек T<sub>4N</sub> в группу транзисторов Gr4.

Таблица 1

Значения длительностей нестационарного состояния ( $t_{\text{НЕСТАЦ}}$ ) тройного мажоритарного элемента на КМОП логике 2И-НЕ и импульсов ошибок ( $t_{\text{ИМП.ОШИБ}}$ ) на выходе мажоритарного элемента, образующихся при сборе заряда с трека частицы при линейной передаче энергии на трек  $60 \text{ МэВ} \times \text{см}^2/\text{Мг}$  в зависимости от точки входа трека и момента его образования ( $t_{\text{ТР}}$ ), а также сигналов на входах элемента

Характер импульсов ошибок	Импульсы ошибок до переключения элемента по входам из состояния "0" в "1"				Импульсы ошибок после переключения элемента по входам из состояния "1" в "0"			
	Импульсы ошибок с длительностью нестационарного состояния		Опережающее переключение элемента		Переключение элемента с дополнительной задержкой		Импульсы ошибок с длительностью нестационарного состояния	
Трек в группу	Gr1N	Gr1P	Gr1N	Gr1P	Gr1N	Gr1P	Gr1N	Gr1P
Трек	T <sub>1N</sub>	T <sub>1P</sub>	T <sub>1N</sub>	T <sub>1P</sub>	T <sub>1N</sub>	T <sub>1P</sub>	T <sub>1N</sub>	T <sub>1P</sub>
$t_{\text{ТР}}$ , пс	100 пс	100 пс	400 пс	300 пс	1.16 нс	1.1 нс	1.28 нс	1.28 нс
$t_{\text{НЕСТАЦ}}$ , пс	220	420	220	420	220	420	220	420
$t_{\text{ИМП.ОШИБ}}$ , пс	<b>220</b>	<b>420</b>	<b>200*</b>	<b>300*</b>	<b>180**</b>	<b>270**</b>	<b>220</b>	<b>420</b>
Графики зависимостей	Рис. 3а	–	Рис. 3б	–	Рис. 3в	–	Рис. 3г	–

Примечание: значком \* отмечены длительности опережения переключения; значком \*\* отмечены длительности переключения с дополнительной задержкой относительно момента смены сигналов на входах мажоритарного элемента

Таблица 2

Значения длительностей нестационарного состояния ( $t_{\text{НЕСТАЦ}}$ ) тройного мажоритарного элемента на КМОП логике 2И и 2ИЛИ и импульсов ошибок ( $t_{\text{ИМП.ОШИБ}}$ ) на выходе мажоритарного элемента, образующихся при сборе заряда с трека частицы при линейной передаче энергии на трек  $60 \text{ МэВ} \times \text{см}^2/\text{Мг}$  в зависимости от точки входа трека и момента его образования ( $t_{\text{ТР}}$ ), а также сигналов на входах элемента

Характер импульсов ошибок	Импульсы ошибок при опережающем переключении элемента				Импульсы ошибок при переключении элемента с дополнительной задержкой			
	"0" в "1"		"1" в "0"		"1" в "0"		"0" в "1"	
Трек в элемент	2И	2ИЛИ	2ИЛИ	2И	2И	2ИЛИ	2И	ИЛИ
Трек в группу	Gr1N	Gr2N	Gr2N	Gr1P	Gr1N	Gr2N	Gr1P	Gr2N
Точка входа трека	2п	3п	3п	2р	2п	3п	2р	3п
$t_{\text{ТР}}$ , пс	160	160	160	160	220	220	220	220
$t_{\text{НЕСТАЦ}}$ , пс	240	320	420	410	240	420	410	420
$t_{\text{ИМП.ОШИБ}}$ , пс	<b>33*</b> <b>(188)</b>	<b>20*</b> (75)	<b>28*</b>	<b>30</b>	<b>107**</b>	<b>57**</b> <b>(35)</b>	<b>345**</b>	<b>x345**</b>
Графики зависимостей	Рис. 2а	Рис. 2в	Рис. 2г	–	Рис. 2а	Рис. 2г	Рис. 2б	Рис. 2в

Примечание: значком \* отмечены длительности опережения переключения при  $t_{\text{ТР}} = 160$  пс; значком \*\* отмечены длительности переключения с дополнительной задержкой относительно момента смены сигналов на входах мажоритарного элемента при  $t_{\text{ТР}} = 220$  пс; в скобках в таблице указана длительность "просадки" напряжения (импульса помехи), вызванного сбором заряда элемента И и ИЛИ после переключения элемента

завершения переключения по входам мажоритарного элемента, вызывает образование импульсов помех на выходе мажоритарного элемента без его переключения. Длительность такого ложного сигнала на выходе мажоритарного элемента определяется длительностью нестационарного состояния, характерного для конкретной точки входа трека, определенных входных сигналов и значения LET.

## VII. ЗАКЛЮЧЕНИЕ

Особенности характеристик элементов при сборе заряда с трека ионизирующей частицы совместно с переключением сигналов на входах следует учитывать при проектировании КМОП микропроцессорных систем, предназначенных для космического применения. К этим особенностям относятся практически неизменные длительности их нестационарного состояния независимо от момента возникновения трека, если он возникает до переключения по входам. Другой особенностью



Значения длительностей нестационарного состояния ( $t_{\text{НЕСТ}}$ ) тройного мажоритарного элемента на КМОП логике 2И и 3ИЛИ и импульсов ошибок ( $t_{\text{ИМП.ОШИБ}}$ ) на выходе мажоритарного элемента, образующихся при сборе заряда с трека частицы при линейной передаче энергии на трек  $60 \text{ МэВ} \times \text{см}^2/\text{мг}$  в зависимости от точки входа трека и момента его образования ( $t_{\text{ТР}}$ ), а также сигналов на входах элемента

Характер переключения	Импульсы ошибок при опережающем переключении элемента			Импульсы ошибок при переключении элемента с дополнительной задержкой		
	“0” в “1”	“1” в “0”		“0” в “1”	“1” в “0”	
Перекл. входов						
Трек в элемент	3ИЛИ	2И	3ИЛИ	2И	3ИЛИ	3ИЛИ
Трек в группу	Gr4N	Gr1P	Gr4N	Gr1P	Gr4N	Gr4N
Трек	T <sub>4N</sub>	T <sub>1P</sub>	T <sub>4P</sub>	T <sub>1P</sub>	T <sub>4N</sub>	T <sub>4N</sub>
$t_{\text{ТР}}$ , пс	160	160	160	160	160	300
$t_{\text{НЕСТАЦ}}$ , пс	200	11	9	327	600	600
$t_{\text{ИМП.ОШИБ}}$ , пс	<b>32*</b>	<b>10*</b>	<b>31*</b>	<b>240**</b>	<b>560**</b>	<b>600*<sup>3</sup></b>
Графики зависимостей	Рис. 3б	Рис. 3а	–	–	Рис. 3в	Рис. 3г

Примечание: значком \* отмечены длительности опережения переключения при  $t_{\text{ТР}} = 160$  пс; значком \*\* отмечены длительности переключения с дополнительной задержкой относительно момента смены сигналов на входах мажоритарного элемента при  $t_{\text{ТР}} = 160$  пс; значком \*<sup>3</sup> отмечено значение длительности импульса ошибки при  $t_{\text{ТР}} = 300$  пс, образованной после завершения переключения мажоритарного элемента по входам; в скобках в таблице указана длительность “просадки” напряжения (импульса помехи), вызванного сбором заряда элемента И и ИЛИ после переключения элемента

является либо опережающее переключение мажоритарного элемента, либо дополнительное увеличение задержки переключения, инициируемые сбором заряда с трека в зависимости от значений сигналов на входах. Задержка переключения может варьироваться от 12 пс до 345 пс в зависимости от точки входа трека и сигналов на входах. Максимальны длительности ложных выходных импульсов, зависящие от длительности нестационарных состояний, образуются и завершаются до переключения сигналов на входах, а также после полного завершения переключения элемента по его входам имеют значения 420 пс для элементов на логике И-НЕ и логике 2И и 2ИЛИ при ширине каналов КМОП транзисторов 400 нм, а для элемента на логике 2И и 3ИЛИ составляют 600 пс при ширине каналов КМОП транзисторов элемента 3ИЛИ 800 нм.

#### ПОДДЕРЖКА

Работа выполнена в рамках Госзадания, проект № 0065-2019-0008 "Архитектурные и схемотехнические методы снижения энергопотребления и повышения сбоеустойчивости микропроцессоров и коммуникационных контроллеров высокопроизводительных ЭВМ".

#### ЛИТЕРАТУРА

[1] Dodd P.E., Shaneyfelt M.R., Felix J.A., Shwank J.R. Production and Propagation of Single-Event Transients in High-Speed Digital Logic ICs // IEEE Transactions on Nuclear Science. 2004. V. 51. № 6. P. 3278–3284.

- [2] Dodd P.E., Messengill L.W. Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
- [3] Ahlbin J. R., Massengill L. W., Bhuvu B. L., Narasimham B., Gadlage M. J., Eaton P. H., Single-event transient pulse quenching in advanced CMOS logic circuits // IEEE Transactions on Nuclear Science. 2009. V. 56. № 6. P. 3050–3056.
- [4] Atkinson N.M., Witulski A.F., Holman W.T., Ahlbin J.R., Bhuvu B.L., Massengill L.W. Layout technique for single-event transient mitigation via pulse quenching // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 885–890.
- [5] Стенин В.Я., Катунин Ю.В. Моделирование переходных процессов в мажоритарном элементе при переключении и сборе заряда с трека одиночной частицы // Микроэлектроника. 2020. Т. 49. № 5. С. 353–365.
- [6] Стенин В.Я., Катунин Ю.В. Особенности образования помех при переключении КМОП элемента и воздействии ионизирующей частицы // Вестник НИЯУ МИФИ. 2020. Т. 9. №4. С. 345–356.
- [7] Стенин В.Я., Катунин Ю.В. КМОП мажоритарный элемент на основе И-НЕ логики с пониженной чувствительностью к воздействию одиночных ионизирующих частиц // Микроэлектроника. 2021. Т. 50. № 5. С. 353–365.
- [8] Garg R., Khatri S.P. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.
- [9] Soft errors in Modern Electronic Systems / M. Nicolaidis, Ed. New York: Springer, 2011. P. 27–54.

# Comparative Analysis of the Error Pulses Formation at Outputs of Triple Majority CMOS Gates During Charge Collecting from Tracks of Single Ionizing Particles

Yu.V. Katunin<sup>1</sup>, V.Ya. Stenin<sup>1,2</sup>

<sup>1</sup>Scientific Research Institute of System Analysis of RAS, Moscow

<sup>2</sup>National Research Nuclear University MEPhI (Moscow Engineering Physics Institute), Moscow

katunin@cs.niisi.ras.ru, vystenin@mephi.ru

**Abstract** — The paper analyzes and compares triple majority gates designed on 65-nm bulk CMOS technology. The first majority gate is realized on NAND gates with a topological structure in which all the transistors of the output 3NAND gate are one by one introduced into groups of the same conductivity type transistors of three input 2NAND gates. The second majority gate is based on 2AND and 2OR logic gates. Third majority gate is realized on 2AND and 3OR gates. A special feature of the study is the classification and analysis of error pulses that occur at the outputs of majority gates when collecting charge from the tracks of single ionizing particles both before and after switching inputs of the gate. The study was carried out using 3D TCAD simulation with tracks at normal direction to the surface and linear energy transfer of 60 MeV×cm<sup>2</sup>/mg. Four types of error pulses formed at the outputs of all majority gates were observed. These are two types of error pulses formed before switching the inputs of the gate. The first is a pulse with the duration of the non-stationary state, which is formed if the time interval between the moment of the track occurrence and the moment of the beginning of switching signals at the inputs of the majority gate is longer than the duration of the non-stationary state. The second is the error pulse of the advanced switching of the gate, initiated by the charge collection from the track that occurs before switching signals at the inputs of the elements. In addition, there are two types of error pulses formed after switching the gate by inputs, namely, an error pulse with additional delay in switching the gate and an error pulse with duration of a non-stationary state formed after switching the inputs of the gate is completed. For tracks that occur after the completed switching of the gate by the inputs, an error pulse is formed with the duration of the non-stationary state that is characteristic of this input track point and the signal levels at the inputs. It has been found that the duration of the non-stationary state of AND and OR gates as parts of the majority gate during charge collection and simultaneous switching by inputs depends on the specific input track point into the group of transistors and the combination of input signal levels and practically does not depend on the moment of the track formation. The error pulses when changing the moment of track formation are shifted in time by a time interval equal to the offset of track formation moment relative to the moment of switching the inputs of the gate. The switching time of the majority gate on 2AND and 3OR varies from 9 ps to 600 ps, depending on the input track point and the input signals.

The durations of non-stationary states, which determine the maximum values of the pulse durations of error signals formed at the outputs of the majority gates with advanced

switching and the pulses that occur after the gate is completely switched by its inputs, have values of 420 ps for gate on NAND logic and for gate on 2AND and 2OR logic, and are 600 ps for the gate on 2AND and 3AND logic. The maximum values of error pulse durations with additional switching delay of the majority gate corresponding to the listed elements are 270 ps, 345 ps and 560 ps.

**Keywords** — charge collection, error pulse, logic element, majority gate, noise pulse, non-stationary state, simulation, single particle, track.

## REFERENCES

- [1] Dodd P.E., Shaneyfelt M.R., Felix J.A., Shwank J.R. Production and Propagation of Single-Event Transients in High-Speed Digital Logic ICs // IEEE Transactions on Nuclear Science. 2004. V. 51. № 6. P. 3278–3284.
- [2] Dodd P.E., Messergill L.W. Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
- [3] Ahlbin J. R., Massengill L. W., Bhuvu B. L., Narasimham B., Gadlage M. J., Eaton P. H., Single-event transient pulse quenching in advanced CMOS logic circuits // IEEE Transactions on Nuclear Science. 2009. V. 56. № 6. P. 3050–3056.
- [4] Atkinson N.M., Witulski A.F., Holman W.T., Ahlbin J.R., Bhuvu B.L., Massengill L.W. Layout technique for single-event transient mitigation via pulse quenching // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 885–890.
- [5] Stenin V.Ya., Katunin Yu.V. Simulation of Transients in a Majority Gate upon Switching and Collecting Charge from the Track of a Single Particle // Russian Microelectronics. 2020. V. 49. № 5. P. 332–344.
- [6] Stenin V.Ya., Katunin Yu.V. Features of a Noise Pulse Formation when Switching a CMOS Element and Exposure to an Ionizing Particle // Vestnik natsional'nogo issledovatel'skogo yadernogo universiteta "MIFI". 2020. V. 9. № 4. P. 345–356.
- [7] Stenin V.Ya., Katunin Yu.V. The CMOS majority element based on NAND logic with a reduced sensitivity to effects of single ionizing particles // Russian Microelectronics. 2021. V. 50. № 5. P. 353–365.
- [8] Garg R., Khatri S.P. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.
- [9] Soft errors in Modern Electronic Systems / M. Nicolaidis, Ed. New York: Springer, 2011. P. 27–54.