

Архитектура и структурно-топологические особенности бит-поточковых устройств

О.И. Буренева, А.Д. Милакин, С.Э. Миронов

Санкт-Петербургский государственный электротехнический университет «ЛЭТИ»
им. В.И. Ульянова (Ленина), г. Санкт-Петербург, semironovspb@yandex.ru

Аннотация — В статье изложены результаты исследований в области аппаратной реализации бит-поточковых устройств, работа которых основана на методе малых приращений, что позволяет выполнять различные арифметические преобразования в базе операций инкремент/декремент. Архитектурные особенности бит-поточковых вычислителей показаны на примере множительно-делительного устройства. Проведена оценка быстродействия и аппаратных затрат при его реализации на ПЛИС с использованием описания на языке Verilog. Изложены аспекты реализации бит-поточковых устройств в виде заказных фрагментов СБИС и проведено сравнение характеристик традиционных матричных устройств и бит-поточковых вычислителей.

Ключевые слова — бит-поточковые устройства, матричные вычислительные устройства, конвейерные схемы, структурная организация, топологическая реализация, множительно-делительное устройство.

I. ВВЕДЕНИЕ

При проектировании систем контроля и диагностики актуальной задачей является разработка вычислительных устройств, работающих в реальном времени, реализованных с минимальными аппаратными затратами и обеспечивающих высокую надежность. При этом интерес представляют устройства, выполняющие различные по сложности операции: сложение, умножение, деление, а также функциональные преобразования. Если обработка данных выполняется максимально близко к точке их получения, то естественным является организация вычислений в тех формах представления информации, в которых она представлена первоначально, например, на выходе сенсора. При этом отдельное внимание уделяется вопросам надежности обработки.

Решение таких комплексных задач связано с поиском новых подходов к организации вычислений, которые выполняются в цифровой форме, но по иным принципам. За основу могут быть взяты разные подходы, например, основанные на аналоговых методах обработки информации [1], стохастических методах [2], различных принципах кодирования данных [3], оригинальных системах счисления [4] и др.

Распространенной формой представления информации в системах мониторинга является импульсная форма: большинство сенсоров формируют

выходной сигнал в частотной или широтно-импульсно-модулированной форме. Такие сигналы могут быть легко преобразованы в двоичные коды с последующей организацией вычислений с использованием традиционных цифровых элементов. Альтернативное решение предполагает построение устройств, выполняющих вычисления без изменения форм представления данных. Информация в потоках импульсов единичной амплитуды (битовых потоках) связывается с временными параметрами импульсов и может обрабатываться на традиционных цифровых элементах без изменения формы представления. Такие устройства, называемые бит-поточковыми (БП) [5]-[7], позволяют выполнять преобразования в базе простых операций, обеспечивая при этом высокую отказоустойчивость обработки.

Представленная работа посвящена изложению результатов исследований авторов в области бит-поточковых устройств, которые работают по методу малых приращений. Она продолжает начатые ранее исследования в области вычислительных устройств бит-поточковой обработки информации [8], [9], однако, в отличие от предшествующих публикаций, посвященных математическим принципам реализации вычислительного процесса и структурной организации таких устройств, в ней излагаются аспекты их реализации в виде заказных фрагментов СБИС.

В качестве примера, иллюстрирующего подход к организации бит-поточковых преобразований, рассматривается множительно-делительная операция, часто используемая при обработке сигналов в системах мониторинга и управления. Традиционно она реализуется с применением матричных вычислительных устройств (МВУ), представляющих собой комбинации умножителей и делителей двоичных кодов. В отдельных случаях для повышения производительности могут использоваться конвейерные реализации.

Представленные результаты исследования функциональных особенностей бит-поточкового множительно-делительного устройства и его сравнения с традиционной реализацией в виде матричного устройства, как на функциональном, так и на топологическом уровне обеспечивают научную новизну работы.

II. АРХИТЕКТУРА БИТ-ПОТОКОВЫХ УСТРОЙСТВ

Обобщенная структура БП устройства представлена на рис. 1. Устройство обрабатывает информацию, представленную потоками единичных импульсов F , потоками широтно-импульсно модулированных сигналов Θ и двоичными кодами N . Комбинация сигналов: частотного f , ШИМ Θ , кодового N и сигнала рассогласования R , который может быть представлен в любой из перечисленных форм, с учетом весовых коэффициентов a, b, c и d поступают на преобразователи f_i ($1 \leq i \leq m$). Эти преобразователи формируют внутренние битовые потоки p_i , которые группируются в положительную Σ_+ и отрицательную Σ_- цепи устройства, характеризующиеся потоками:

$$P_+ = \sum_{k=1}^l v_k P_k \quad \text{и} \quad P_- = \sum_{k=1}^l w_k P_k,$$

где v_k, w_k – весовые коэффициенты потоков на входе блока суммирования.

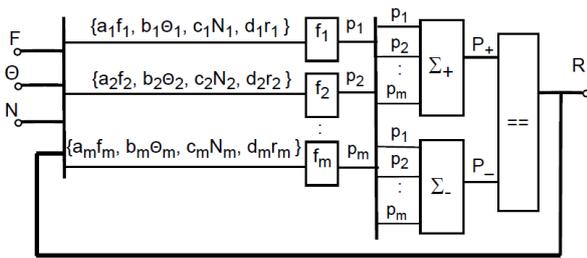


Рис. 1. Структурная схема бит-потокowego устройства

Отрицательная обратная связь реализует механизм компенсации и обеспечивает достижение состояния равновесия. Это состояние характеризуется динамическим уравниванием возмущающего (положительного, P_+) и компенсирующего (отрицательного, P_-) потоков, которое выявляется блоком сравнения и преобразования (=). В состоянии динамического равновесия выходное значение R соответствует результату преобразований и может быть представлено в кодовой или бит-потоковой форме.

III. БИТ-ПОТОКОВОЕ МНОЖИТЕЛЬНО-ДЕЛИТЕЛЬНОЕ УСТРОЙСТВО

Рассмотрим устройство, реализующее в бит-потоковой форме множительно-делительную операцию в соответствии с выражением:

$$N_{out} = \frac{N\Theta_1}{\Theta_2} \quad (1)$$

где N и N_{out} – входной и выходной двоичные коды, Θ_1 и Θ_2 – широтно-импульсно-модулированные (ШИМ) сигналы.

Функциональная схема бит-потокowego множительно-делительного устройства (БП МДУ) приведена на рис. 2.

Входной и выходной коды N и N_{out} поступают на входы преобразователей кода в частоту 1 и 2, которые

формируют потоки битов со средними частотами F_1 и F_2 соответственно. Средние за период работы устройства частоты описываются следующими выражениями:

$$\overline{F_1} = \frac{N f}{2^n}, \quad \overline{F_2} = \frac{N_{out} f}{2^n},$$

где n – разрядность.

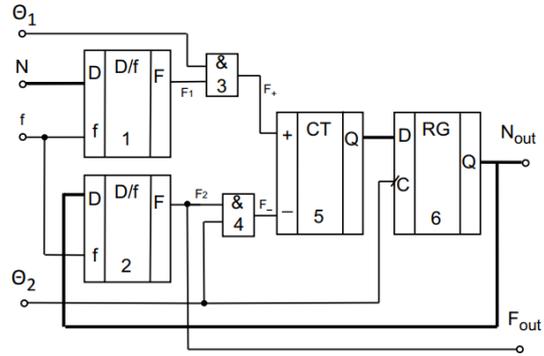


Рис. 2. Функциональная схема бит-потокowego множительно-делительного устройства

Элементы & 3 и 4 реализуют операцию умножения входных ШИМ сигналов Θ_1 и Θ_2 на битовые потоки с частотами F_1 и F_2 соответственно, формируя положительный F_+ и отрицательный F_- битовые потоки устройства, которые описываются выражениями

$$\overline{F_+} = \frac{N f \Theta_1}{2^n} \quad \text{и} \quad \overline{F_-} = \frac{N_{out} f \Theta_2}{2^n}.$$

В качестве схемы сравнения, вырабатывающей сигнал рассогласования, используется реверсивный счетчик 5. Используя только две операции «+1» и «-1», то есть работая с малыми положительными и отрицательными приращениями, счетчик выполняет вычитание битовых потоков F_+ и F_- , а также интегрирование полученной разности с выдачей результата в виде двоичного кода. Для реализации запоминания значений в контуре отрицательной обратной связи использован регистр 6.

Отрицательная обратная связь реализует компенсационный механизм и обеспечивает достижение стабильного состояния, при котором битовые потоки F_+ и F_- характеризуются одинаковым количеством импульсов, приходящих в течение одного периода работы устройства, то есть

$$\frac{N f \Theta_1}{2^n} = \frac{N_{out} f \Theta_2}{2^n}.$$

Упрощая последнее выражение, получим функцию устройства (1).

Выход преобразователя кода в частоту 2 на рис. 2 можно рассматривать как дополнительный выход устройства, представляющий результат множительно-

делительной операции в бит-поточковой форме, со средним за период значением $\overline{F_{out}} = \overline{F_2}$.

IV. ОЦЕНКА БЫСТРОДЕЙСТВИЯ И АППАРАТНЫХ ЗАТРАТ БИТ-ПОТОКОВОГО МНОЖИТЕЛЬНО-ДЕЛИТЕЛЬНОГО УСТРОЙСТВА

Для оценки характеристик бит-поточкового множительно-делительного устройства использовалась система автоматизированного проектирования цифровых устройств на базе микросхем программируемой логики Quartus II 13 компании Intel FPGA. Было подготовлено описание БП МДУ на языке VHDL и проверена его синтезируемость. Такое же преобразование было реализовано в базе традиционных цифровых элементов (матричных множителя и делителя) с представлением аргументов в кодовой форме и последовательным выполнением необходимых арифметических операций, для чего использовались мегафункции встроенной библиотеки Quartus II. Для работы с потоковыми представлениями информации классическую реализацию множительно-делительного устройства необходимо дополнить элементами преобразования ШИМ сигналов в двоичный код для формирования соответствующих входных данных для МВУ.

БП МДУ имплементируется как в ПЛИС CPLD, так и в FPGA. Классическая реализация имплементируется в микросхемы FPGA, так как в ПЛИС этого типа есть встроенные аппаратные умножители, а при выборе в качестве целевой ПЛИС CPLD компиляция в большинстве случаев заканчивается сообщениями об ошибках.

Характеристики БП МДУ при имплементации его описания в микросхему CPLD EPM3128ATC100-5 приведены в табл. 1.

Таблица 1

Оценка аппаратных затрат на реализацию БП МДУ

Бит-поточковая реализация					
Параметр	Разрядность, бит				
	8	10	12	14	16
Логические ячейки	68	84	105	124	151
Регистры	59	73	87	101	115
Разделяемые расширители	27	31	36	42	48
Параллельные расширители	5	7	12	16	20

Временные характеристики устройства оценивались с использованием утилиты Time Quest Timing Analyzer. Максимально допустимая частота работы F_{max} практически не изменяется с изменением разрядности и составляет 188,68 МГц. Период работы устройства при 10 разрядах составляет 5,4 мкс.

Характеристики БП МДУ и классической реализации множительно-делительной операции для кодовых аргументов при имплементации в микросхему FPGA Cyclone 2 EP2C5T144C6 приведены в табл. 2. Для сравнения использовалась комбинационная

реализация без конвейеризации с фиксацией в регистрах только значений с выходов умножителя и делителя.

В обоих вариантах наблюдается практически линейная зависимость аппаратных затрат от разрядности устройства. При этом затраты на реализацию классического матричного вычислительного устройства по логическим ячейкам значительно превышают аппаратные БП МДУ. Очевидно, что традиционная конвейерная реализация множительно-делительной операции приведет к увеличению аппаратных затрат в части регистров.

Также следует отметить, что мегафункции ориентированы на работу с двоичными кодами и для преобразования импульсных потоков, снимаемых с сенсоров, потребуются дополнительные преобразователи в кодовую форму, что еще увеличит разницу в аппаратных затратах в пользу БП МДУ.

Таблица 2

Результаты сравнения аппаратных затрат на реализацию БП МДУ и классической аппаратной реализации множительно-делительной операции

Параметр	Разрядность, бит				
	8	10	12	14	16
Бит-поточковая реализация					
Логические элементы	64	78	92	106	120
Регистры	59	73	87	101	115
Логические элементы (нормальный режим)	21	23	23	25	26
Логические элементы (арифметический режим)	31	41	51	61	71
Классическая реализация					
Логические элементы	215	333	475	641	832
Регистры	24	30	36	42	48
Логические элементы (нормальный режим)	105	164	235	318	414
Логические элементы (арифметический режим)	102	159	228	309	402
9-битные встроенные умножители	1	2	2	2	2

По результатам работы утилиты Time Quest Timing Analyzer определено, что частота F_{max} БП МДУ близка к максимальной частоте работы ПЛИС и составляет 400 МГц. Период работы 10-разрядного БП МДУ – 2,56 мкс. Учитывая долгий выход на режим отслеживания, обусловленный отрицательной обратной связью, первый результат появится на выходе устройства через 6-10 периодов, что составляет 25,6 мкс. Далее вычисления будут выполняться в следящем режиме с выдачей результатов с интервалом 2,56 мкс.

Частота F_{max} для классического вычислителя составляет 16,6 МГц. С учетом двухтактной латентности, первый результат будет получен через 120 нс, далее каждые 60 нс будет появляться результат для новых наборов входных данных.

Анализ полученных результатов показывает, что с точки зрения аппаратных затрат выполнение множительно-делительной операции в бит потоковой форме является более экономичной по сравнению с традиционными матричными реализациями.

При этом бит-потокное МДУ отличается долгим выходом в режим динамического равновесия, что обусловлено компенсационными механизмами, реализуемыми отрицательной обратной связью.

После достижения динамического равновесия БП МДУ перейдет в режим отслеживания и будет удерживать результат, а при возникновении кратковременных помех будет стремиться скомпенсировать их [9].

Бит потоковое устройство, построенное в соответствии со структурной схемой, приведенной на рис. 1, работает циклически. Период его работы определяется разрядностью и опорной частотой f , значение которой, как правило, максимально приближено к предельной частоте работы ПЛИС благодаря использованию коротких цепочек последовательно соединенных комбинационных элементов. При больших разрядностях период может иметь значения, достигающие единицы микросекунд, что делает невозможным применение БП устройств для вычислительных преобразований быстро изменяющихся сигналов. Если преобразуемый сигнал изменяется медленно, что может наблюдаться, например, при измерении температуры или скорости вращения, то использование бит-потокных преобразователей даст положительный эффект.

V. ОСОБЕННОСТИ ТОПОЛОГИЧЕСКОЙ РЕАЛИЗАЦИИ БИТ-ПОТОКОВЫХ УСТРОЙСТВ

Рассматривая средства аппаратной поддержки бит-потокных вычислений, необходимо отметить однородность их структуры.

Действительно, учитывая, что преобразователи кода в частоту (блоки 1 и 2 в примере на рис. 2) строятся на основе счетчиков, можно сказать, что именно счетчики являются основными строительными блоками бит-потокных устройств.

Таким образом, при больших тиражах реализация бит-потокных вычислителей в виде заказных специализированных вычислительных устройств представляется более предпочтительной.

В качестве примера на рис. 3 приведена топология 4-разрядной секции бит-потокного множительно-делительного устройства. Из таких секций путем их матрицирования по вертикали можно собрать вычислитель требуемой разрядности.

Комбинирование же счетчиков разных типов (а именно «+Q», «-Q», «±Q», где $Q=2^k$, где k – натуральное число) позволяет, наращивая секции по горизонтали, строить устройства, реализующие сложные математические функции от многих переменных.

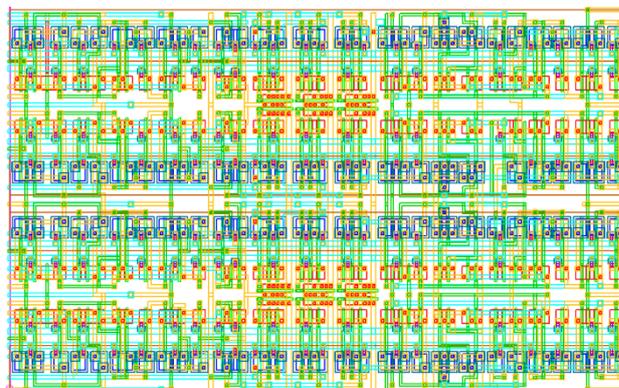


Рис. 3. Пример топологии 4-разрядного бит-потокного множительно-делительного устройства

Причем использование единых принципов топологической организации их ячеек гарантирует отсутствие в топологии пустот.

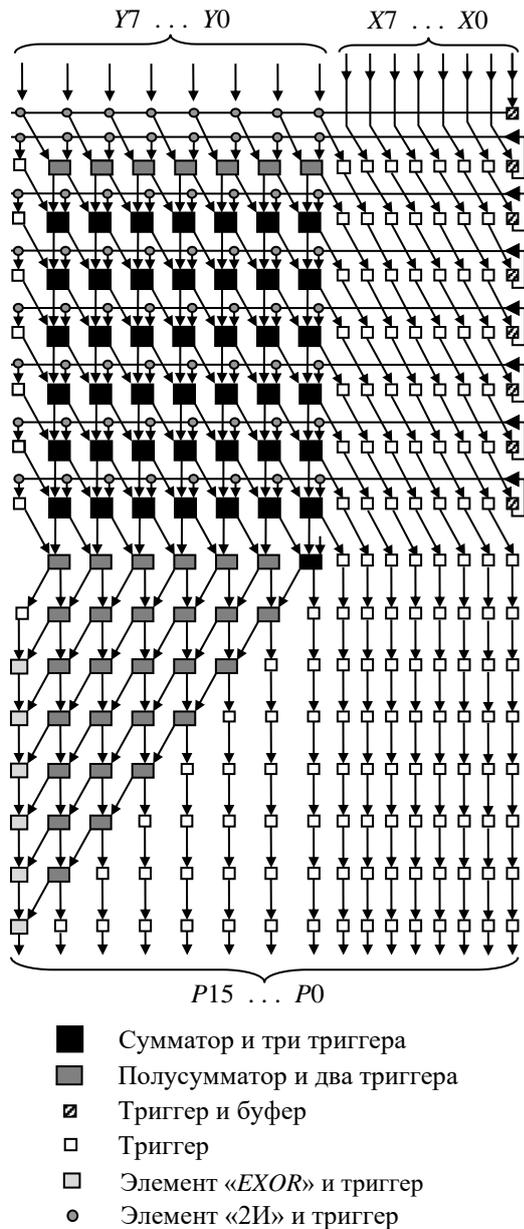
Высокая плотность упаковки обеспечивается также оригинальными средствами автоматизации иерархического проектирования [10], [11], осуществляющими адаптацию проекта к требуемым нормам, согласование ячеек по габаритам и положению выводов и сборку топологии устройства.

Разработанная библиотека схемо-топологических решений счетчиков позволяет генерировать топологии устройств, различающиеся по быстродействию. Причем зависимость, как времени задержки, так и площади схемы на кристалле от разрядности данных будет носить линейный характер.

Альтернативой рассмотренному выше способу обработки потоковой информации является конвейеризация традиционных матричных вычислителей, обеспечивающее возможность их применения для обработки любых (а не только «плавно изменяющихся») данных.

Основным недостатком традиционных конвейерных матричных вычислителей являются очень большие аппаратные затраты (множество ячеек, состоящих как правило из логических элементов и сумматоров), которые в определенной степени все же удастся уменьшить.

В качестве примера, иллюстрирующего последнее утверждение, на рис. 4-5 приведены результаты структурно-топологического преобразования [12], [13] конвейерного матричного умножителя (КМУ) с поразрядной конвейеризацией фирмы AT&T Bell Laboratories [14]-[16] и конвейерного матричного делителя (КМД). Выполненные в соответствии с изложенной в [12], [13] методикой оптимизации регулярных макроблоков СБИС преобразования позволяют снизить площадь схем на кристалле примерно на 35%.

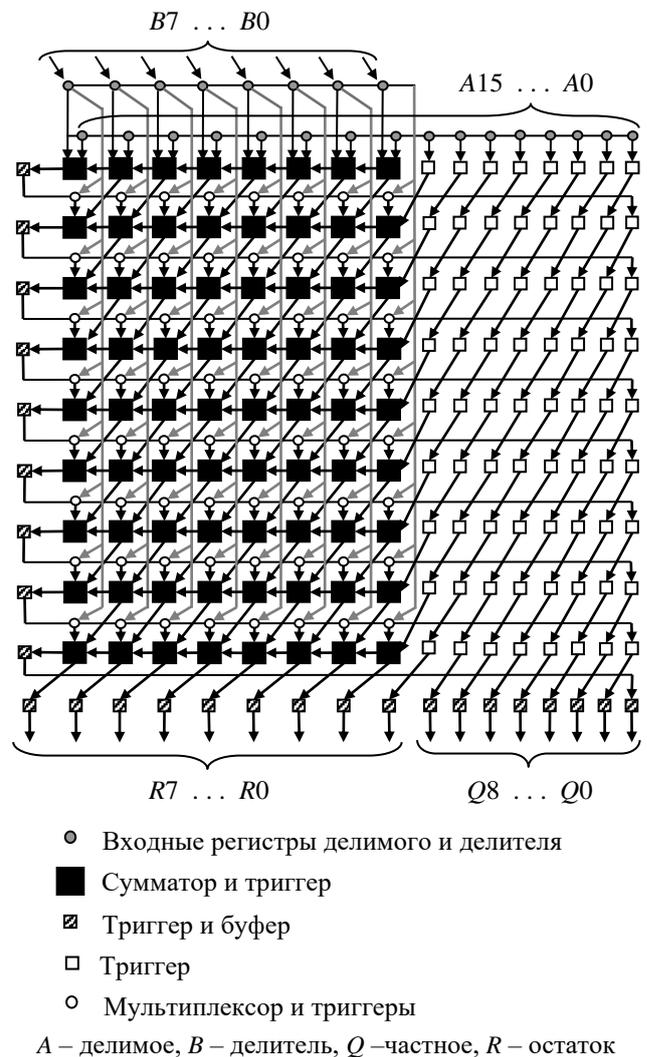


X – множимое, Y – множитель, P – произведение

Рис. 4. Структурно-топологическая схема конвейерного матричного умножителя с поразрядной конвейеризацией

Однако очевидно, что даже при таком ошутимом сокращении площади на кристалле конвейерного матричного вычислителя аппаратные затраты на реализацию бит-поточкового устройства умножения (определяемые счетчиком и двумя конвейерными регистрами) будут несоизмеримо меньше.

Так, например, при построении цепей переноса в сумматоре и счетчике на основе одних и тех же схемотехнических приемов (например, при их организации на проходных ключах по принципу манчестерской цепочки) площадь на кристалле всего бит-поточкового делителя окажется сравнимой с площадью лишь одной строки КМД.



A – делимое, B – делитель, Q – частное, R – остаток

Рис. 5. Структурно-топологическая схема конвейерного матричного делителя с поразрядной конвейеризацией

В качестве примера на рис. 6 приведены топологии конвейерного и бит-поточкового множително-делительного устройств. Рисунок наглядно демонстрирует разницу в площади, занимаемой на кристалле традиционным конвейерным и бит-поточковым вариантами реализации вычислителя.

Что же касается временных параметров, то их соотношение для бит-поточковых и конвейерных матричных вычислителей будет определяться характером вычислительных алгоритмов, реализуемых аппаратно в конвейерных устройствах.

Как видно из схем на рис. 4-5, распространение сигналов в традиционных матричных вычислительных устройствах может быть различным.

В приведенном на рис. 4 конвейерном матричном умножителе реализован алгоритм умножения, в соответствие с которым из ячеек в следующую строку передаются не только сигналы суммы, но и сигналы переноса из разряда в разряд. Таким образом, все ячейки в строке срабатывают одновременно, и тактовая

частота КМУ с поразрядной конвейеризацией будет определяться временами задержки конвейерного триггера и одноразрядного сумматора.

Однако в ряде алгоритмов очередной промежуточный результат зависит от предшествующего промежуточного результата. Так в структурно-топологической схеме конвейерного матричного делителя на рис. 5 действия в очередной строке выполняются в зависимости от знака предыдущего остатка. А, следовательно, тактовая частота определяется временами задержки конвейерного триггера, мультиплексора и многоразрядного сумматора.

Учитывая, что у бит-поточкового устройства тактовая частота определяется временами задержки конвейерного триггера и многоразрядного счетчика,

можно сказать, что тактовые частоты КМД и бит-поточкового устройства деления будут примерно одинаковыми, а КМУ будет работать с большей частотой. Правда, при использовании некоторых приемов можно добиться существенного ускорения переноса. Однако это, во-первых, потребует и существенного увеличения аппаратных затрат, а во-вторых некоторого дополнительного времени для выполнения подготовительных операций.

Таким образом, тактовая частота бит-поточкового устройства сравнима с тактовой частотой конвейерных матричных вычислителей с последовательным распространением сигнала переноса в строке и уступает тактовой частоте конвейерных МВУ с передачей сигналов переносов из строки в строку.

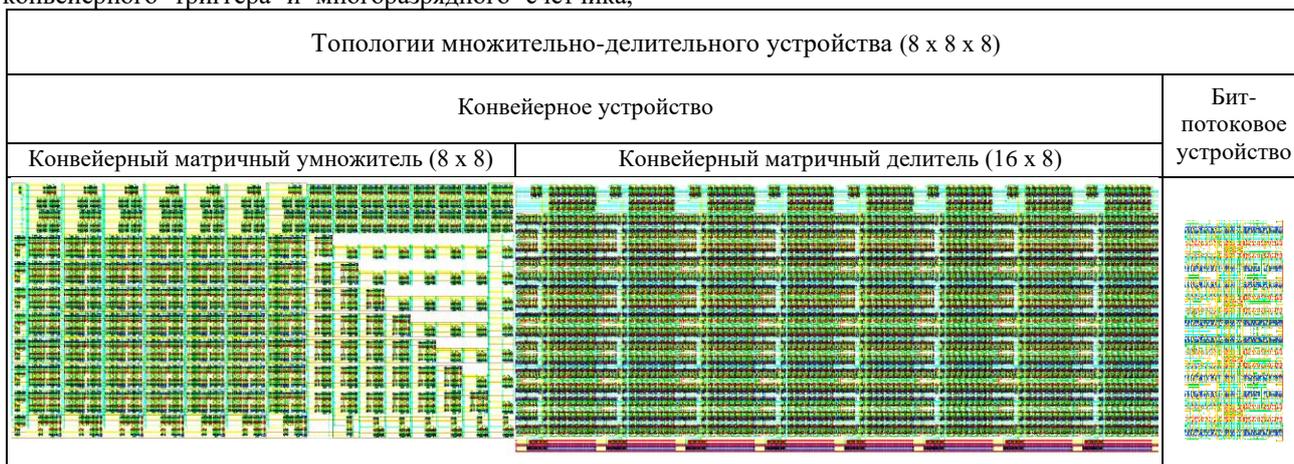


Рис. 6. Топологии конвейерного и бит-поточкового множительно-делительного устройств

При этом следует отметить, что при построении сложных вычислительных устройств путем объединения конвейерных матричных вычислителей в цепь из последовательно срабатывающих модулей тактовая частота будет определяться как максимальная из их частот.

ЗАКЛЮЧЕНИЕ

Представленный вариант реализации бит-поточкового вычислительного устройства обладает рядом преимуществ, обусловленных его архитектурой:

- сведение сложных операций к базису малых приращений (к операциям «+1» и «-1») обеспечивает минимизацию аппаратных затрат;
- наличие отрицательной обратной связи позволяет отслеживать входной сигнал, обеспечивая подавление кратковременных помех и сбоев;
- использование простых цифровых элементов позволяет реализовывать бит-поточковые устройства на базе программируемых логических микросхем класса CPLD.

При переходе к реализации в виде заказных СБИС проявляется еще одно важное достоинство аппаратной

реализации бит-поточковых устройств – регулярность их структуры, что обеспечивает легкое наращивание при увеличении разрядности. Это обусловлено тем, что базовыми элементами БП устройств являются двоичные счетчики, которые при применении определенных схемо-топологических решений могут быть реализованы с малыми аппаратными затратами.

При этом сложность реализуемой функции незначительно увеличивает сложность как функциональной, так и топологической реализации конечного бит-поточкового устройства.

Серьезным недостатком бит-поточковых устройств является долгий выход в режим динамического равновесия и периодичность работы с линейной зависимостью длительности периода от разрядности. Этот недостаток частично может быть скомпенсирован различными корректирующими функциями, вносимыми в цепь обратной связи, что является предметом дальнейших исследований в области бит-поточковых устройств. При этом в следящем режиме, после выхода в режим равновесия, устройства отслеживают и обрабатывают поступающие биты потока с достаточно высокой тактовой частотой, определяемой задержкой срабатывания счетчиков.

Уже на текущем этапе предложенные устройства могут быть использованы для вычислительных преобразований в системах контроля инерционных процессов.

ЛИТЕРАТУРА

- [1] Al-Makhles D., Patel N., Swain A. Conventional and hybrid bit-Stream in real-time system / Proceedings of the 11th Workshop on Intelligent Solutions in Embedded Systems (WISES). Pilsen, Czech Republic. 2013.
- [2] Najafi M. H., Faraji S. R., Li B., Lilja D. J., Bazargan K. Accelerating Deterministic Bit-Stream Computing with Resolution Splitting / 20th International Symposium on Quality Electronic Design (ISQED). 2019. pp. 157–162.
- [3] Лосев В.В., Орлов Д.В. Арифметические алгоритмы системы кодирования 1 из 4 с активным нулем и оценка параметров быстродействия и занимаемой площади блока суммирования // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2012. С. 525-528.
- [4] Стемповский А.Л., Корнилов А.И., Семенов М.Ю., Ласточкин О.В., Калашников В.С. Построение систем повышенной надежности на основе аппарата модулярной арифметики с применением современных методов и средств проектирования // Проблемы разработки перспективных микроэлектронных систем - 2006. Сборник научных трудов / под общ. ред. А.Л. Стемповского. М.: ИППМ РАН, 2006. С. 253-258.
- [5] Zrilic D.G. Functional Processing of Delta-Sigma Bit-Stream. Springer, Cham, 2020.
- [6] Klein A., Schumacher W. Algebraic Operators on Delta-Sigma Bit-Streams // Mathematical and Computational Applications. 2018. 23(3):49.
- [7] Safyannikov N., Bureneva O. Bit-Stream Functional Converters for Decentralized Sensor Systems / 9th Mediterranean Conf. on Embedded Computing (MECO) / IEEE, pp. 1–4.
- [8] Bureneva O., Kupriyanov M., Safyannikov N. Bit Streaming Processing Algorithms for Intelligent Hardware Converters // Applied Sciences. 2021. 11(11):4899.
- [9] Gulin A. I., Safyannikov N. M., Bureneva O. I. Kaydanovich A. Y. Assurance of Fault-Tolerance in Bit-Stream Computing Converters / IEEE East-West Design & Test Symposium (EWDTS). 2018, pp. 1–4. doi:10.1109/EWDTS.2018.8524812.
- [10] Mironov S.E., Vasiliyev A.Yu., Safyannikov N.M. Means Of Automating The Hierarchical Design Of Complex Microelectronic Circuits With Uncertainty Of Design Rules // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2019. Вып.1. С. 7–13.
- [11] Миронов С.Э., Андреев Л.Е., Зибарев К.М. Технология комплексной параметризации топологических проектов регулярных макроблоков СБИС // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2020. Вып. 3. С. 35-40. doi:10.31114/2078-7707-2020-3-35-40
- [12] Миронов С.Э., Сафьянников Н.М., Фролкин А.К. Методика структурно-топологической оптимизации регулярных макроблоков СБИС. // Изв. СПбГЭТУ «ЛЭТИ». – 2015. – Вып. 1. – С. 17–23.
- [13] Сафьянников Н.М., Фролкин А.К. Структурные преобразования макроблоков СБИС путём перегруппировки их функционально однородных зон // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2016. № 3. С. 226-231.
- [14] Hatamian M., Gash G. L. A 70 MHz 8-bit*8-bit parallel pipelined multiplier in 2.5 micron CMOS - IEEE J. Solid-State Circuits. – 1986. – V. SC-21, № 4. P. 505-513, Aug.
- [15] Hatamian M., Gash G. L. Parallel bit-level pipelined VLSI designs for High-speed signal processing - Processings of the IEEE. – 1987. – V. 75, № 9, P. 1192-1202, Sep.
- [16] Glenn L. Cash, Mehdi Hatamain, Adrianus Ligtenberg. Pipeline Arithmetic Adder and Multiplier. American Telephone and Telegraph Company, AT&T Bell Laboratories. Patent Number: 4,887,233. Date: 12 Dec., 1989.

Architecture and Structural-Topological Features of Bit-Stream Devices

O.I. Bureneva, A.D. Milakin, S.E. Mironov

Saint Petersburg Electrotechnical University «LETI», Saint Petersburg, semironovspb@yandex.ru

Abstract— The paper shows a generalized structural diagram of a bit-stream device and defines its main elements.

Purpose. Determination of the main features of the bit-stream devices hardware implementation.

Methods. Based on the derivation of the transfer characteristic formula, using the example of a multiplication-division device, it is shown how the operations can be implemented using increment/decrement operations. To determine the efficiency of the bit-stream multiplier-divider, its comparison with the traditional matrix implementation of the same function was performed. When implementing it on an FPGA, the authors determined the properties of the device by modeling: the device was designed in the VHDL and synthesized by the Quartus II CAD system. When

implementing it in the form of custom VLSI fragments using original hierarchical compression tools, the topologies of bit-stream and matrix calculators were obtained.

The obtained results. The document shows that:

- bit-streaming devices have regular structure; this ensures easy buildup with increasing bit depth;
- the main elements of the bit-streaming devices are binary counters, varying which you can implement different functions;
- bit-streaming devices are more economical in terms of hardware costs, while losing in terms of time characteristics, which is determined by the

peculiarities of the bit-stream representation of information.

Discussion. The considered bit-streaming devices can be used in inertial control systems, where the conversion time is not critical.

Keywords— bit-stream devices, matrix computing devices, pipeline circuits, structural organization, layout implementation, multiplying-dividing device.

REFERENCES

- [1] Al-Makhles D., Patel N., Swain A. Conventional and hybrid bit-Stream in real-time system / Proceedings of the 11th Workshop on Intelligent Solutions in Embedded Systems (WISES). Pilsen, Czech Republic. 2013.
- [2] Najafi M. H., Faraji S. R., Li B., Lilja D.J., Bazargan K. Accelerating Deterministic Bit-Stream Computing with Resolution Splitting / 20th International Symposium on Quality Electronic Design (ISQED). 2019. pp. 157–162.
- [3] Losev V.V., Orlov D.V. Arithmetical algorithms of the coding system of 1 from 4 with an active zero and estimation of the parameters of high-speed performance and occupied area of the unit of summation // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2012. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2012. P. 525-528.
- [4] Stempkovsky A.L., Kornilov A.I., Semenov M.Yu., Lastochkin O.V., Kalashnikov V.S. Construction of systems of raised reliability based on residual arithmetics with application of modern methods and tools of designing // Problems of Perspective Microelectronic Systems Development - 2006. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2006. P. 253-258. (in Russian)
- [5] Zrilic D.G. Functional Processing of Delta-Sigma Bit-Stream. Springer, Cham, 2020.
- [6] Klein A., Schumacher W. Algebraic Operators on Delta-Sigma Bit-Streams // Mathematical and Computational Applications. 2018. 23(3):49.
- [7] Safyannikov N., Bureneva O. Bit-Stream Functional Converters for Decentralized Sensor Systems / 9th Mediterranean Conf. on Embedded Computing (MECO) / IEEE, pp. 1–4.
- [8] Bureneva O., Kupriyanov M., Safyannikov N. Bit Streaming Processing Algorithms for Intelligent Hardware Converters // Applied Sciences. 2021. 11(11):4899.
- [9] Gulin A. I., Safyannikov N. M., Bureneva O. I. Kaydanovich A. Y. Assurance of Fault-Tolerance in Bit-Stream Computing Converters / IEEE East-West Design & Test Symposium (EWDTS). 2018, pp. 1–4.
- [10] Mironov S.E., Vasiliyev A.Yu., Safyannikov N.M. Means Of Automating The Hierarchical Design Of Complex Microelectronic Circuits With Uncertainty Of Design Rules // Problems of Perspective Micro- and Nanoelectronic Systems Development. 2019. Issue 1. Pp. 7–13.
- [11] Mironov S.E., Andreev L.E., Zibarev K.M. Complex parameterization technology for topological projects of regular VLSI macroblocks // Problems of Perspective Micro- and Nanoelectronic Systems Development. 2020. Issue 3. P. 35-40. doi:10.31114/2078-7707-2020-3-35-40 (in Russian)
- [12] Mironov S.E., Safyannikov N.M., Frolkin A.K. Metodika strukturno-topologicheskoy optimizacii reguljarnyh makroblokov SBIS (A methodology for structural-layout optimization of regular VLSI macroblocks) // Izv. SPbGETU «LETI». – 2015. – Vyp. 1. – S. 17–23. (in Russian)
- [13] Safyannikov N.M., Frolkin A.K. Converting VLSI macroblock structure by regrouping uniform function blocks // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2016. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2016. Part 3. P. 226-231.
- [14] Hatamian M., Gash G. L. A 70 MHz 8-bit*8-bit parallel pipelined multiplier in 2.5 micron CMOS - IEEE J. Solid-State Circuits. – 1986. – V. SC-21, № 4. P. 505-513, Aug.
- [15] Hatamian M., Gash G. L. Parallel bit-level pipelined VLSI designs for High-speed signal processing - Processings of the IEEE. – 1987. – V. 75, № 9, P. 1192-1202, Sep.
- [16] Glenn L. Cash, Mehdi Hatamain, Adrianus Ligtenberg. Pipeline Arithmetic Adder and Multiplier. American Telephone and Telegraph Company, AT&T Bell Laboratories. Patent Number: 4,887,233. Date: 12 Dec., 1989.