

Решение задачи размещения элементов на печатной плате на основе упрощённой модели микрополосковой линии

Е.Ю. Щучкин

Национальный исследовательский университет «МИЭТ», Москва, shchuchkin-pkims@yandex.ru

Аннотация — При проектировании сложных цифровых систем с большим количеством абонентов, подключенных к параллельной шине данных, одним из важнейших моментов остается выбор оптимального размещения компонентов на печатной плате. Особое внимание при этом уделяется обеспечению целостности сигналов и временным характеристикам. В данной статье рассмотрена методика построения модели проводников, учитывающей паразитные параметры платы, для предварительной оценки качества размещения компонентов на плате.

Ключевые слова — размещение, паразитные параметры, микрополосковая линия, целостность сигналов, оценка задержек, параллельная шина.

I. ВВЕДЕНИЕ

Одним из наиболее важных этапов разработки топологии печатной платы является этап размещения элементов. От размещения компонентов схемы на плате зависит возможность трассировки и обеспечение целостности сигналов. Требуемые характеристики электрического сигнала могут быть обеспечены, во-первых, выполнением правил проектирования разработчиком, во-вторых, правильно подобранными порядком следования и толщиной проводящих слоев и слоев диэлектрика в многослойной плате и, в-третьих, минимизацией паразитных составляющих межсоединений.

При проектировании сложных высокоскоростных вычислительных систем возникают ситуации, когда к общей параллельной шине подключено множество устройств, причем часть абонентов шины может находиться на другой печатной плате. В таких конфигурациях при неудачном размещении элементов возникают искажения сигналов, связанные с увеличением фронтов и отражениями на проводящих линиях [1]. Данный эффект может привести к необходимости снижения максимальной частоты работы устройства или вызвать перегрузку выходных драйверов микросхем.

При анализе важно учитывать не только паразитные емкости, но еще и индуктивности, приводящие к резкому возрастанию или провалу напряжения. Если такой скачок напряжения произойдет во время переключения тактового сигнала, то произойдет ошибка чтения или записи [2]. Поэтому важно оценивать не только время запаздывания сигнала, но его форму.

На этапе размещения решаются только задачи группировки элементов и выбора области печатной платы, на которую будут установлены компоненты. При этом отсутствуют данные о фактическом местоположении, форме, длине цепей и наличии переходных отверстий. Данные характеристики могут быть получены только на этапе трассировки. После получения характеристик цепей станет возможным детальное моделирование с последующей оценкой задержек и целостности сигналов. При неудачном раскладе потребуется перетрассировка или переразмещение компонентов платы.

Для того чтобы оценить целостность сигнала на этапе размещения элементов требуется методика, позволяющая эвристически оценить паразитные параметры цепей.

II. ТОЧНЫЕ МОДЕЛИ МИКРОПОЛОСКОВОЙ ЛИНИИ

A. Параметры микрополосковой линии

Для оценки паразитных составляющих проводников печатной платы используются модели, позволяющие рассчитать погонные значения емкости, индуктивности, проводимости и сопротивления микрополосковой линии. Зная погонные значения и длины проводников можно определить значения паразитных параметров платы для построения модели.

Исходными данным для расчета служат параметры выбранного технологического стека, такие как:

- W – ширина микрополосковой линии;
- T – высота микрополосковой линии;
- H – высота диэлектрического слоя;
- $\tan \delta$ – тангенс угла диэлектрических потерь;
- ϵ_r – относительная диэлектрическая проницаемость изолирующего материала подложки.

Геометрические параметры микрополосковой линии представлены на рис. 1.

Погонные значения паразитных составляющих цепей определяются из волнового сопротивления Z для каждого отдельного микрополоска [3]. Для определения волнового сопротивления применяются модели микрополосковой линии.

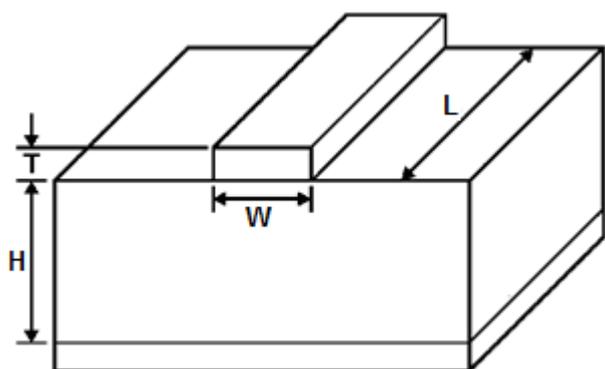


Рис. 1. Геометрические параметры микрополосковой линии

В. Модель Уилера

Довольно точные выражения для расчета волнового сопротивления микрополосковой линии расположенной над опорным металлическим слоем с диэлектриком между ними были представлены в работе Уилера [4]. Основой для расчетов служат эффективные геометрические размеры. Выражение для расчета импеданса описывается одной формулой в явном виде, а эффективная ширина микрополосковой линии учитывает магнитные потери, что является достоинством данной модели. Однако учет магнитных потерь требует применения дополнительных выражений для расчета эффективной ширины проводника, которые к тому же будут различаться для проводников с круглым и квадратным сечениями. Данные выражения требуют вычисления экспоненциальных и гиперболических функций.

С. Модель Хаммерстада-Дженсена

В работах [5]-[6] был описан подход, позволяющий рассчитать импеданс микрополосковой линии на основе эффективных геометрических размеров и эффективной диэлектрической проницаемости диэлектрика. Также приводятся выражения как для одной отдельно стоящей линии, так и для нескольких линий, связанных через емкость и магнитное поле. Модель позволяет получить значения импеданса микрополосковой линии с точностью до 0,2% при $\epsilon_r \leq 128$ и при $0,01 \leq \frac{W}{H} \leq 10$. Относительные ошибки результатов расчетов, полученные в работе [6], в 2-3 раза меньше, чем у результатов полученных при использовании модели Уилера. Данная модель получила распространение в современных САПР [7], но при этом также требует сложных и длительных вычислений с применением гиперболических функций.

III. АППРОКСИМАЦИЯ МОДЕЛИ МИКРОПОЛОСКОВОЙ ЛИНИИ ДЛЯ ЭТАПА РАЗМЕЩЕНИЯ

В этом разделе описана методика построения упрощенной модели микрополосковой линии, а также её преимущества на этапе размещения элементов при проектировании печатной платы.

А. Эквивалентные схемы проводника

Существует несколько распространенных схмотехнических моделей проводника, учитывающих его неидеальность. На рис. 2 представлены три типа простых моделей, учитывающих сопротивление проводника R , емкость между проводящими слоями C , индуктивность проводника L , и проводимость G , моделирующую частотно-зависимые утечки через диэлектрический слой.

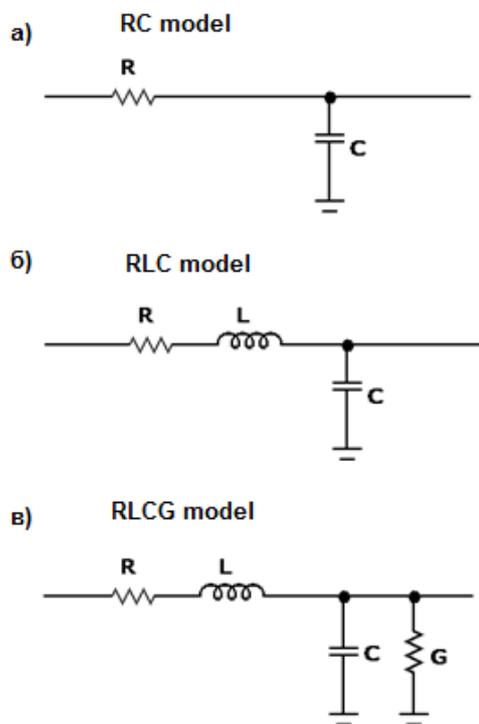


Рис. 2. Эквивалентные модели проводника: а) RC-модель; б) RLC-модель; в) RLCG-модель

В современных САПР при экстракции паразитных составляющих проводник разбивается на звенья. Для каждого отдельного звена проводника строится своя эквивалентная схмотехническая модель. Значения паразитных параметров звеньев получаются исходя из их длины и погонных параметров. Данный подход позволяет учитывать локальные особенности трассировки, такие как взаимная индукция и емкостная связь между проводниками и слоями [8]. Однако несмотря на высокую точность данный подход требует постоянного перерасчета значений погонных параметров, что увеличивает время моделирования [9-10]. На этапе размещения элементов, как правило, нет данных о расположении проводников и их связях с другими проводниками или опорными слоями. Поэтому для предварительной оценки RLCG-параметров цепей оптимальным вариантом будет использование обобщенных погонных параметров для печатной платы с заданными разработчиком параметрами технологического стека.

В. Методика расчета погонной емкости и погонной индуктивности

Оценку погонной индуктивности и емкости цепей для этапа размещения можно выполнить на основе упрощенной модели микрополосковой линии Хаммерстада-Дженсена. При расчете эффективной диэлектрической проницаемости ϵ_{eff} можно пренебречь коэффициентами $a(u)$ и $b(\epsilon_r)$, учитывая эффективное приращение ширины микрополосковой линии, а также влиянием скин-эффекта на ширину проводника [11][12]. Тогда получим формулу [12]:

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + \frac{10 \cdot H}{W}\right)^{-\frac{1}{2}}.$$

Волновое сопротивление микрополосковой линии Z можно определить как:

$$f_u = 6 + (2\pi - 6) \cdot \exp\left(-\left(30,666 \cdot \frac{H}{W}\right)^{0,7528}\right),$$

$$Z_{L1}(W, H) = \frac{120\pi}{2\pi} \cdot \ln\left(f_u \frac{H}{W} + \sqrt{1 + \left(\frac{2H}{W}\right)^2}\right),$$

$$Z = \frac{Z_{L1}(W, H)}{\sqrt{\epsilon_{eff}}},$$

где Z_{L1} – волновое сопротивление микрополосковой линии в однородной среде.

Таким образом, зная волновое сопротивление микрополосковой линии можно найти погонную емкость, индуктивность и проводимость [13]:

$$C_0 = \frac{\epsilon_{eff}}{c \cdot Z},$$

$$L_0 = C_0 Z^2,$$

$$G_0 = \tan \delta \cdot 2\pi \cdot f \cdot C_0,$$

где c – скорость света в вакууме;

f – частота сигнала.

Погонное сопротивление можно определить из:

$$R_0 = \frac{\rho}{w \cdot T}.$$

С. Методика оценки длины проводников

На этапе размещения разработчик в качестве основного критерия, как правильно, использует условие обеспечения минимума суммарной длины межсоединений, в котором ожидаемые длины между элементами идентифицируются их топологическими расстояниями [14]:

$$f_{св} = \sum_{i=1}^N \sum_{j=1}^N r_{ij} d_{ij} \rightarrow \min, \quad (1)$$

где r_{ij} – количество связей между i -ым и j -ым элементами;

d_{ij} – расстояние между i -ым и j -ым элементами;

N – количество элементов.

При этом подразумевается, что все связи обладают одинаковым приоритетом и оказывают одинаковое влияние на топологическую близость компонентов.

Однако распространены ситуации, когда несколько устройств, подключенных к общей шине, работают на разных частотах или обладают разными порогами переключения. Такие устройства задают более высокие требования к задержкам сигналов и в связи с этим должны обладать большим приоритетом при размещении. Для учета такого приоритета между элементами можно ввести коэффициент приоритета, нормированный к отрезку [0:1]:

$$p_{ij} = \frac{\frac{f_{ij}}{f_{max}} + \frac{V_{IHmin}}{V_{IHij}} + \frac{V_{ILmin}}{V_{ILij}}}{2},$$

где f_{ij} – частота обмена данными между i -ым и j -ым элементами;

f_{max} – максимальная частота работы шины;

V_{IHij} – минимальный из порогов переключения в состоянии логической единицы i -го и j -го элементов;

V_{IHmin} – минимальный порог переключения в состоянии логической единицы среди всех устройств на шине;

V_{ILij} – минимальный из порогов переключения в состоянии логического нуля i -го и j -го элементов;

V_{ILmin} – минимальный порог переключения в состоянии логического нуля среди всех устройств на шине.

Тогда подставив коэффициенты приоритета размещения p_{ij} в выражение (1) получим критерий оптимального размещения компонентов подключенных к параллельной шине:

$$f_{св} = \sum_{i=1}^N \sum_{j=1}^N p_{ij} r_{ij} d_{ij} \rightarrow \min. \quad (2)$$

После выполнения такого размещения компонентов на плате можно оценить длины цепей l_{ij} между элементами i и j , используя манхэттенскую метрику расстояния:

$$l_{ij} = |i_x - j_x| + |i_y - j_y|,$$

где i_x – координаты i -го элемента по оси x ;

i_y – координаты i -го элемента по оси y ;

j_x – координаты j -го элемента по оси x ;

j_y – координаты j -го элемента по оси y .

Зная длины и погонные значения паразитных параметров цепей можно построить схемотехническую модель для оценки соответствия требованиям к временным характеристикам.

IV. ПРИМЕР ПОСТРОЕНИЯ МОДЕЛИ

Описанный подход был применен при разработке топологии универсального модуля вычислителя, обладающего архитектурой, представленной в работе [15]. К общей параллельной 64-разрядной шине данных подключены процессор ЦОС, две микросхемы памяти SRAM, одна микросхема памяти EEPROM, одна FPGA, четыре микросхемы памяти FRAM и через кабельный шлейф к шине дополнительно подключены FPGA и USB сериалайзер. Ведущим устройством на параллельной шине данных выступает процессор ЦОС 1967BH028. Обмен данными между процессором и SRAM памятью осуществляется по быстрому синхронному протоколу с частотой 100 МГц. Остальные абоненты на шине работают по медленному асинхронному протоколу с частотой не выше 50 МГц.

С учетом того что микросхемы SRAM памяти работают на повышенной частоте шины и обладают низкими порогами переключения, они получают повышенный приоритет при размещении в соответствии с (2) и находятся в непосредственной близости с процессором ЦОС. Остальные компоненты получили одинаковый приоритет и могут быть размещены в произвольном порядке или соединены последовательно.

Один из вариантов размещения представлен на рис. 3 в виде дерева соединений. Такой вариант размещения был промоделирован в САПР MicroCap 12. Для моделирования приемопередатчиков использовались IBIS-модели драйверов микросхем. Межплатные разъемы были представлены в виде межвыводной DSP module

емкости, а кабель в виде RLC-цепи. Значения паразитных параметров для разъемов и кабеля были взяты из документации производителя.

Цепи между компонентами в MicroCap 12 представлены в виде элементов линии передач TLine, которые могут быть описаны как RC, RLC или RLCG звенья. Значения погонных параметров и длины цепей были определены в соответствии с описанной в статье методикой. Также после окончания этапа трассировки печатной платы было проведено моделирование в САПР Cadence Sigrity с выгрузкой s-параметров соединений через пакет Clarity IC Package Extraction Suite. S-параметры цепей разработанной печатной платы были преобразованы в HSPICE формат через пакет Broadband SPICE, импортированы и также промоделированы в САПР Advanced Design Systems.

Результаты моделирования сигнала данных DATA31 на входе приемника микросхемы SRAM 1 при использовании разных моделей цепей представлены на рис. 4. Можно отметить, что применение RC-моделей не дает полноценного представления о переходных процессах во время переключения сигнала. За счет учета индуктивностей в RLC-моделях на графиках можно увидеть выбросы напряжения, которые позволяют оценить время переключения и нагрузку на драйверы приемопередатчиков. Наиболее достоверные результаты, по отношению к результатам, полученным после экстракции параметров печатной платы после трассировки цепей в Cadence Sigrity, можно получить при применении RLCG-моделей.

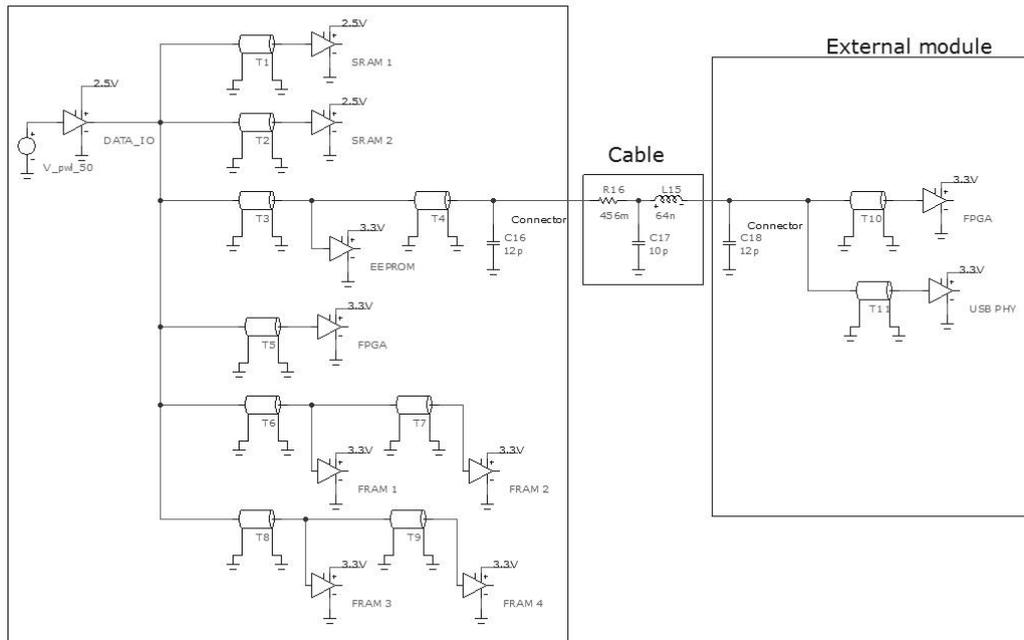


Рис. 3. Дерево соединений для проекта универсального модуля вычислителя

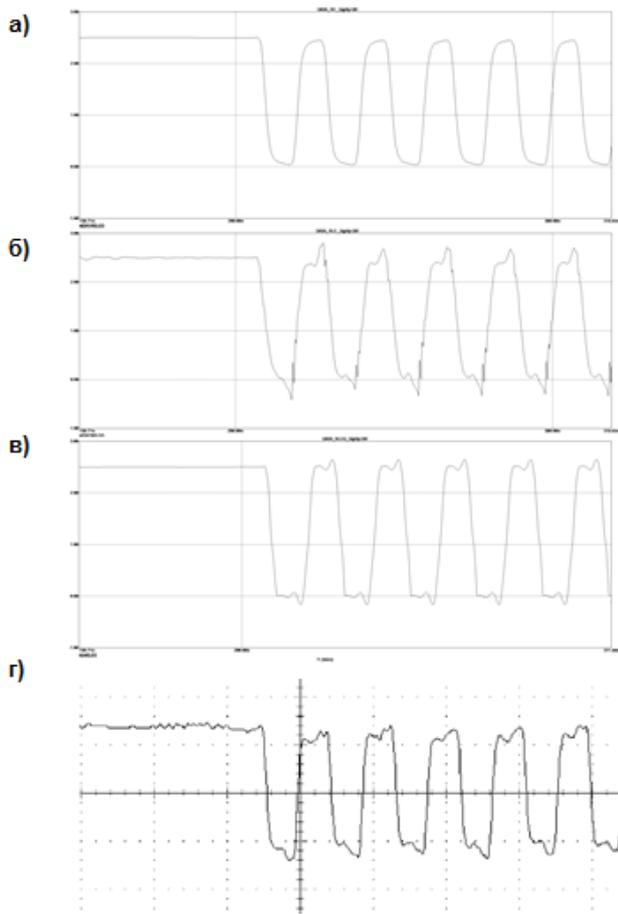


Рис. 4. Графики сигнала данных DATA31 на входе микросхемы SRAM 1, полученных при использовании:
а) RC-модели проводника; б) RLC-модели проводника;
в) RLCG-модели проводника; г) RLCG-модели проводника после экстракции топологии печатной платы в Cadence Sigrity

Также был выполнен вариант размещения компонентов на печатной плате без учета коэффициентов приоритета. При таком размещении образовалась цепочка последовательно соединенных компонентов, приведенная на рис. 5. Микросхемы SRAM в данной конфигурации соединяются с процессором не напрямую, а последовательно через две микросхемы FRAM. При таком размещении, не смотря на сократившееся число проводников на плате в целом, возрастает влияние паразитных составляющих цепей на высокоскоростные компоненты. Так если фрагменты цепей принять за обладающие импедансом элементы, а входы микросхем за емкости, то станет понятно, что чем дальше элемент в цепочке от источника сигнала, тем выше задержка Элмора на его входе [16].

Результаты моделирования сигнала данных DATA31 на входе приемника микросхемы SRAM 1 для фрагмента дерева соединений универсального модуля вычислителя без учета приоритета компонентов при размещении представлены на рис. 6.

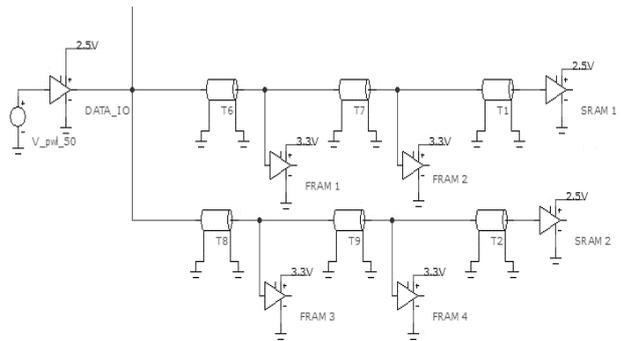


Рис. 5. Фрагмент дерева соединений универсального модуля вычислителя без учета приоритета компонентов при размещении

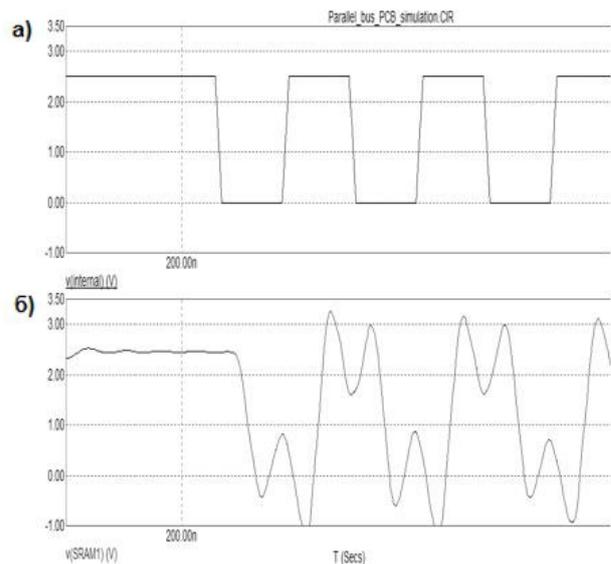


Рис. 6. График сигнала данных DATA31 при неудачном размещении на плате: а) формируемый процессором; б) на входе микросхемы SRAM 1

Из рис. 6б видно, что сигнал на входе микросхемы SRAM искажается из-за отражений, вызванных рассогласованием импеданса. При этом напряжение изменяется в диапазоне от $-1,0$ до $3,0$ В, что вызовет перегрузку драйверов микросхем. Также можно отметить, что из-за отражений не выполняются требования по временам предустановки и удержания сигнала. Данный факт приведет к необходимости снижения общей частоты работы шины в изделии.

V. ЗАКЛЮЧЕНИЕ

В данной статье рассмотрены основные особенности методики построения упрощенной модели микрополосковой линии для решения задачи размещения компонентов на печатной плате. К преимуществам предложенной модели можно отнести высокую скорость вычислений при приемлемой точности результатов. Проведено сравнение схемотехнических моделей цепей с использованием CAIP MicroCap 12, Cadence Sigrity и ADS. В результате апробации было установлено, что наиболее

приближенные результаты дает RLCG-модель проводника. Была предложена методика оценки длины проводников с использованием коэффициентов приоритета размещения. Данная методика позволяет получать более оптимальные варианты размещения для систем с большим количеством абонентов на параллельной шине.

ЛИТЕРАТУРА

- [1] Попов, С. Выравнивание задержек сигналов : проблемы и решения / С. Попов, Ю. Попов // Электроника: наука, технология, бизнес. - 2013. - № 6. - С. 184-191 . - ISSN 1992-4178.
- [2] M. S. Sharawi, "Practical issues in high speed PCB design," in IEEE Potentials, vol. 23, no. 2, pp. 24-27, April-May 2004, doi: 10.1109/MP.2004.1289994.
- [3] S. Chaturvedi, M. Bozanic and S. Sinha, Extraction of Transmission Line Parameters and Effect of Conductive Substrates on their Characteristics Romanian Journal Of Information Science And Technology, vol. 19, 2016.
- [4] H. A. Wheeler, "Transmission-Line Properties of a Strip on a Dielectric Sheet on a Plane," in IEEE Transactions on Microwave Theory and Techniques, vol. 25, no. 8, pp. 631-647, Aug. 1977, doi: 10.1109/TMTT.1977.1129179.
- [5] E. Hammerstad and O. Jensen, "Accurate Models for Microstrip Computer-Aided Design," 1980 IEEE MTT-S International Microwave symposium Digest, 1980, pp. 407-409, doi: 10.1109/MWSYM.1980.1124303.
- [6] E. O. Hammerstad, "Equations for Microstrip Circuit Design," 1975 5th European Microwave Conference, 1975, pp. 268-272, doi: 10.1109/EUMA.1975.332206.
- [7] URL: https://community.cadence.com/cadence_blogs_8/b/pcb/posts/what-s-good-about-pcb-si-metal-surface-roughness-spb16-3-has-some-new-enhancements (дата обращения: 15.08.2021).
- [8] S. W. Leung and Wan Lixi, "A mathematical model for cross-talk prediction in PCB layouts," 1998 IEEE EMC Symposium. International Symposium on Electromagnetic Compatibility. Symposium Record (Cat. No.98CH36253), 1998, pp. 780-783 vol.2, doi: 10.1109/IEMC.1998.750298.
- [9] D. Nozadze, A. Koul, K. Nalla, M. Sapozhnikov and V. Khilkevich, "Effect of time delay skew on differential insertion loss in weak and strong coupled PCB traces," 2017 IEEE 26th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS), 2017, pp. 1-3, doi: 10.1109/EPEPS.2017.8329757.
- [10] M. Nicolaescu and D. Stoica, "Two PCB Traces Coupling Analysis," 2020 13th International Conference on Communications (COMM), 2020, pp. 447-450, doi: 10.1109/COMM48946.2020.9141984.
- [11] Использование метода конечных элементов для расчёта парциального распределения ёмкости микрополосковой линии / М. Г. Рубанович, Д. В. Вагин, В. А. Хрусталева [и др.] // Доклады Томского государственного университета систем управления и радиоэлектроники. – 2014. – № 3(33). – С. 75-84.
- [12] Абденов А.Ж. Оценка погрешности методов расчёта индуктивности элементов в микрополосковом исполнении / А.Ж. Абденов, А.С. Мальцев, М.Г. Рубанович // Вестник Алтайского государственного технического университета им. И.И. Ползунова. Барнаул, 2006. № 2. С. 162-168.
- [13] Eudes, Thomas & Ravelo, Blaise & Louis, Anne. (2011). Transient Response Characterization of the High-Speed Interconnection RLCG-Model for the Signal Integrity Analysis. Progress In Electromagnetics Research. 112. 10.2528/PIER10111805.
- [14] Арутюнян А.Г. Начальное размещение логических ячеек интегральных схем с учетом важности цепей // Проблемы разработки перспективных микро- и наноэлектронных систем - 2014. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2014. Часть 1. С. 143-146.
- [15] Щучкин, Е. Ю. Разработка модуля цифровой обработки сигналов для бортового компьютера / Е. Ю. Щучкин // Научные вестн. – 2021. – № 4(33). – С. 75-83.
- [16] Y. I. Ismail, E. G. Friedman and J. L. Neves, "Equivalent Elmore delay for RLC trees," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 19, no. 1, pp. 83-97, Jan. 2000, doi: 10.1109/43.822622.

The Problem of Element Placement on a Printed Circuit Board: the Solution Based on a Simplified Model of a Microstrip Line

E.Yu. Shchuchkin

National Research University "MIET", Moscow, shchuchkin-pkims@yandex.ru

Abstract — One of the most important steps in complex digital systems design is the choice of optimal placement of elements on a printed circuit board (PCB). This becomes especially important when there is a lot of transceivers on parallel data bus. Particular attention is paid to providing integrity of signals and timing parameters. This article provides a simple technique for designing a conductor model that takes into account the parasitic parameters of the PCB, for a preliminary assessment of the quality of the component placement on the PCB. In most of modern CAD systems Wheeler or Hammerstad-Jensen microstrip models are used

to calculate parasitic parameters of data lines. However, these models require complex computations which take a lot of time. Also, they require information about exact line location on the PCB. Often this information can be available only after component tracing. The proposed simplified microstrip model is based on Hammerstad-Jensen model and allows obtaining the values of resistance, capacitance, inductance and conductance per meter of a conductor line. The proposed method of calculating conductor line length allows to design transmission line model with parasitic parameters. The article discusses the RC, RLC, RLCG-line parasitic models. The

proposed technique has been tested on the design, where DSP processor K1967VN028 was connected with FPGA and memory circuits with parallel data bus. Simulation in MicroCap 12 gives results that are much close to the ones that were obtained after traced PCB simulation with Cadence Sigrity and ADS.

Keywords — placement, parasitic parameters, microstrip line, signal integrity, time delay assessment, parallel bus.

REFERENCES

- [1] Popov, S. Vyravnivanie zaderzhek signalov : problemy i resheniya (alignment signal delay: problems and solutions) / S. Popov, Yu. Popov // Elektronika: nauka, tekhnologiya, biznes. - 2013. - № 6. - pp. 184-191. - ISSN 1992-4178.
- [2] M. S. Sharawi, "Practical issues in high speed PCB design," in IEEE Potentials, vol. 23, no. 2, pp. 24-27, April-May 2004, doi: 10.1109/MP.2004.1289994.
- [3] S. Chaturvedi, M. Bozanic and S. Sinha, Extraction of Transmission Line Parameters and Effect of Conductive Substrates on their Characteristics Romanian Journal Of Information Science And Technology, vol. 19, 2016.
- [4] H. A. Wheeler, "Transmission-Line Properties of a Strip on a Dielectric Sheet on a Plane," in IEEE Transactions on Microwave Theory and Techniques, vol. 25, no. 8, pp. 631-647, Aug. 1977, doi: 10.1109/TMTT.1977.1129179.
- [5] E. Hammerstad and O. Jensen, "Accurate Models for Microstrip Computer-Aided Design," 1980 IEEE MTT-S International Microwave symposium Digest, 1980, pp. 407-409, doi: 10.1109/MWSYM.1980.1124303.
- [6] E. O. Hammerstad, "Equations for Microstrip Circuit Design," 1975 5th European Microwave Conference, 1975, pp. 268-272, doi: 10.1109/EUMA.1975.332206.
- [7] URL: https://community.cadence.com/cadence_blogs_8/b/pcb/posts/what-s-good-about-pcb-si-metal-surface-roughness-spb16-3-has-some-new-enhancements (date of the application: 15.08.2021).
- [8] S. W. Leung and Wan Lixi, "A mathematical model for cross-talk prediction in PCB layouts," 1998 IEEE EMC Symposium. International Symposium on Electromagnetic Compatibility. Symposium Record (Cat. No.98CH36253), 1998, pp. 780-783 vol.2, doi: 10.1109/IEMC.1998.750298.
- [9] D. Nozadze, A. Koul, K. Nalla, M. Sapozhnikov and V. Khilkevich, "Effect of time delay skew on differential insertion loss in weak and strong coupled PCB traces," 2017 IEEE 26th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS), 2017, pp. 1-3, doi: 10.1109/EPEPS.2017.8329757.
- [10] M. Nicolaescu and D. Stoica, "Two PCB Traces Coupling Analysis," 2020 13th International Conference on Communications (COMM), 2020, pp. 447-450, doi: 10.1109/COMM48946.2020.9141984.
- [11] Ispol'zovanie metoda konechnyh elementov dlya raschyota parcial'nogo raspredeleniya yomkosti mikropoloskovoy linii (Application of finite element method to calculate the partial distribution of the capacitance of a microstrip line) / M. G. Rubanovich, D. V. Vagin, V. A. Hrustalev [i dr.] // Doklady Tomskogo gosudarstvennogo universiteta sistem upravleniya i radioelektroniki. - 2014. - № 3(33). - pp. 75-84.
- [12] Abdenov A.Zh. Ocenka pogreshnosti metodov raschyota induktivnosti elementov v mikropoloskovom ispolnenii (Evaluation of the error of methods for calculating the inductance of elements in a microstrip design) / A.Zh. Abdenov, A.S. Mal'cev, M.G. Rubanovich // Vestnik Altajskogo gosudarstvennogo tekhnicheskogo universiteta im. I.I. Polzunova. Barnaul, 2006. № 2. pp. 162-168.
- [13] Eudes, Thomas & Ravelo, Blaise & Louis, Anne. (2011). Transient Response Characterization of the High-Speed Interconnection RLCG-Model for the Signal Integrity Analysis. Progress In Electromagnetics Research. 112. 10.2528/PIER10111805.
- [14] Harutyunyan A.G. Initial placement of digital logic cells in integrated circuits considering net priority // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2014. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2014. Part 1. P. 143-146.
- [15] Shchuchkin, E. Yu. Razrabotka modulya cifrovoj obrabotki signalov dlya bortovogo komp'yutera (Development of a digital signal processing module for an on-board computer) / E. Yu. Shchuchkin // Nauchnye vesti. - 2021. - № 4(33). - pp. 75-83.
- [16] Y. I. Ismail, E. G. Friedman and J. L. Neves, "Equivalent Elmore delay for RLC trees," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 19, no. 1, pp. 83-97, Jan. 2000, doi: 10.1109/43.822622.