

Формирование состава редуцированной библиотеки логических элементов для ПЛИС

Т.Д. Кузьмина, В.М. Хватов, Д.А. Железников

Институт проблем проектирования в микроэлектронике Российской академии наук, г. Москва

kuzminova2012@bk.ru, khvatov_v@ippm.ru, zheleznikov_d@ippm.ru

Аннотация — Библиотека стандартных логических элементов является неотъемлемым атрибутом любой системы проектирования цифровых устройств. Чем разнообразнее ее состав, тем оптимальнее будет структура устройства, разработанного на ее основе. Но в то же время, чем разнообразнее состав библиотеки логических элементов, тем больше временных затрат требуется на проведение процесса характеристики каждого из элементов библиотеки. В данной работе рассматриваются вопросы формирования редуцированного состава библиотеки стандартных ячеек для программируемых логических интегральных схем (ПЛИС). Показан анализ элементной базы с использованием двух различных программ для проведения логического синтеза – Yosys и RTL Compiler. Описаны особенности использования библиотеки Liberty в данных программах, анализируемые параметры синтезируемых схем, а также критерии редукции библиотеки, на основе которых формируется конечный состав логических элементов.

Ключевые слова — программируемая логическая интегральная схема, ПЛИС, логический элемент, библиотека, интегральная схема, характеристика библиотек.

I. ВВЕДЕНИЕ

Ведущей ветвью в развитии микроэлектроники является проектирование устройств на базе программируемых логических интегральных схем (ПЛИС). Преимуществом данного стиля проектирования является высокая скорость разработки схем, которая достигается за счёт использования заранее сформированного базиса стандартных элементов. На основе имеющегося базиса выполняется весь стандартный маршрут проектирования ИС на ПЛИС, представленный на рисунке 1: логический синтез устройства, топологический синтез и конфигурирование логических элементов ПЛИС [1].

Библиотека, используемая в описанном маршруте, имеет формат Liberty и формируется с помощью характеристики – многократного моделирования электрических схем логических элементов в Spice-симуляторах. Характеристика предполагает, что на единичном цикле моделирования просчитываются все параметры, которые необходимы разработчику для дальнейшей работы, т.е. задержки и

фронты для всех выходов логического элемента (ЛЭ) от всех его входов, входные емкости всех входов, потребляемые мощности и т.д. При этом количество циклов моделирования увеличивается на порядок за счет того, что модели ЛЭ необходимо сформировать для различных значений температуры и напряжения питания.

Из выше сказанного следует, что характеристика ЛЭ весьма трудоемкий процесс, которому необходимо значительное количество вычислительных ресурсов. Как правило, характеристика всех базовых логических элементов библиотеки занимает порядка нескольких десятков часов только процессорного времени [2-3]. Поэтому проблема ускорения процесса характеристики является актуальной задачей.

Данную проблему можно решать как ускоряя сам процесс характеристики [4], так и уменьшая объем библиотеки, редуцируя состав её элементов.

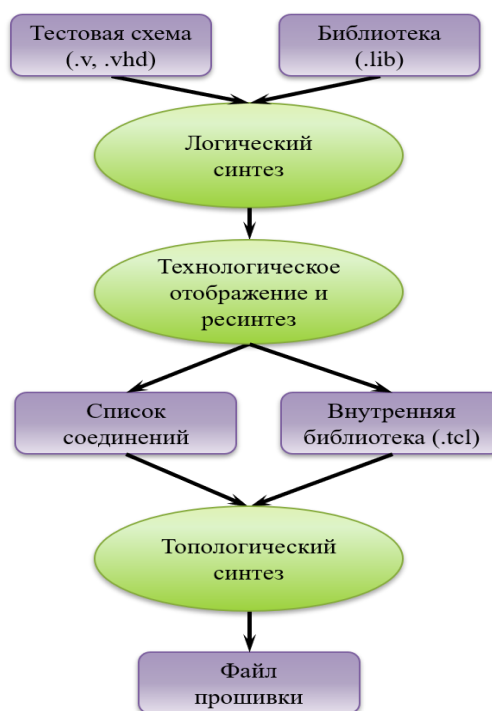


Рис. 1. Маршрут проектирования ИС на ПЛИС с использованием библиотеки в формате Liberty

При этом удаление случайных элементов с целью сократить временные затраты при разработке библиотеки может привести к потере эффективности результатов синтеза – увеличению площади полученной схемы и снижению её быстродействия.

Разработчики библиотек цифровых элементов предлагают по-разному решать задачу определения качественного достаточного состава стандартной библиотеки. Некоторые подходят к решению с точки зрения часто используемых ячеек, функций, опций порогового напряжения и нагрузочных способностей [5], что строго зависит от используемой технологии, программных средств синтеза и стиля проектирования, для которого разрабатывается библиотека. Некоторые определяют состав библиотеки, как набор уникальных функций [6]. При таком подходе состав библиотеки становится меньше, чем, если бы он формировался с помощью полного перебора всех функций от n переменных [7]. Но при этом остается достаточно большим и требует больших временных затрат на характеризацию всех входящих в него элементов.

В соответствии с этим, ставятся две задачи. Во-первых, разработать метод формирования редуцированной библиотеки логических элементов на базе ПЛИС. Во-вторых, выполнить редукцию библиотеки стандартных элементов без значительной потери качества результата логического синтеза.

II. МЕТОД ФОРМИРОВАНИЯ РЕДУЦИРОВАННОЙ БИБЛИОТЕКИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Предложенный метод формирования редуцированной библиотеки заключается в том, что из исходной библиотеки итерационно удаляются элементы, которые либо редко используются, либо совсем не используются при выполнении логического синтеза набора тестовых схем. Данный набор включает в себя 50 схем и состоит из тестов ISCAS85-89, и RTL-описаний различных устройств, находящихся в свободном доступе в сети интернет. Для определения того, какие элементы необходимо исключить, на каждой итерации после логического синтеза выполняется оценка площади полученной схемы, и времени критического пути. Причем для разных программных средств, вследствие их особенностей, некоторые из перечисленных параметров оценки могут не учитываться. На рис. 2 представлен описанный метод формирования редуцированного состава библиотеки без привязки к конкретной программе логического синтеза.

Итерационный процесс редукции библиотеки останавливается в случае увеличения площади схемы или времени критического пути на значение установленной погрешности. В данном случае значение полученной площади и времени критического пути при проведении новых итераций не должно выходить за рамки $\pm 15\%$. Если при анализе на одной из итераций результат превышает данное значение, происходит возврат к библиотеке, полученной итерацией ранее, а

эта библиотека принимается за конечный сформированный базис.

Данный метод позволяет наглядно увидеть изменения в результатах работы логического синтеза исследуемых схем и разработать библиотеку логических элементов под конкретное программное обеспечение, используемое в маршруте проектирования ИС на ПЛИС.

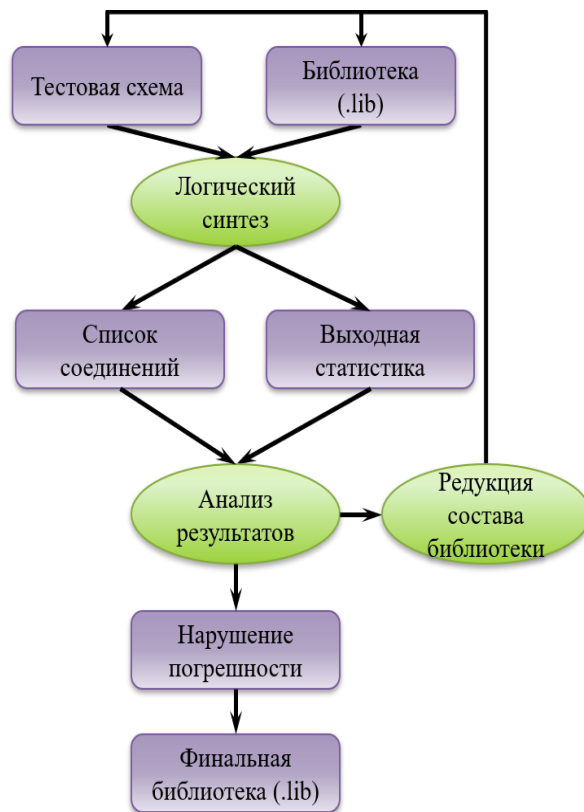


Рис. 2. Общий вид метода формирования редуцированного состава библиотеки

III. РЕЗУЛЬТАТЫ РЕДУКЦИИ БИБЛИОТЕКИ

Ячейки исходной библиотеки, используемой в данной статье, разработаны на основе конфигурируемого логического элемента ПЛИС, состоящего из комбинационной части – LUT-элемента, имеющего 4 входа, и последовательностной части – стандартного DFF триггера. Триггеры в библиотеке составляют часть минимально необходимого элементного базиса ПЛИС, т.е. они не могут быть удалены. Поэтому в дальнейшем, при формировании состава библиотеки, они рассматриваться не будут.

Из всех возможных функций, сконфигурированных с помощью LUT-элемента, в исходной библиотеке оставлены только уникальные. В соответствии с этим, её общий объем составляет 626 логических элементов.

В качестве программ для логического синтеза в данной работе используются Yosys Open Synthesis Suite [8] и Cadence RTL-Compiler [9].

ПО Yosys используется в маршруте, так как имеет несколько основных преимуществ: широкий и проверенный множеством работ функционал [10-11], и открытый программный код, который находится в свободном доступе. Yosys позволяет обрабатывать и синтезировать проекты на Verilog-2005, при этом синтез возможен как на основе базиса библиотечных элементов, так и с использованием различных конфигураций LUT-элемента со стандартной архитектурой. Также ПО Yosys содержит встроенные формальные методы проверки свойств и эквивалентности. Для логической оптимизации и отображения в базисе ПЛИС в Yosys используется программный инструмент ABC [12]. К недостаткам данного ПО можно отнести то, что оно не позволяет задать временные ограничения схемы, и соответственно не выполняет оптимизацию по временному критерию в ходе выполнения логического синтеза.

Cadence RTL Compiler – САПР компании Cadence, также как и Yosys предназначенный для логического синтеза разработанных устройств. Результатом работы данной программы является список соединений схемы, выполненный на основании загруженной библиотеки логических элементов. В отличие от Yosys, RTL-compiler является коммерческим ПО и позволяет учитывать задержки логических элементов при синтезе схем.

А. Редукция с использованием Yosys

Сначала применим разработанный метод к формированию редуцированной библиотеки на основе результатов логического синтеза, выполненного с помощью ПО Yosys.

Как было описано выше, данная программа не учитывает временные характеристики элементов библиотеки, поэтому при оценке результатов синтеза учитывается только площадь схемы, выраженная в количестве используемых логических элементов. Данную информацию можно получить с помощью вызова специальной команды Yosys, либо с помощью специально разработанного скрипта. Команда Yosys позволяет вывести частоту использования элементов в командную строку. В то же время специально разработанный скрипт позволяет рассчитать эти значения исходя из полученного списка соединений и записать в виде таблиц, которые более удобны для ведения необходимой статистики.

Изменение площади тестовых схем, в зависимости от уменьшения элементной базы, показано в таблице 1, полученной после выполнения логического синтеза и анализа полученных результатов. Вследствие большого объема данных в таблице отображены результаты только нескольких схем из всего набора.

Данные результаты демонстрируют, что после проведения нескольких итераций удаления наименее используемых элементов, библиотека уменьшилась на 111 ячеек и составляет 515 логических элементов. При этом количество логических элементов в схемах от итерации к итерации либо не меняется, либо меняется

незначительно и не выходит за границы установленной погрешности. Анализ результатов на данном этапе явно показывает, что имеющаяся библиотека еще содержит достаточное количество элементов, чтобы Yosys заменил используемые в синтезе функции аналогичными по своему функционалу.

Таблица 1

Изменение площади схем, полученных в ходе логического синтеза с помощью Yosys

Объем библиотеки, ЛЭ	Схема 1, ЛЭ	Схема 2, ЛЭ	Схема 3, ЛЭ	Схема 4, ЛЭ
626	721	415	558	749
594	721	415	558	749
569	721	416	558	749
552	721	416	560	749
542	721	416	560	749
526	721	416	560	749
515	720	417	560	748
162	720	417	560	748
56	856	539	668	781

На следующей итерации, кроме наименее используемых элементов удаляются элементы, которые совсем не используются при синтезе всего набора тестовых схем. Это приводит к значительной редукции библиотеки, состав которой после данной итерации составляет 162 логических элемента. При этом использование такой библиотеки либо совсем не влияет на площадь схем, либо приводит к незначительным изменениям в рамках установленной погрешности.

Так как ранее проведенные действия с составом библиотеки не дали значительных результатов, предполагается, что, изменение площади произойдет в случае отсутствия элементов, выполняющих логическую функцию от четырех переменных. Для проверки этой гипотезы из библиотеки удаляются все ячейки, имеющие четыре входа, вследствие чего её состав составляет 56 логических элементов.

На рис. 5 представлены результаты логического синтеза схем, выполненного на основе полученной библиотеки. Они подтверждают выдвинутое предположение, программе синтеза теперь требуется большее количество элементов для реализации необходимых логических функций. При этом площадь схем увеличивается на значение, превышающее установленную погрешность, т.е. снижается эффективность логического синтеза.

Согласно предложенному методу, редуцированный состав библиотеки, полученный на последней итерации, не подходит для использования в маршруте проектирования. За финальный результат принимается

библиотека, полученная итерацией ранее, состав которой составляет 162 логических элемента.

Таблица 2

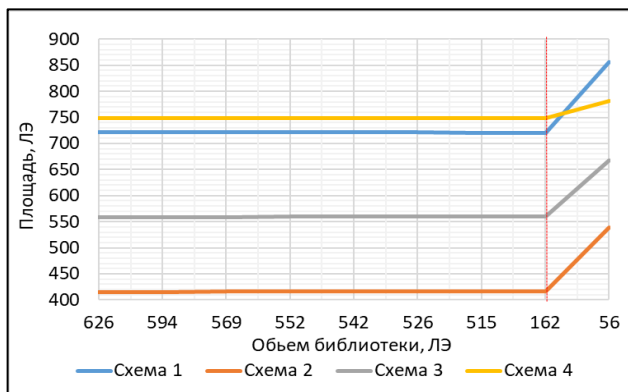


Рис. 3. Зависимость площади схемы от объема библиотеки

Кроме оценки параметров полученной схемы, была выполнена попытка оценить время, необходимое ПО Yosys для проведения логического синтеза, и выявить зависимость времени работы от участвующих в синтезе исходной и редуцированной библиотек. Однако, в связи со стохастической составляющей алгоритмов, использующихся в программе, логический синтез в базе редуцированной библиотеки может быть как быстрее, так и медленнее синтеза в базе исходной библиотеки. Следовательно, зависимости времени работы программы Yosys от используемой библиотеки выявить не удалось.

В. Редукция с использованием RTL-compiler

Далее рассмотрим формирование состава редуцированной библиотеки логических элементов с помощью использования ПО Cadence RTL Compiler.

В отличие от Yosys, данная программа позволяет учитывать задержки при работе со схемами. Поэтому при анализе полученных результатов логического синтеза для определения редуцированного состава библиотеки, следуя представленному методу, будут учитываться два параметра – площадь схемы (количество используемых логических элементов) и время критического пути (data arrival time).

Отчеты с необходимыми данными генерируются с помощью специальных команд в результате выполнения логического синтеза. Первый файл содержит список используемых логических элементов, их суммарное количество, а также показывает площадь, занимаемую схемой на кристалле. При использовании ПО Cadence RTL Compiler не требуется прибегать к использованию специализированного скрипта для подсчета элементов, так как программа позволяет сразу выводить результаты в соответствующие файлы. Второй файл содержит информацию о времени критического пути, требуемом для корректной работы разработанного устройства.

Далее, в табл. 2 и 3 представлен анализ полученных результатов логического синтеза тестового набора схем.

Изменение площади схем, полученных с помощью Cadence RTL Compiler

Объем библиотеки, ЛЭ	Схема 1, ЛЭ	Схема 2, ЛЭ	Схема 3, ЛЭ	Схема 4, ЛЭ
626	61	114	133	118
573	61	114	133	118
545	61	114	133	118
527	61	114	133	118
516	61	114	133	118
509	61	114	133	118
491	62	114	133	118
481	61	114	133	118
133	61	114	133	118
41	77	140	168	144

Далее в табл. 4 указаны результаты изменения площади логических элементов некоторых из тестовых схем с помощью ПО Cadence RTL Compiler.

Таблица 3

Изменение времени прохождения критического пути у схем, полученных с помощью Cadence RTL Compiler

Объем библиотеки, ЛЭ	Схема 1, нс	Схема 2, нс	Схема 3, нс	Схема 4, нс
626	4,34	2,379	3,381	2,635
573	4,34	2,379	3,381	2,635
545	4,34	2,379	3,381	2,635
527	4,34	2,379	3,381	2,635
516	4,31	2,379	3,381	2,635
509	4,37	2,379	3,381	2,635
491	4,42	2,379	3,381	2,635
481	4,59	2,385	3,381	2,865
133	4,59	2,385	3,381	2,865
41	4,82	2,629	4,16	3,417

На рис. 4 представлены результаты синтеза тестовых схем, которые наиболее явно показывают изменение количества используемых логических элементов в зависимости от библиотеки. Из представленных результатов можно сделать вывод, что они похожи на результаты, полученные с использованием ПО Yosys. Значительное изменение в площади, т.е. пересечение пороговой границы установленной погрешности, происходит только при удалении элементов, выполняющих логическую функцию от четырех переменных.

На данной итерации также наблюдается и значительное изменение времени прохождения критического пути (рис. 5).

Согласно разработанному методу формирования редуцированного состава библиотеки, за финальный результат принимается библиотека, полученная итерацией ранее, состав которой составляет 133 логических элемента.

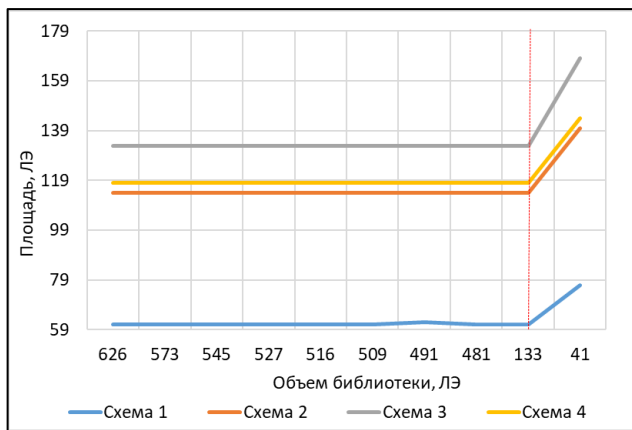


Рис. 4. Изменение площади схем в зависимости от объема библиотеки ЛЭ

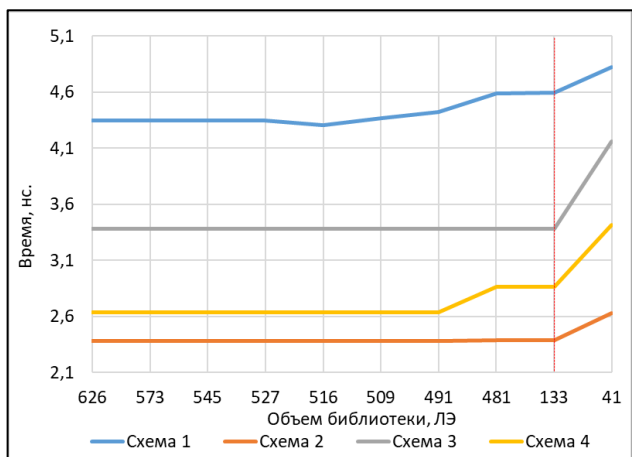


Рис. 5. Изменение времени прохождения критического пути схем от объема библиотеки ЛЭ

Также с помощью специальных команд программы Cadence RTL Compiler измеряется время, затраченное на выполнение всего процесса логического синтеза, от чтения исходного описания схемы, до записи файла с синтезированным устройством. Гипотеза состоит в том, что время работы должно уменьшаться с уменьшением количества логических элементов в библиотеке, так как затрачивается меньшее количество вычислительных ресурсов по считыванию данных из библиотеки и их обработке.

На практике данное предположение оказывается верно, но уменьшение времени является незначительным. На рис. 6 показано изменение времени работы программы для некоторых схем из тестового набора. Верхняя строка, более короткая, показывает время работы программы после использования сформированного редуцированного состава библиотеки логических элементов для ПЛИС. Верхняя строка, длиннее, показывает время работы программы с использованием исходной библиотеки.

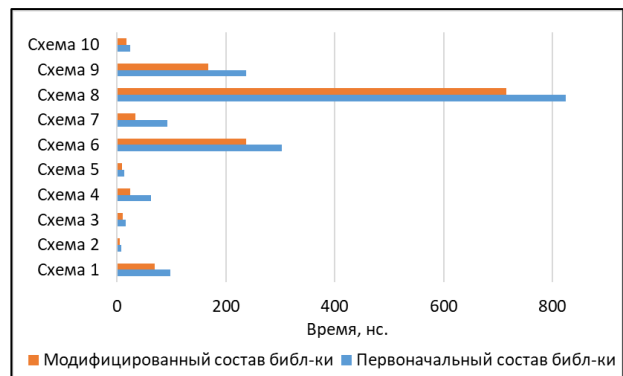


Рис. 6. Изменение времени работы программы Cadence RTL Compiler в зависимости от изменения состава библиотеки

IV. ЗАКЛЮЧЕНИЕ

Представленный метод формирования редуцированного состава библиотеки логических элементов на базе ПЛИС позволил сформировать две библиотеки без значительной потери качества результата логического синтеза. Одна сформирована для проведения логического синтеза в ПО Yosys, вторая в Cadence RTL Compiler. В первом случае, критерием редуциации являлась площадь схемы, полученной в результате синтеза, во-втором, кроме площади, учитывалось время критического пути, требуемое для её корректной работы.

При этом, редуцированный состав элементов, составляющих полученные библиотеки, является в несколько раз меньше состава элементов исходной, что в дальнейшем позволит сократить время характеризации библиотек, элементы которых основаны на конфигурируемом LUT-элементе ПЛИС.

ЛИТЕРАТУРА

- [1] Хватов В.М., Гарбулина Т.В., Лялинская О.В. Методы формирования и верификации библиотек стандартных элементов в составе маршрута проектирования ИС на базе ПЛИС отечественного производства // Проблемы разработки перспективных микро- и нанoeлектронных систем(МЭС). 2018. Вып. 1. С. 57-62.
- [2] А. Л. Стемповский, С. В. Гаврилов, А. Л. Глебов Методы логического и логико-временного анализа цифровых КМОП СБИС / А.Л. Стемповский. - Москва: Наука, 2007. - 220 с.
- [3] Гаврилов С.В., Глебов А.Л., Лялинская О.В., Соловьев Р.А. Использование результатов характеризации реальных библиотек логических вентилях в статистическом временном анализе. // Проблемы разработки перспективных микроэлектронных систем - 2006. Сборник научных трудов / под общ. ред. А.Л.Стемповского. М.:ИППМ РАН, 2006. С. 29-35
- [4] Гаврилов С.В., Гудкова О.Н., Егоров Ю.Б. Методы ускоренной характеризации библиотек элементов СБИС с контролем заданной точности // Известия ВУЗов. Электроника. - 2010. - С. 51-59.
- [5] Калашников В.С., Семёнов М.Ю. Оптимизация состава библиотек стандартных ячеек // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2016. № 2. С. 217-224.

- [6] Лялинский А.А. Характеризация библиотек цифровых схем с использованием веб-технологий // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2020. Вып. 2. С. 29-34.
- [7] Лялинский А.А. Генерация больших наборов логических функций для систем автоматизации проектирования цифровых интегральных схем // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2016. № 1. С. 9-15.
- [8] C. Wolf Yosys Manual [Электронный ресурс]. Режим доступа: http://www.clifford.at/yosys/files/yosys_manual.pdf (дата обращения: 25.08.2021).
- [9] Cadence Command Reference for Encounter RTL Compiler [Электронный ресурс]. Режим доступа: https://www.csee.umbc.edu/~tinoosh/cmpe641/tutorials/rc/rc_commandref.pdf (дата обращения: 25.08.2021).
- [10] D. Shah, E. Hung, C. Wolf, S. Bazanski, D. Gisselquist and M. Milanovic, "Yosys+nextpnr: An Open Source Framework from Verilog to Bitstream for Commercial FPGAs," 2019 IEEE 27th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM), 2019, pp. 1-4
- [11] Тиунов И.В., Липатов И.А., Железников Д.А. Разработка методов архитектурно-ориентированного ресинтеза в маршруте автоматизированного проектирования ПЛИС // Проблемы разработки перспективных микро- и нанoeлектронных систем(МЭС). 2018. Вып. 1. С. 69-74. doi:10.31114/2078-7707-2018-1-69-74
- [12] ABC. A System for Sequential Synthesis and Verification. [Электронный ресурс]. Режим доступа: <https://people.eecs.berkeley.edu/~alanmi/abc/> (дата обращения: 25.08.2021).

Formation of the Reduced Logical Elements Library for FPGA

T.D. Kuzminova, V. M. Khvatov, D.A. Zheleznikov

Institute for Design Problems in Microelectronics of RAS, Moscow

kuzminova2012@bk.ru, khvatov_v@ippm.ru, zheleznikov_d@ippm.ru

Abstract - A standard logic elements library is an essential attribute of any computer-aided design system for digital integrated circuits. The design of the device depends on the set of elements that compose the library for logical synthesis. But at the same time, the composition variety of the logical elements library affects the time required to carry out the process of characterizing each of the library elements. This paper discusses the formation of a reduced composition of the standard cells library for programmable logic integrated circuits (FPGA). The analysis of the element base is shown using two different programs for logical synthesis - Yosys and Cadence RTL Compiler. The paper describes the features of using the Liberty library in these programs and the analyzed parameters of the synthesized circuits. Also, it shows the criteria for library reducing which is the basis for the final logical elements composition formation.

Keywords – field programmable gate array, FPGA, logic gates, library, integrated circuit, library characterization.

REFERENCES

- [1] Khvatov V.M., Garbulina T.V., Lyalinskaya O.V. Formation and Verification of Standard Element Libraries in the Design Flow for the Domestic FPGAs // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2018. Issue 1. P. 57-62
- [2] A. L. Stempkovskiy, S. V. Gavrilov, A. L. Glebov Metody logicheskogo i logiko-vremennogo analiza tsifrovoykh KMOP SBIS / A.L. Stempkovskiy. - Moscow: Nauka, 2007. - 220 p.
- [3] Gavrilov S.V., Glebov A.L., Lyalinskaya O.V., Solovyev R.A. Application of standard cell characterization results in statistical timing analysis // Problems of Perspective Microelectronic Systems Development - 2006. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2006. P. 29-35.
- [4] Gavrilov, S. V. Methods of accelerated characterization of VLSI cell libraries with prescribed accuracy control / S. V. Gavrilov, O. N. Gudkova, Y. B. Egorov // Proc. of universities. Electronics - 2010. - P. 51- 59.
- [5] Kalashnikov V.S., Semenov M.Y. Standard cell libraries content optimization // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2016. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2016. Part 2. P. 217-224.
- [6] Lyalinsky A.A. Web-based Characterization of Digital Libraries // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2020. Issue 2. P. 29-34.
- [7] Lyalinsky A.A. Generation of large sets of logical functions for digital integrated circuits CAD systems // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2016. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2016. Part 1. P. 9-15.
- [8] C. Wolf Yosys Manual // URL: http://www.clifford.at/yosys/files/yosys_manual.pdf (Checking date: 25.08.2021).
- [9] Cadence Command Reference for Encounter RTL Compiler // URL: https://www.csee.umbc.edu/~tinoosh/cmpe641/tutorials/rc/rc_commandref.pdf (Checking date: 25.08.2021).
- [10] D. Shah, E. Hung, C. Wolf, S. Bazanski, D. Gisselquist and M. Milanovic, "Yosys+nextpnr: An Open-Source Framework from Verilog to Bitstream for Commercial FPGAs," 2019 IEEE 27th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM), 2019, pp. 1-4
- [11] Tiunov I.V., Lipatov I.A., Zheleznikov D.A. Development of Methods for Architecturally-oriented Resynthesis in the Computer-aided Design Flow for FPGAs // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2018. Issue 1. P. 69-74.
- [12] ABC. A System for Sequential Synthesis and Verification // URL: <https://people.eecs.berkeley.edu/~alanmi/abc/> (Checking date: 25.08.2021)