

# Коррекция нарушений монотонности термометрического кода в шифраторе на основе модифицированной ROM-архитектуры

М.А. Беллавин, Д.О. Буданов, А.С. Коротков

Санкт-Петербургский политехнический университет Петра Великого, bellavin\_ma@spbstu.ru

**Аннотация** — Разработана интегральная схема коррекции нарушений монотонности в шифраторе термометрического кода на основе модифицированной ROM-архитектуры для параллельных аналого-цифровых преобразователей. Проведено моделирование в САПР Cadence Virtuoso на уровне схемы и с учётом паразитных параметров топологии кристалла. Отмечена способность данной схемы корректировать любые ошибки первого типа при приемлемом увеличении времени задержки переключения шифратора (616 пс со схемой коррекции против 327 пс без таковой при моделировании с учётом топологии кристалла) и незначительном увеличении потребляемой мощности (не более 10%).

**Ключевые слова** — шифратор, термометрический код, коррекция нарушений монотонности, схема коррекции, модифицированная ROM-архитектура, параллельный аналого-цифровой преобразователь.

## I. ВВЕДЕНИЕ

Наиболее распространенными являются аналого-цифровые преобразователи (АЦП) следующих типов:

- последовательного приближения;
- дельта-сигма;
- параллельные.

Вышеперечисленные архитектуры могут быть объединены в комбинированные структуры для повышения разрешения АЦП. Примером таких схем являются конвейерные АЦП на основе параллельных преобразователей. В приложениях, требующих наибольшей производительности, применение параллельных АЦП не имеет альтернативы, поскольку АЦП данной архитектуры являются наиболее быстродействующими среди известных типов АЦП. Кроме того, параллельные АЦП используются в структурах преобразователей последовательного приближения на этапе «грубого» преобразования сигнала. Как следствие, разработка и совершенствование схем шифраторов термометрического кода для параллельных АЦП является актуальной задачей.

Шифратор является неотъемлемой частью параллельного АЦП и осуществляет перевод термометрического кода в прямой двоичный код [1]. Данная схема оказывает существенное влияние на быстродействие и эффективную разрядность аналого-цифрового преобразователя [2], [3]. Для снижения потерь в эффективной разрядности АЦП, обусловленных, в частности, ошибками аналого-цифрового преобразования из-за наличия

во входных кодовых комбинациях шифратора нарушений монотонности термометрического кода, для шифраторов разрабатываются и применяются схемы коррекции [4]-[9], [10]. Структурная схема параллельного АЦП показана на рис. 1. Разработка схем коррекции для шифраторов различных архитектур является актуальной задачей. В работе [10] подробно описан подход к коррекции ошибок с учётом знака крутизны фронта входного аналогового сигнала, а также приведена схема коррекции, реализующая данный подход в шифраторе модифицированной ROM-архитектуры. Целью данной работы является обобщение результатов публикаций [3], [10], разработка топологии кристалла схемы коррекции нарушений монотонности в шифраторе термометрического кода модифицированной ROM-архитектуры и моделирование данной схемы с учётом паразитных параметров топологии кристалла для обоснования целесообразности применения в быстродействующих параллельных АЦП.

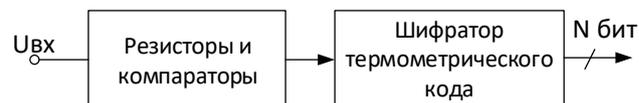


Рис. 1. Структура параллельного АЦП

## II. НАРУШЕНИЯ МОНОТОННОСТИ ТЕРМОМЕТРИЧЕСКОГО КОДА

### A. Состояния с нарушениями монотонности термометрического кода

В процессе обработки параллельным АЦП аналогового сигнала преобразуется массивом компараторов АЦП в код, в котором текущее значение входного аналогового сигнала определяется положением границы между единицами и нулями (нули находятся выше границы, единицы — ниже). Такой код называется термометрическим. В данном коде минимальное число представлено логическими нулями, а максимальное — логическими единицами. Термометрический код является входным кодом шифратора, который, в свою очередь, преобразует его в прямой двоичный код, пригодный для дальнейшей обработки цифровыми устройствами. Из-за наличия у компараторов напряжения смещения, а также наличия конечного ненулевого времени задержки распространения сигнала во времени (особенно ощутимо в случае значений разрядности, близких к максимальной) на вход шифратора термометрического кода может поступить код с нарушенной монотонностью. Обработка такого кода шифратором может привести к

появлению на выходе АЦП неверной двоичной кодовой комбинации, что негативно сказывается на общей точности аналого-цифрового преобразования и снижает эффективную разрядность АЦП. Нарушение монотонности термометрического кода (НМТК) проявляется в наличии некоторого количества нулей ниже границы между единицами и нулями в термометрическом коде, в то время как все разряды термометрического кода, находящиеся ниже данной границы, должны иметь значение логической единицы. Обратная ситуация, когда одна или несколько единиц находятся в массиве нулей выше границы между единицами и нулями в термометрическом коде, также является НМТК, но при описании типов НМТК для определенности будет предполагаться, что НМТК является одним или несколькими нулями в массиве единиц ниже границы между единицами и нулями в термометрическом коде [3].

### В. Типы НМТК

Тип НМТК определяется количеством нулей ниже границы между единицами и нулями в термометрическом коде. Для удобства описания НМТК примем обозначение

$$BE(N, K, Pos1...PosN),$$

где  $BE$  – аббревиатура от английского «Bubble Error»,  $N$  – разрядность шифратора,  $K$  – значение кодовой комбинации в десятичной системе счисления,  $Pos1, \dots, PosN$  – позиции, занимаемые ошибочными разрядами относительно старшего ненулевого разряда термометрического кода, который при этом имеет нулевую позицию. Таким образом, в предложенном обозначении тип НМТК соответствует количеству аргументов  $Pos1, Pos2, \dots, PosN$ . Примеры НМТК и соответствующие им обозначения приведены в табл. 1 [3].

Таблица 1

Примеры НМТК и их условные обозначения

Тип НМТК	Правильная кодовая комбинация	Кодовая комбинация с НМТК	Обозначение
1	0...0111111	0...0101111 0...0111011	$BE(5,6,1)$ $BE(5,6,3)$
2	0...0111111	0...0100111 0...0110101	$BE(5,6,1,2)$ $BE(5,6,2,4)$
3	0...0111111	0...0100011 0...0110001	$BE(5,6,1,2,3)$ $BE(5,6,2,3,4)$

## III. ВЫБОР АРХИТЕКТУРЫ ШИФРАТОРА

### А. Основные архитектуры шифраторов

Шифратор в АЦП выполняет преобразование кода на выходе массива компараторов в прямой двоичный код. Код на выходе массива компараторов называется термометрическим по аналогии со шкалой термометра. Различают следующие основные типы архитектуры шифратора [1]:

- на основе полного сумматора;
- на основе мультиплексоров;
- на основе древовидной архитектуры (Fat-Tree архитектуры);
- на основе ROM-архитектуры.

Шифраторы на основе вышеперечисленных архитектур сильно различаются по быстродействию, потребляемой мощности, площади, занимаемой схемой шифратора на кристалле, а также имеют различную устойчивость к НМТК. Под устойчивостью понимается способность обработать кодовую комбинацию с НМТК с получением корректной выходной двоичной комбинации, т.е., как если бы входная кодовая комбинация не содержала НМТК.

Шифраторы на основе полного сумматора и на основе мультиплексоров являются шифраторами прямого преобразования, т.е. в процессе аналого-цифрового преобразования генерация промежуточного кода не осуществляется (аналоговый сигнал сразу преобразуется в двоичный код). Достоинством шифратора на основе полного сумматора является полная устойчивость к НМТК и, как следствие, отсутствие необходимости разработки схем коррекции [11]. Однако, низкая производительность, высокая потребляемая мощность и большая площадь, занимаемая схемой на кристалле делает применение данного шифратора в быстродействующих АЦП нецелесообразным [12].

Невысокая производительность характерна и для шифратора на основе мультиплексоров [12]. Однако низкая потребляемая мощность и небольшая площадь, занимаемая схемой на кристалле, позволяют применять шифраторы данной архитектуры в приложениях, в которых требуется низкая потребляемая мощность и средняя производительность [11]. Также следует отметить, что шифратор на основе мультиплексоров не обладает устойчивостью к НМТК, поэтому требует разработки схем коррекции [12].

Шифраторы на основе древовидной и ROM-архитектур являются двухстадийными. Сначала термометрический код преобразуется в унитарный, затем унитарный код преобразуется в прямой двоичный. Шифратор на основе древовидной архитектуры менее производителен, нежели ROM-шифратор, однако имеет меньшее энергопотребление. Дополнительными недостатками древовидной архитектуры являются сложность схемотехнической реализации и значительная площадь схемы на кристалле [11]. Также шифраторы данной архитектуры не обладают устойчивостью к

НМТК и, в связи с этим, требуют разработки схем коррекции [12].

Шифраторы на основе ROM-архитектуры наиболее широко применяются при реализации быстродействующих параллельных АЦП в силу того, что основными преимуществами шифратора данной архитектуры являются полностью параллельная структура преобразователя, обуславливающая наиболее высокое быстродействие, относительная простота технической реализации, а также крайне незначительное увеличение времени задержки при увеличении разрядности [3]. К недостаткам шифраторов на основе ROM-архитектуры можно отнести значительную потребляемую мощность [11], а также низкую устойчивость к НМТК (известны примеры, когда НМТК приводит к ошибке практически в два раза в десятичной системе счисления) [3].

Ввиду постоянного ужесточения требований к производительности шифраторов термометрического кода появились схемы, построенные на основе различных модификаций ROM-архитектуры [1]. Из множества модификаций можно выделить шифратор на основе ROM-архитектуры с учетом номеров входных разрядов, в силу того, что, согласно результатам моделирования, данная схема обладает наибольшим быстродействием [1]. Схема трехразрядного ROM-шифратора с учетом номеров входных разрядов представлена на рис. 2. В дальнейшем данная архитектура будет носить название модифицированной ROM-архитектуры.

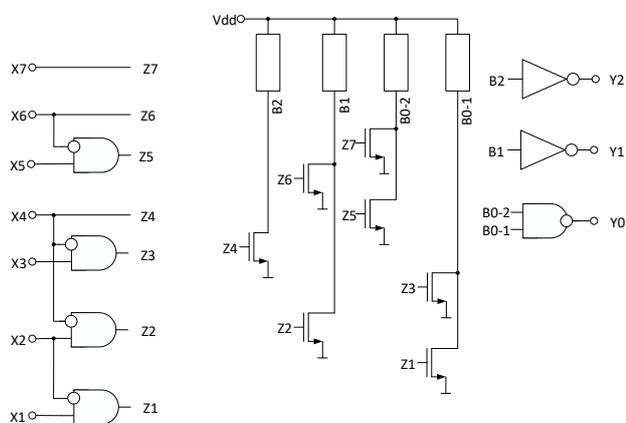


Рис. 2. Схема трехразрядного ROM-шифратора с учетом номеров входных разрядов

### В. Вероятность появления НМТК различных типов

В работе [13] проанализирована вероятность появления НМТК видов  $BE(N, K1)$ ,  $BE(N, K2)$  и  $BE(N, K3)$  при различных значениях среднеквадратичного отклонения. Проанализировав эти данные, можно прийти к выводу, что наиболее вероятны НМТК вида  $BE(N, K1)$ . Вероятность НМТК вида  $BE(N, K2)$  при самом неблагоприятном сценарии на два порядка ниже. В связи с этим можно утверждать, что появление НМТК первого типа на более удаленных от старшего ненулевого разряда термометрического кода позициях, равно, как и НМТК более высоких типов (с большим количеством

логических нулей в массиве логических единиц), крайне маловероятно [3].

### С. Обработка шифраторами состояний с НМТК

Поскольку шифраторы на основе ROM-архитектур являются наиболее широко используемыми при реализации быстродействующих параллельных АЦП [1], [11], необходимо рассмотреть обработку данными шифраторами состояний с НМТК для повышения точности аналого-цифрового преобразования с целью недопущения снижения эффективной разрядности АЦП.

Следует отметить, что шифратор на основе модифицированной ROM-архитектуры имеет повышенную устойчивость к НМТК по сравнению с классической (немодифицированной) ROM-архитектурой [3]. Повышенная устойчивость к НМТК данного типа шифраторов объясняется особенностями их архитектуры, а именно тем, что каждый управляющий сигнал промежуточного кода управляет лишь одним конкретным транзистором. В итоге в выходной двоичной комбинации все разряды могут быть ошибочными по сравнению с корректной кодовой комбинацией, но ошибка в десятичной системе счисления не превысит два младших значащих разряда (МЗР). Исследования шифраторов данной архитектуры дают возможность утверждать следующее: четная входная комбинация с НМТК вида  $BE(N, K1)$  преобразуется без изменений, нечетная кодовая комбинация с НМТК вида  $BE(N, K1)$  преобразуется в соседнюю меньшую нечетную двоичную комбинацию [3], [10]. Также необходимо отметить важную роль связей между логическими элементами (ЛЭ)  $a \cdot \bar{b}$ , которые производят «выключение» сигналов, управляющих транзисторами в массиве и тем самым обеспечивают корректность работы шифратора. Наличие данных связей приводит к тому, что четность термометрической кодовой комбинации определяется только старшим ненулевым разрядом термометрического кода, все другие младшие разряды с нечетными номерами «выключены» посредством подачи сигнала уровня логической единицы на инвертирующие входы соответствующих ЛЭ  $a \cdot \bar{b}$ . К примеру, если на вход шифратора подается кодовая комбинация, соответствующая десятичному числу 2, то сигнал  $Z_2$  (см. рис. 2) открывает соответствующий транзистор в массиве, в то время, как сигнал  $Z_1$  не формируется, поскольку на инвертирующий вход ЛЭ  $a \cdot \bar{b}$ , формирующего данный сигнал, подан сигнал уровня логической единицы со входа  $X_2$ . В связи с этим транзистор, управляемый сигналом  $Z_1$  остается закрытым, что в итоге обеспечивает корректность выходной двоичной комбинации.

### Д. Подход к коррекции НМТК, учитывающий направление фронта входного сигнала

Характер обработки кодовых комбинаций с НМТК шифратором модифицированной ROM-архитектуры делает актуальным вопрос идентификации состояний с

НМТК. Проблема заключается в том, что в наиболее вероятных НМТК  $BE(N, K1)$  ошибочность единицы в нулевой позиции и нуля в первой равновероятны. В связи с этим предлагается подход учета направления фронта входного аналогового сигнала: в случае нарастающего фронта в комбинации, содержащей НМТК вида  $BE(N, K1)$  ошибочным считается ноль в первой позиции, в случае убывающего фронта (спада) сигнала – единица в нулевой [10].

#### IV. РАЗРАБОТКА СХЕМЫ КОРРЕКЦИИ

Как было отмечено выше, для правильной обработки комбинаций с НМТК применяются схемы коррекции для снижения потерь в эффективной разрядности АЦП. Известны различные архитектуры схем коррекции:

- На основе многовходовых ЛЭ И [4];
- Использующие перемежение бит [5];
- На основе ЛЭ И и ИЛИ [6];
- С использованием кода Грея [6].

Вышеперечисленные схемы заменяют ошибочные логические нули в комбинации с НМТК на логические единицы. В связи с этим с помощью данных схем не представляется возможным реализовать подход к коррекции НМТК, учитывающий знак крутизны входного аналогового сигнала. Данное обстоятельство может привести к некорректной идентификации кодовой комбинации с НМТК в шифраторе модифицированной ROM-архитектуры, что, в свою очередь, может стать причиной некорректного преобразования данной кодовой комбинации.

При разработке схемы коррекции предполагается, что НМТК вида  $BE(N, K0)$  не имеют места, и, как было отмечено выше, чётность термометрической кодовой комбинации определяется только старшим ненулевым разрядом термометрического кода, поэтому предлагается корректировать только разряды термометрического кода с чётными номерами. Коррекция чётных разрядов производится согласно подходу, описанному в подразделе D раздела III и работе [10].

Концепция блоков схемы коррекции следующая: для любого разряда с номером  $K$ , где  $K$  – чётное, кроме  $K = 2^N - 2$ , где  $N$  – разрядность шифратора, используется блок, имеющий пять входов и один выход (блок коррекции чётного разряда в общем случае). Три входа, соединённые с разрядами, имеющими номера  $K + 3$ ,  $K + 1$  и  $K - 1$  характеризуют положение рассматриваемого разряда с номером  $K$  в термометрическом коде. Обозначим их  $X_5$ ,  $X_4$  и  $X_3$  соответственно. Вход  $X_2$  подключен к схеме сравнения, которая сравнивает текущее значение входного сигнала с его значением в один из предшествующих моментов времени. Вход  $X_1$  подключен к соответствующему выходу массива компараторов. Для коррекции чётного разряда, предшествующего старшему значащему разряду и имеющего номер

$K = 2^N - 2$ , используется блок с четырьмя входами, назначение которых аналогично описанному выше, с той лишь разницей, что вход  $X_5$  отсутствует ввиду физического отсутствия соответствующего разряда в шифраторе [10]. Выход блоков схемы коррекции обозначим  $Y$ .

Логические функции, описывающие работу блоков схемы коррекции (в вышеприведённой терминологии) [10]:

- для общего случая:

$$Y = ((\overline{X_1 \cdot X_3}) \cdot (\overline{X_1 \cdot X_2})) + X_5) \cdot (\overline{X_4 \cdot (X_1 \oplus X_2)}); \quad (1)$$

- для случая коррекции разряда, предшествующего СЗР:

$$Y = X_1 \cdot (\overline{X_2 \cdot X_3}) \cdot X_4 \cdot (\overline{X_2 \cdot X_3}). \quad (2)$$

#### V. СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ СХЕМЫ КОРРЕКЦИИ

Схемотехническая реализация блоков схемы коррекции произведена в САПР Cadence Virtuoso согласно уравнениям логических функций (1) и (2). Все входящие в состав блоков схемы коррекции ЛЭ, за исключением ЛЭ Иключающее ИЛИ, выполнены в КМОП-логике [14]. ЛЭ Иключающее ИЛИ выполнен в логике на проходных транзисторах (ЛПТ) [14], [15]. Под ЛПТ понимается семейство логических стилей проектирования схем, в которых логические сигналы, в отличие от КМОП-логики, могут подаваться не только на затворы, но и на истоки и стоки МОП-транзисторов [16]. Блоки коррекции чётного разряда в общем случае (рис. 3) подключаются ко всем входам шифратора с чётными номерами, кроме разряда с номером  $K = 2^N - 2$ . К входу с номером  $K = 2^N - 2$  подключается блок коррекции чётного разряда, предшествующего СЗР (рис. 4) [10]. Для примерного выравнивания времени поступления на входы шифратора сигналов чётных и нечётных разрядов в цепи нечётных (некорректируемых) разрядов добавлены буферы, представляющие собой последовательное соединение двух КМОП-инверторов.

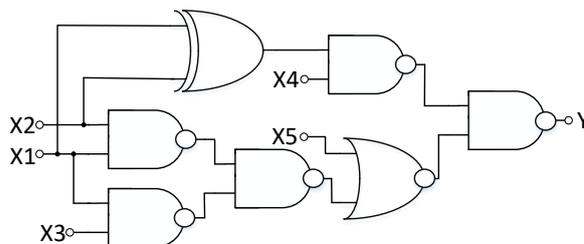


Рис. 3. Схема блока коррекции чётного разряда в общем случае

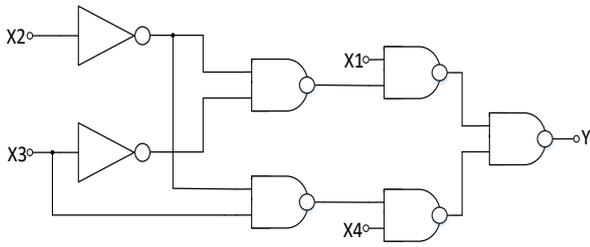


Рис. 4. Схема блока коррекции чётного разряда, представляющего СЗР

#### VI. ТОПОЛОГИЯ ШИФРАТОРА СО СХемой КОРРЕКЦИИ

Топология кристалла интегральной схемы шифратора на основе модифицированной ROM-архитектуры со схемой коррекции разработана в 180 нм КМОП-технологии компании УМС. Топология шифратора на основе модифицированной ROM-архитектуры со схемой коррекции представлена на рис. 5. Размеры микросхемы шифратора со схемой коррекции составляют  $149,27 \times 72,31$  мкм.

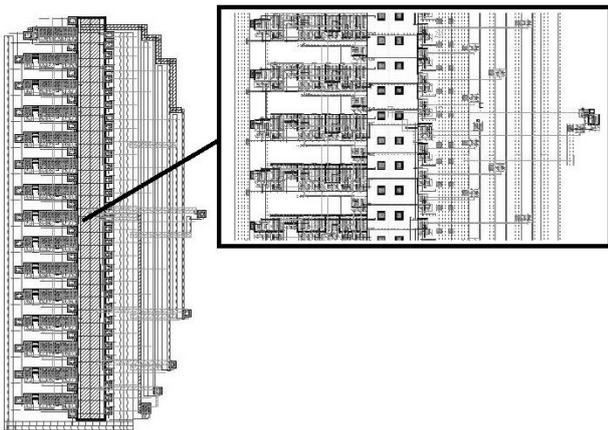


Рис. 5. Топология шифратора со схемой коррекции

#### VII. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ СХЕМЫ ШИФРАТОРА

##### A. Моделирование временных и мощностных характеристик

Моделирование временных и мощностных характеристик схемы шифратора проводилось в САПР Cadence Virtuoso. Были промоделированы временные и мощностные характеристики шифратора со схемой коррекции и без таковой на схемотехническом уровне и на уровне топологии (с учётом паразитных параметров топологии кристалла). При моделировании измерялись максимальное время задержки переключения шифратора и средняя потребляемая мощность. Результаты моделирования схемы шифратора с коррекцией НМТК и без таковой на схемотехническом уровне и с учётом паразитных параметров топологии кристалла представлены в табл. 2 ( $t_{зд}$  – время задержки,  $\bar{P}_{потр}$  – средняя потребляемая мощность).

##### B. Моделирование коррекции НМТК вида $BE(5, K, 1)$

При моделировании коррекции НМТК вида  $BE(5, K, 1)$  на входы шифраторов со схемой коррекции и без таковой поочередно подаются комбинации термометрического кода, содержащие различные НМТК от  $BE(5, 31, 1)$  до  $BE(5, 2, 1)$ . Результаты моделирования коррекции НМТК вида  $BE(5, K, 1)$  представлены в табл. 3 [10].

##### C. Моделирование коррекции НМТК вид $BE(5, K, Pos)$

При моделировании коррекции НМТК вида  $BE(5, K, Pos)$  моделируются все возможные ошибки первого типа, расположенные на разных позициях в заданной комбинации термометрического кода, соответствующей десятичному числу  $K$ . Для анализа НМТК наиболее иллюстративными комбинациями термометрического кода являются комбинации, соответствующие десятичным числам 24 и 25, поскольку при обработке данных комбинаций с различными НМТК шифратором без коррекции наглядно проявляются ошибки преобразования, связанные как с исчезновением корректных единиц в промежуточном коде шифратора (кода с выходов ЛЭ  $a \cdot \bar{b}$ ), так и с появлением в нём избыточных единиц в силу обработки кодовой комбинации, содержащей НМТК [3].

Таблица 2

Результаты моделирования временных и мощностных характеристик шифратора

Уровень моделирования	Тип значения	Вид схемы			
		Без коррекции		С коррекцией	
		$t_{зд}$ , пс	$\bar{P}_{потр}$ , мВт	$t_{зд}$ , пс	$\bar{P}_{потр}$ , мВт
Схема	Среднее	159	1,7	408	1,9
	Максимальное	225	2,3	557	2,5
Топология	Среднее	234	1,7	469	1,9
	Максимальное	327	2,3	616	2,5

Таблица 3

Моделирование всех возможных НМТК вида  $BE(5, K, 1)$

Вид схемы	Количество входных комбинаций с ошибкой	Количество корректных выходных комбинаций
Без коррекции	30	15
С коррекцией		30

Таким образом, на входы шифраторов со схемой коррекции и без таковой поочередно подаются комбинации термометрического кода, содержащие различные НМТК от  $BE(5, 24, 1)$  до  $BE(5, 25, 23)$  в случае комбинации, соответствующей числу 24 и НМТК от  $BE(5, 25, 1)$

до  $BE(5,25,24)$  в случае комбинации, соответствующей числу 25. Результаты моделирования коррекции НМТК вида  $BE(5, K, Pos)$  представлены в табл. 4 [10].

Таблица 4

Моделирование всех возможных НМТК вида  $BE(5, K, Pos)$

Вид схемы	Кодовая комбинация	Количество входных комбинаций с ошибкой	Количество корректных выходных комбинаций
Без коррекции	24	23	12
	25	24	18
С коррекцией	24	23	23
	25	24	24

## VIII. ЗАКЛЮЧЕНИЕ

Проведено моделирование схемы коррекции НМТК в шифраторе на основе модифицированной ROM архитектуры на уровне схемы и с учётом паразитных параметров топологии кристалла. Моделирование проводилось в САПР Cadence Virtuoso.

Результаты моделирования показали снижение быстродействия шифратора со схемой коррекции по сравнению с шифратором без таковой (557 пс против 225 пс для моделирования на схемотехническом уровне, 616 пс против 327 пс для моделирования с учетом параметров топологии кристалла), а также незначительное (не более 10%) увеличение средней потребляемой цифровой частью мощности (2,3 мВт против 2,5 мВт для моделирования с учетом паразитных параметров топологии кристалла).

Сравнение с другими схемами коррекции показывает, что снижение производительности схемы шифраторов со схемой коррекции по сравнению со схемой шифратора без таковой составляет от 2,3 до 4,4 раз [6], в то время как разработанная схема снижает производительность шифратора лишь в 1,9 раза. Данные результаты подтверждают целесообразность применения данной схемы в быстродействующих параллельных АЦП.

Рассматриваемый шифратор способен обеспечить высокую эффективную разрядность АЦП, поскольку, согласно результатам моделирования разработанная схема способна корректировать НМТК первого типа во всех разрядах термометрического кода. Данный результат показывает, что шифратор со схемой коррекции целесообразно применять в приложениях, в которых точность преобразования и высокая эффективная разрядность являются определяющими факторами. В системах, где определяющим фактором является производительность целесообразно применять шифратор на основе модифицированной ROM-архитектуры без схемы коррекции.

## ЛИТЕРАТУРА

[1] Пилипко М.М., Морозов Д.В., Буданов Д.О. Сравнительный анализ КМОП-схем шифраторов термометрического кода в прямой двоичный код для

параллельных АЦП в интегральном исполнении // Микроэлектроника. 2017. Т. 46, №1, С. 50 – 60.

[2] Sall E., Vesterbacka M. Comparison of Two Thermometer-to-Binary Decoders for High-Performance Flash ADCs. // 2005 NORCHIP. 2005. P. 253–256.

[3] Bellavin M.A., Budanov D.O. Study of Bubble Errors Conversion in a Modified ROM Encoder // 2019 IEEE International Conference on Electrical Engineering and Photonics (EExPolytech). 2019. P. 58–61.

[4] Zhang S., Wang S., Lin X., Ren G. A 6-bit Low Power Flash ADC with a Novel Bubble Error Correction Used in UWB Communication Systems. In: 2014 IEEE International Conference on Electron Devices and Solid-State Circuits, P. 1–2.

[5] Ghoshal P., Sen S. A Bit Swap Logic (BSL) Based Bubble Error Correction (BEC) Method for Flash ADCs. // 2016 2nd International Conference on Control, Instrumentation, Energy & Communication (CIEC). 2016. P. 111–115.

[6] Hussain S., Kumar R., Trivedi G. A Novel Low Power High Speed BEC for 2GHz Sampling Rate Flash ADC in 45nm Technology. // 2017 IEEE International Symposium on Nanoelectronic and Information Systems (iNIS). 2017. P. 133–138.

[7] Lakshmi T., Srinivasulu A. A Low Power Encoder for a 5-GS/s 5-bit Flash ADC. // Sixth International Conference on Advanced Computing (ICoAC). 2014. P. 41–46.

[8] Lakshmi T., Srinivasulu A., Bizon N. A Power Efficient 5-bit 5-gs/s Parallel Comparator Analogue-To-Digital Converter. // 10th International Conference on Electronics, Computers and Artificial Intelligence (ECAI). 2018. P. 1–6.

[9] Kumre L., Ramesh N. Design and Implementation of Flash Analog-to-Digital Converter. // Materials Today: Proceedings. 2018. № 5(1). P 1104–1113.

[10] Bellavin M.A., Budanov D.O. ROM-Based Encoder with Bubble Error Correction. // 2020 International Youth Conference on Electronics, Telecommunications and Information Technologies (YETI-2020). Springer Proceedings in Physics. 2020. V. 255. P. 429–439.

[11] Madhumati G., Rao K., Madhavilatha M. Comparison of 5-bit Thermometer-to-Binary Decoders in 1.8V, 0.18µm CMOS Technology for Flash ADCs // International Conference on Signal Processing Systems. 2009. P. 516–520.

[12] Kale A.V., Palsodkar P., Dakhole P.K. Comparative Analysis of 6-Bit Thermometer-to-Binary Decoders for Flash Analog-to-Digital Converter // 2012 International Conference on Communication Systems and Network Technologies (CSNT). 2012. P. 543–546.

[13] Padoan S., Boni A., Morandi C., Venturi F. A Novel Coding Scheme for the ROM of Parallel ADCs, Featuring Reduced Conversion Noise in the Case of Single Bubbles in the Thermometer Code. // IEEE International Conference on Electronics, Circuits and Systems. 1998. P. 271–274.

[14] Weste N.H.E and Harris D. CMOS VLSI Design: a Circuits and Systems Perspective. Third edition. Boston: MA, Addison-Wesley, 2005. 967 P.

[15] Wang J.-M, Fang S.-C., Wu-Shiung Feng W.-S. New Efficient Designs for XOR and XNOR Functions on the Transistor Level // IEEE Journal of Solid-State Circuits, 1994. V. 29. №. 7. P. 780–786.

[16] Акулинин С.А., Смольяников И.А. Сравнение логических стилей проектирования элементов цифровых интегральных схем // Вестник Воронежского государственного технического университета. 2009. Т. 5. № 11. С. 169–173.

# A Bubble Error Correction in a Modified ROM Thermometer-to-Binary Encoder

M.A. Bellavin, D.O. Budanov, A.S. Korotkov

Peter the Great Saint Petersburg Polytechnic University, bellavin\_ma@spbstu.ru

**Abstract** — A flash analog-to-digital conversion is the most commonly adopted in high-performance applications, because it is the fastest among the known ADC architectures. The most crucial characteristics of an ADC are performance, power consumption and the effective number of bits (ENOB). Typical flash ADC consists of analog and digital parts. The analog part consists of a resistor ladder and a comparator array. The digital part is a thermometer-to-binary encoder. An intermediate code between analog and digital parts is a thermometer code, in which the current value of input analog signal is defined by a position of the transition between logic ones and logic zeroes. Logic zeroes are placed upon this transition, logic ones are placed below it. A situation, when a monotonicity of this code is broken, results in one or several logic zeroes below the 1–0 transition. This situation is called a bubble error occurrence. The thermometer code combination can be converted incorrectly; in this case the total noise of an ADC will increase. The increasing of total noise leads to the reduction of the ENOB. Thus, the bubble errors need to be corrected. The bubble error correction circuit has been implemented and simulated in Cadence Virtuoso. The results of simulation show total suppression of the first type bubble errors. The designed circuit acceptably reduces the encoder performance (for the worst cases the delay times are 557 ps with correction versus 225 ps without it during schematic simulation and 616 ps with correction versus 327 ps without it during post-layout simulation). Also unessential increasing of power consumption (no more than 10%) should be noted.

**Keywords** — encoder, thermometer code, bubble error correction, correction circuit, modified ROM architecture, flash analog-to-digital converter.

## REFERENCES

- [1] Pilipko M.M., Morozov D.V., Budanov D.O. Sravnitel'nyy analiz KMOP-shem shifradorov termometriceskogo koda v pryamoy dvoichnyy kod dlya parallel'nyh ACP v integral'nom ispolnenii (Comparative analysis of CMOS circuits of thermometer-to-binary encoders for parallel ADCs in integrated design) // *Microelectronika*. 2017. T. 46. № 1. S 50–60.
- [2] Sall E., Vesterbacka M. Comparison of Two Thermometer-to-Binary Decoders for High-Performance Flash ADCs. // 2005 NORCHIP. 2005. P. 253–256.
- [3] Bellavin M.A., Budanov D.O. Study of Bubble Errors Conversion in a Modified ROM Encoder // 2019 IEEE International Conference on Electrical Engineering and Photonics (EExPolytech). 2019. P. 58–61.
- [4] Zhang S., Wang S., Lin X., Ren G. A 6-bit Low Power Flash ADC with a Novel Bubble Error Correction Used in UWB Communication Systems. In: 2014 IEEE International Conference on Electron Devices and Solid-State Circuits, P. 1–2.
- [5] Ghoshal P., Sen S. A Bit Swap Logic (BSL) Based Bubble Error Correction (BEC) Method for Flash ADCs. // 2016 2nd International Conference on Control, Instrumentation, Energy & Communication (CIEC). 2016. P. 111–115.
- [6] Hussain S., Kumar R., Trivedi G. A Novel Low Power High Speed BEC for 2GHz Sampling Rate Flash ADC in 45nm Technology. // 2017 IEEE International Symposium on Nanoelectronic and Information Systems (iNIS). 2017. P. 133–138.
- [7] Lakshmi T., Srinivasulu A. A Low Power Encoder for a 5-GS/s 5-bit Flash ADC. // Sixth International Conference on Advanced Computing (ICoAC). 2014. P. 41–46.
- [8] Lakshmi T., Srinivasulu A., Bizon N. A Power Efficient 5-bit 5-gs/s Parallel Comparator Analogue-To-Digital Converter. // 10th International Conference on Electronics, Computers and Artificial Intelligence (ECAI). 2018. P. 1–6.
- [9] Kumre L., Ramesh N. Design and Implementation of Flash Analog-to-Digital Converter. // *Materials Today: Proceedings*. 2018. № 5(1). P 1104–1113.
- [10] Bellavin M.A., Budanov D.O. ROM-Based Encoder with Bubble Error Correction. // 2020 International Youth Conference on Electronics, Telecommunications and Information Technologies (YETI-2020). Springer Proceedings in Physics. 2020. V. 255. P. 429–439.
- [11] Madhumati G., Rao K., Madhaviatha M. Comparison of 5-bit Thermometer-to-Binary Decoders in 1.8V, 0.18 $\mu$ m CMOS Technology for Flash ADCs // International Conference on Signal Processing Systems. 2009. P. 516–520.
- [12] Kale A.V., Palsodkar P., Dakhole P.K. Comparative Analysis of 6-Bit Thermometer-to-Binary Decoders for Flash Analog-to-Digital Converter // 2012 International Conference on Communication Systems and Network Technologies (CSNT). 2012. P. 543–546.
- [13] Padoan S., Boni A., Morandi C., Venturi F. A Novel Coding Scheme for the ROM of Parallel ADCs, Featuring Reduced Conversion Noise in the Case of Single Bubbles in the Thermometer Code. // IEEE International Conference on Electronics, Circuits and Systems. 1998. P. 271–274.
- [14] Weste N.H.E and Harris D. CMOS VLSI Design: a Circuits and Systems Perspective. Third edition. Boston: MA, Addison-Wesley, 2005. 967 P.
- [15] Wang J.-M., Fang S.-C., Wu-Shiung Feng W.-S. New Efficient Designs for XOR and XNOR Functions on the Transistor Level // IEEE Journal of Solid-State Circuits, 1994. V. 29. №. 7. P. 780–786.
- [16] Akulinin S.A., Smol'yannikov I.A. Sravnenie logicheskikh stiley proektirovaniya elementov tsifrovyyh integral'nyh shem (Comparison of Logic Design Styles of Digital Integrated Circuits Elements) // *Vestnik Voronezhskogo gosudarstvennogo tehniceskogo universiteta*. 2009. T. 5. № 11. S. 169–173.