

Высокопроизводительный параллельный кодер БЧХ с реконфигурируемой корректирующей способностью

А.А. Беляев^{1,2}, И.А. Беляев¹, Я.Я. Петричкович¹, П.С. Поперечный¹

¹АО НПЦ «ЭЛВИС», bel@elvees.com

²Национальный исследовательский университет «МИЭТ»

Аннотация — В статье предложен способ аппаратной реализации высокопроизводительного кодера БЧХ (Боуза - Чоудхури - Хоквингема) с параллельной обработкой поступающих данных, а также с возможностью реконфигурирования корректирующей способности кода в процессе работы устройства. Выведено аналитическое выражение для параллельной реализации кодера. Приведено описание структурной схемы устройства. Выполнено моделирование работы кодера БЧХ для различных длин пакетов ошибок.

Ключевые слова — помехоустойчивое кодирование, корректирующая способность, кодер БЧХ (Боуза – Чоудхури - Хоквингема), регистр с линейной обратной связью (РЛОС).

I. ВВЕДЕНИЕ

Коды Боуза - Чоудхури - Хоквингема (БЧХ-коды) - это широкий класс циклических кодов, применяемых для защиты информации от ошибок [1-4]. БЧХ-коды отличаются возможностью построения кода с заранее определёнными корректирующими свойствами, а именно, минимальным кодовым расстоянием.

Коды БЧХ широко используют в системах передачи и хранения данных, таких как твердотельные накопители данных, проводные и беспроводные коммуникации, цифровое телевидение и другие. Данные коды позволяют исправлять множественные ошибки в блоках данных от нескольких бит до нескольких килобайт.

При этом при реализации аппаратного кодера БЧХ возникает ряд проблем.

Во-первых, в рамках одного устройства или системы могут требоваться коды БЧХ с разной корректирующей способностью. Это означает необходимость применения порождающих полиномов разной длины, что, в общем, означает использование разных кодеров БЧХ и увеличение аппаратных затрат. Более эффективным решением является использование кодера БЧХ с регулируемой корректирующей способностью, то есть с переменным порождающим полиномом, способного удовлетворить различные требования к корректирующей способности.

Во-вторых, для использования кодирования БЧХ в системах хранения данных возникает необходимость

кодировать данные, поступающие параллельно, то есть с шины данных. Это означает, что последовательное кодирование таких данных приведёт к значительному замедлению их передачи, и для обеспечения высокого быстродействия необходимо использовать параллельный кодер БЧХ.

К настоящему времени предложены различные варианты аппаратной реализации кодера БЧХ на основе регистров с линейной обратной связью (РЛОС), в том числе кодеры с параллельной обработкой поступающих данных и возможностью реконфигурирования корректирующей способности кода в процессе работы устройства, однако и в них используются не все ресурсы повышения производительности.

Целью данной работы являлась разработка кодера БЧХ на основе РЛОС с параллельной обработкой поступающих данных и возможностью реконфигурирования корректирующей способности кода, обладающего повышенной производительностью по сравнению с существующими вариантами за счет лучшей организации массива вычислительных элементов, выполняющих параллельную обработку данных.

Материал статьи организован следующим образом.

Раздел II содержит краткий обзор современных подходов к аппаратной реализации кодера БЧХ на основе регистра с линейной обратной связью.

В разделе III дается вывод алгебраических соотношений для построения предлагаемого варианта реализации высокопроизводительного кодера БЧХ с параллельной обработкой поступающих данных и возможностью реконфигурирования корректирующей способности кода в процессе работы устройства.

Раздел IV посвящен описанию структуры аппаратной реализации предлагаемого кодера БЧХ с параллельной обработкой поступающих данных.

В разделе V представлены результаты моделирования кодера БЧХ (системы кодер-декодер) при различных длинах пакетов вносимых ошибок.

Раздел VI содержит заключение и основные выводы по выполненной работе.

II. СОВРЕМЕННЫЕ ПОДХОДЫ К АППАРАТНОЙ РЕАЛИЗАЦИИ КОДЕРА БЧХ И ИХ НЕДОСТАТКИ

Для получения слов кода БЧХ в систематическом виде используют регистр с линейной обратной связью. Систематическое кодирование кодом БЧХ представляется следующим выражением [1, 2]:

$$\frac{u(x)x^{n-k}}{g(x)} = q(x) + \frac{r(x)}{g(x)},$$

где $u(x)$ - входные незакодированные данные,
 $g(x)$ - порождающий полином,
 n - длина кодового слова (длина закодированных данных),
 k - длина незакодированных данных,
 $q(x)$ - частное от деления,
 $r(x)$ - остаток от деления на $g(x)$.

Вместе с тем, закодированные данные (т.е. результирующее кодовое слово) в систематическом виде представляются как:

$$c(x) = u(x)x^{n-k} + r(x).$$

Из этого следует, что данные на выходе кодера не изменяются и к ним добавляются контрольные данные $r(x)$. Аппаратная реализация кодера выполняется посредством регистра с линейной обратной связью (РЛОС), схема которого представлена на рисунке 1. Первые k тактов работы схемы, переключатели P1, P2 находятся в положении I, данные поступают на выход в неизменном виде, при этом происходит вычисления остатка от деления в схеме РЛОС, далее переключатели переходят в положение II, и с выходы регистров на выход схемы поступает вычисленное значение остатка в течении следующих $n-k$ тактов.

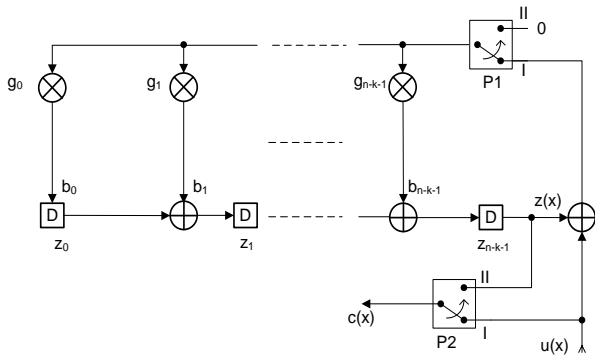


Рис. 1. Систематический кодер БЧХ на основе РЛОС

Приведенная классическая схема имеет определенные ограничения: 1) коэффициенты порождающего полинома $g(x) - g_0, g_1, \dots, g_{n-k-1}$ являются жестко заданными и не предусматривают возможности реконфигурации; 2) за один такт работы схема обрабатывает только один бит информационной последовательности, что ведет к ограничениям производительности.

В работе [5] была предложена схема кодера БЧХ с возможностью изменения порождающего полинома, которая приведена на рисунке 2. Возможность

реконфигурации обеспечивается наличием $n - k$ триггеров для перезаписи и хранения коэффициентов полинома.

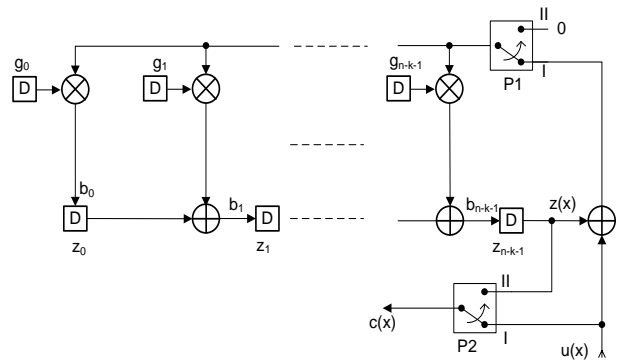


Рис. 2. Кодер БЧХ с регулируемой корректирующей способностью

В этой же работе была предложена схема кодера БЧХ с параллельной обработкой поступающих данных, представленная на рисунке 3.

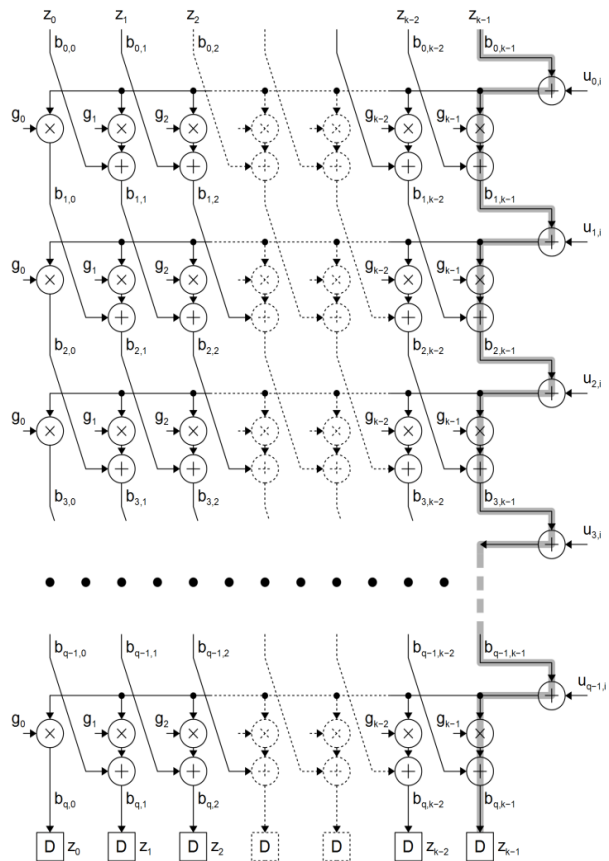


Рис. 3. Параллельный кодер БЧХ

Аналитически работа представленной схемы параллельного кодера БЧХ описывается следующим набором рекуррентных соотношений [5]:

$$b_{0,j} = z_j, j \in [0, n - k - 1],$$

$$b_{n,j} = b_{n-1,j-1} + (b_{n-1,n-k-1} + u_{n-1,i})g_j, h \in [1, L].$$

Недостатком представленной схемы являются достаточно длинные критические пути, которые линейно зависят от степени параллелизма L , то есть от количества одновременно обрабатываемых бит входной информационной последовательности. Быстродействие цифровой схемы определяется ее критическими путями – путями распространения логического сигнала, имеющими наибольшую задержку. Критические пути рассмотренного параллельного кодера БЧХ содержат те функциональные элементы, через которые последовательно проходит логический сигнал.

Пример критического пути рассмотренного параллельного кодера БЧХ показан на рисунке 3 серой полупрозрачной линией. Критический путь содержит L элементов умножения и $2L$ элементов сложения, т.е. задержка этого пути может быть вычислена по формуле:

$$t = Lt_{mult} + 2Lt_{add},$$

где:

t_{add} – задержка на сумматоре,

t_{mult} – задержка на умножителе.

III. АЛГЕБРАИЧЕСКОЕ ОПИСАНИЕ РАБОТЫ ВЫСОКОПРОИЗВОДИТЕЛЬНОГО ПАРАЛЛЕЛЬНОГО КОДЕРА БЧХ

Целью предлагаемого решения является повышение быстродействия параллельного реконфигурируемого кодера БЧХ, то есть задача состоит в том, чтобы, не меняя функциональность, преобразовать схему на рисунке 3 образом, чтобы существенно сократить время задержки вычислений.

Проводимые вычисления основаны на сложении по модулю 2 большого количества логических переменных. Наибольшее практическое значение имеют случаи, когда параметр распараллеливания L принимает значения, равные натуральной степени числа 2: 8, 16, 32 и т.д. Известно, что суммирование большого числа слагаемых может быть организовано различными способами, и от способа организации суммирования будет зависеть задержка вычислений.

На рисунке 4 представлена схема сумматора восьми логических переменных $x_0 - x_7$, имеющего последовательную структуру.

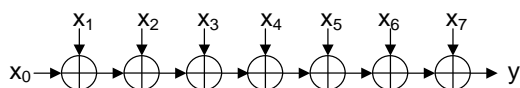


Рис. 4. Сумматор восьми слагаемых с последовательной структурой

Как видно из приведенной схемы, время задержки N слагаемых для такого сумматора равно:

$$t_1 = (N-1) t_{add} = 7 t_{add}$$

где N – количество входных слагаемых.

Другой способ вычисления суммы – использование сумматора со структурой бинарного дерева, схема которого представлена на рисунке 5.

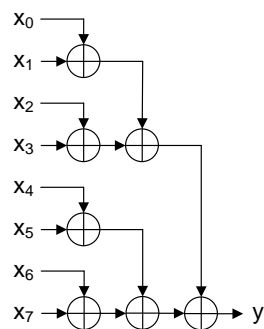


Рис. 5. Сумматор восьми слагаемых со структурой бинарного дерева

Именно такая структура сумматора позволяет минимизировать задержку вычисления суммы, которая для рассматриваемого случая будет равна:

$$t_2 = (\log_2 N) t_{add} = 3 t_{add}$$

Основная идея предлагаемого решения состоит в том, чтобы преобразовать схему параллельного реконфигурируемого кодера БЧХ на рисунке 3 таким образом, чтобы операции сложения по модулю 2 вычислялись с помощью сумматоров, имеющих структуру бинарного дерева, и существенно уменьшить за счет этого время задержки вычислений.

Полученные выше рекуррентные соотношения для параллельного реконфигурируемого кодера БЧХ путем алгебраических преобразований, которые здесь для экономии места опущены, могут быть приведены к следующим формулам:

$$b_{h,j} = b_{0,j-h} + \sum_{m=1}^h ((b_{0,n-k-m} + u_{m-1,i}) K(h-m, j)).$$

При этом:

$$b_{h,j} = 0 \quad \forall j < 0, h \in [1, L],$$

а зависящие от двух индексов значения коэффициентов $K(l, j)$ вычисляются по следующим рекуррентным формулам:

$$K(0, j) = g_j,$$

$$K(l, j) = K(l-1, j-l) + g_j D(l),$$

Коэффициенты $D(l)$ зависят уже от одного индекса и определяются рекуррентными соотношениями:

$$D(l) = \sum_{m=1}^l (g_{n-k-m} D(l-m))$$

Значения первых пяти значений коэффициентов $D(l)$ приводятся ниже:

$$D(0) = 1,$$

$$D(1) = g_{n-k-1},$$

$$D(2) = g_{n-k-1} + g_{n-k-2},$$

$$D(3) = g_{n-k-1} + g_{n-k-3},$$

$$D(4) = g_{n-k-1} + g_{n-k-2} + g_{n-k-1}g_{n-k-2} + g_{n-k-4},$$

IV. СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ ВЫСОКОПРОИЗВОДИТЕЛЬНОГО ПАРАЛЛЕЛЬНОГО КОДЕРА БЧХ

Схематехническая реализация предлагаемого параллельного кодера БЧХ представлена на рисунке 6.

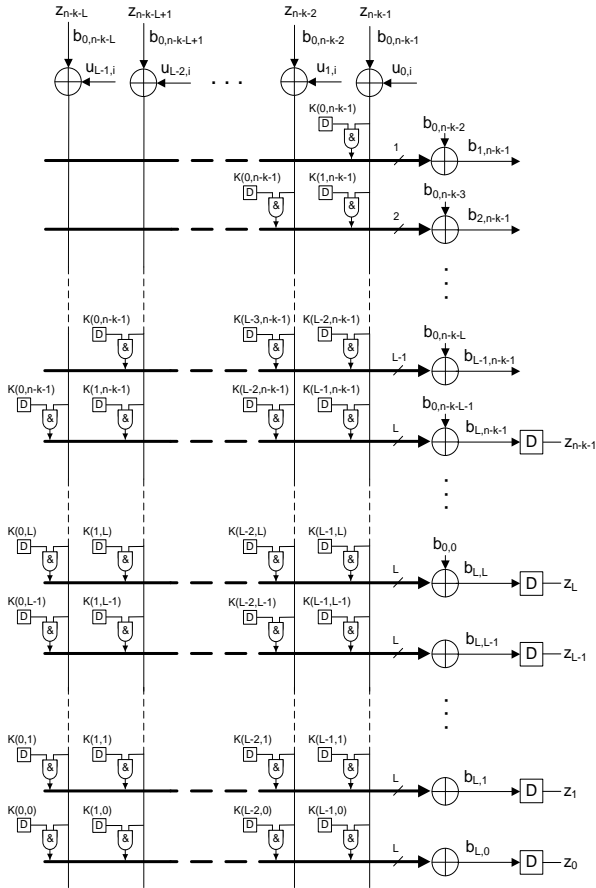


Рис. 6. Схема высокопроизводительного параллельного кодера БЧХ с реконфигурируемой корректирующей способностью

Отметим, что сумматоры, изображенные в правой части схемы, являются многоходовыми (они складывают от 1 до L слагаемых) и реализуют структуру бинарного дерева (рисунок 5), что позволяет минимизировать задержку.

Общая задержка вычислений для данной схемы определяется формулой:

$$t = t_{add} + t_{mult} + (\log 2L) t_{add} + t_{add} = t_{mult} + (2 + \log 2L) t_{add}$$

Эта задержка значительно меньше той, что была получена в схеме существующего параллельного реконфигурируемого БЧХ кодера, и различие будет тем больше, чем больше значение параметра распараллеливания L .

V. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Моделирование работы БЧХ-кодера (кодера-декодера) было выполнено с помощью предложенной в работе [6] модели двоичного симметричного канала

(ДСК) с пакетными ошибками, схема которого представлена на рисунке 7.

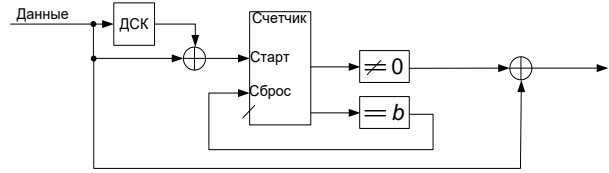


Рис. 7. Схема канала ДСК с пакетами ошибок длины b

На рисунке 8 представлены два семейства графиков. Одно семейство (BCH-b1-calc, BCH-b2-calc, BCH-b6-calc, BCH-b12-calc) – это теоретические зависимости скорости появления ошибок на выходе декодера (BER-out, BER – Bit Error Rate) от скорости появления ошибок на входе декодера (BER-in) БЧХ (2047, 1915) для пакетов ошибок в 1, 2, 6, 12 бит, а другое семейство (BCH-b1, BCH-b2, BCH-b6, BCH-b12) построено на экспериментальных данных.

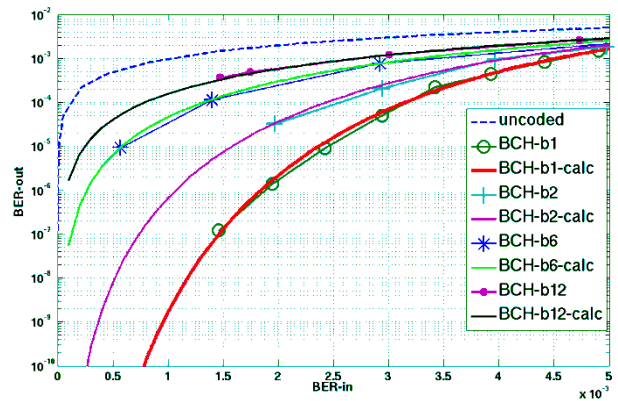


Рис. 8. Зависимость скорости появления ошибок на выходе от ошибок на входе декодера БЧХ (2047, 1915) в ДСК с пакетными ошибками

Из графиков видно, что при увеличении длины пакета ошибок качество декодирования ухудшается, приближаясь по поведению к не декодированным данным. Это объясняется тем, что на качество работы кодов БЧХ влияет лишь общее количество искаженных бит, независимо от того, сгруппированы ошибки или нет. Хорошее совпадение полученных теоретических и экспериментальных данных подтверждает корректность аппаратной реализации кодера.

VI. ЗАКЛЮЧЕНИЕ

В работе представлен способ аппаратной реализации высокопроизводительного кодера БЧХ (Боуза - Чоудхури - Хоквингема) с параллельной обработкой поступающих данных, обладающий возможностью реконфигурирования корректирующей способности кода в процессе работы устройства.

Повышение быстродействия предлагаемой схемы по сравнению с известной схемой параллельного кодера БЧХ достигается за счет преобразования схемы и изменения последовательности вычислительных операций таким образом, чтобы операции сложения вычислялись с помощью сумматоров, имеющих

структуру бинарного дерева, и благодаря этому существенно сократить время вычислений.

Получены рекуррентные алгебраические соотношения, описывающие работу предложенного параллельного кодера. Выполнено моделирование работы кодера БЧХ для различных длин пакетов ошибок, подтвердившее корректность его аппаратной реализации.

ЛИТЕРАТУРА

- [1] Блейхут Р.Э. Теория и практика кодов, контролирующих ошибки. М.: Мир, 1986, 576 с.
- [2] Zhang Jun, Wang Zhi-Gong, Hu Qing-Sheng, Xiao Jie Optimized design for high-speed parallel BCH encoder //

IEEE Int.Workshop VLSI Design&Video Tech., 2005. – P. 97-100.

- [3] Yoo H., Lee Y, 7.3 Gb/s Universal BCH Encoder and Decoder for SSD Controller // IEEE 978-1-4799-2816-3. 2014. pp. 37-38.
- [4] Zhang X., Parhi K.K. High-speed Architecture for Parallel Long BCH Encoder // GLSVLSI, 2004. P. 26-28.
- [5] Поперечный П.С. Разработка параллельного кодера БЧХ с регулируемой корректирующей способностью // Известия ЮФУ. Технические науки. 2015. №7. С. 19-31.
- [6] Поперечный П. С. Сравнительная оценка корректирующей способности кодов Рида-Соломона и Боуза-Чоудхури-Хоквингема // Информационные технологии. 2016. №6. С. 431-435.

High-Performance Parallel BCH Encoder with Reconfigurable Correction Capability

A.A. Belyaev^{1,2}, I.A. Belyaev¹, Y.Y. Petrichkovich¹, P.S. Poperechny¹

¹Joint Stock Company Research and Development Center «ELVEES»

²National Research University «MIET»

Abstract — The article proposes a method for implementation of a high-performance BCH (Bose – Chaudhuri – Hocquenghem) encoder with parallel processing of incoming data, as well as with the possibility of reconfiguring the code correcting level capability during the operation of the device. The appropriate analytical expressions are derived for a high-performance parallel implementation of an encoder. The hardware implementation of the device is considered. The BCH codec operation simulation results for various error packet lengths are presented.

Keywords — error-correcting codes, correcting level capability, BCH (Bose – Chaudhuri – Hocquenghem) encoder, linear feedback shift register (LFSR).

REFERENCES

- [1] Blejhut R. Theory and practice of error-controlling codes. M.: Mir, 1986, 576 p. (in Russian).
- [2] Zhang Jun, Wang Zhi-Gong, Hu Qing-Sheng, Xiao Jie Optimized design for high-speed parallel BCH encoder // IEEE Int.Workshop VLSI Design&Video Tech., 2005. – P. 97-100.
- [3] Yoo H., Lee Y, 7.3 Gb/s Universal BCH Encoder and Decoder for SSD Controller // IEEE 978-1-4799-2816-3. 2014. pp. 37-38.
- [4] Zhang X., Parhi K.K. High-speed Architecture for Parallel Long BCH Encoder // GLSVLSI, 2004. P. 26-28.
- [5] Poperechny P.S. Design of parallel BCH coder with cofigurable level of error correction capability // Izestia YuFU. Tekhnicheskie nauki. 2015. No.7, pp. 19-31. (in Russian).
- [6] Poperechny P.S. Comparative estimation of error correction capability for Reed–Solomon codes and Bose–Chaudhuri–Hocquenghem codes // Informatsionnyie tekhnologii. 2016. No.6, pp. 431-435. (in Russian).