

Разработка полностью цифровой схемы фазовой автоподстройки частоты

Р.И. Халирбагинов

АО «ПКК Миландр», г. Москва,

rkhairbaginov@yahoo.com

Аннотация — Представлен метод разработки полностью цифровой схемы фазовой автоподстройки частоты на основе стандартных библиотечных ячеек. Маршрут проектирования включает в себя разработку масштабируемой архитектуры для обеспечения возможности миграции на различные технологические библиотеки. Особенности построения составляющих схему блоков позволяет производить автоматическое размещение и трассировку в цифровом маршруте без существенного ухудшения характеристик схемы. Предлагаемая архитектура сочетает простоту проектирования и хорошие выходные характеристики.

Ключевые слова — осциллятор с цифровым управлением, фазовая автоподстройка, библиотека стандартных ячеек, времяизмерительная система, фазовый детектор.

I. ВВЕДЕНИЕ

Большинство электронных схем сталкиваются с проблемами сдвига и запаздывания тактовых сигналов. Синхронизация тактового сигнала определяется разницей времени поступления его между двумя последовательно смежными регистрами. Регистры и триггеры не получают тактовый сигнал одновременно. Тактовый сигнал задается генератором, он имеет собственную ошибку, из-за которой происходит отклонение от ожидаемого временного интервала. Цепь с фазовой синхронизацией работает над тем, чтобы временной интервал, наблюдаемый на тактовых входах различных триггеров схемы, соответствовал временным интервалам, генерируемым опорным сигналом. Основная задача схемы фазовой автоподстройки частоты (ФАПЧ) – генерировать выходной сигнал с фазой, связанной с фазой входного высокоточного опорного сигнала. Это свойство используется для генерации тактового сигнала, восстановления тактового сигнала из потока данных, распределения тактового сигнала, а также лежит в основе схемы синтезатора частоты. Схематически ФАПЧ это система с обратной связью, которая сравнивает фазы выходного и входного сигнала и генерирует флаг фазовой ошибки. Фазовая ошибка передается на осциллятор в виде управляющего сигнала. В соответствии с ним, осциллятор увеличивает или уменьшает частоту колебаний на выходе.

ФАПЧ являются неотъемлемой частью микропроцессоров и микроконтроллеров. Их схемы

часто работают с несколькими различными частотами. ФАПЧ в таком случае используется в качестве синтезатора частот тактовых сигналов этих систем. Схема ФАПЧ может умножить значение опорной частоты на входе до рабочей частоты процессора на выходе. Этот коэффициент умножения может быть довольно большим.

Традиционно схема ФАПЧ разрабатывается в виде аналогового блока. Этот блок интегрируется в цифровую схему, что в свою очередь вызывает серьезные трудности. Аналоговые ФАПЧ подвержены влиянию цифрового шума, технологических уходов процесса и имеют достаточно большую площадь и рассеиваемую мощность. Современные тенденции в технологии проектирования интегральных микросхем диктуют требования к уменьшению площади, занимаемой на кристалле и снижению энергопотребления. Возможность масштабирования дизайна при смене технологического процесса также является полезным свойством. Основная цель – уменьшение количества аналоговых блоков и компонентов в проекте. Аналоговую схему сложно перепроектировать. Для соответствия требуемым спецификациям эта работа зачастую равна разработке нового блока. Это увеличивает общее время работы над проектом. Масштабировать цифровой дизайн и вносить в него корректировки по мере изменения требований гораздо проще.

Цифровая схема ФАПЧ является альтернативой аналоговой ФАПЧ. Цифровая ФАПЧ демонстрирует лучшую производительность во многих параметрах по сравнению с аналоговой схемой, при этом потребляет меньше энергии и занимает меньшую площадь на кристалле. Последнее достигается отсутствием пассивных компонентов в схеме. Цифровая ФАПЧ обеспечивает более короткое время синхронизации, обладает низкой восприимчивостью к цифровым шумам, тогда как в аналоговой ФАПЧ управляющее напряжение осциллятора сильно восприимчиво к переключениям цифровой логики, расположенной на кристалле рядом. Используя все преимущества методов цифрового проектирования удастся упростить тестирование и верификацию проекта, имеющего в своем составе цифровую схему ФАПЧ.

II. АРХИТЕКТУРА ФАПЧ

Цифровые ФАПЧ во многом подобны аналоговым ФАПЧ, но компоненты, используемые для их построения, являются цифровыми. В представленной работе осциллятор с цифровым управлением (DCO) используется вместо осциллятора, управляемого напряжением (VCO). Фазовый детектор (PD) на входе заменяется комбинацией времязмерительной системы (TDC) для поиска диапазона рабочей частоты и фазочастотного детектора (PFD), используемого для выравнивания фазы выходного сигнала. Генератор накачки (CHP), контролирующий ток зарядки или разрядки фильтра петли, заменен на цифровой контроллер (CTRL). Аналоговый фильтр петли (LPF), сглаживающий высокочастотные помехи на выходе генератора накачки, заменяется цифровым фильтром, например, фильтром случайных блужданий (DLF).

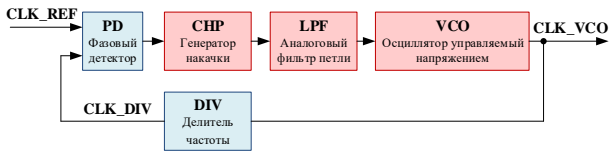


Рис. 1. Блок схема аналоговой ФАПЧ

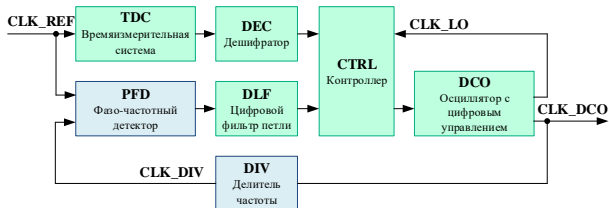


Рис. 2. Блок схема цифровой ФАПЧ

Существуют различные методы разработки схемы цифровой ФАПЧ. Основными векторами развития схемотехники цифровых ФАПЧ, помимо базовых уменьшения площади схемы и снижения её потребления, являются улучшение характеристик осциллятора, повышение эффективности бинарного алгоритма поиска рабочей частоты и совершенствование времязмерительной системы.

В настоящее время наметилось два основных направления, определяющих тенденции развития схем ФАПЧ. Одно из них ставит приоритетом максимальное повышение производительности вкупе с повышением точности. Другое направлено на снижение потребления и упрощение процесса проектирования путём его полной или частичной автоматизации, хотя и в ущерб

некоторым характеристикам. Каждое направление связано с областью применения и необходимыми для него требованиями.

A. Осциллятор с цифровым управлением

Определяющим фактором в выборе направления является метод построения осциллятора, поскольку он во многом определяет архитектуру всей схемы ФАПЧ и ее выходные характеристики, такие как ток потребления, динамический диапазон и шаг перестройки, джиттер. Наиболее распространенным методом построения DCO является кольцевой генератор, который имеет в цепи схему с контролируемой задержкой. За последние годы представлена масса схемотехнических решений позволяющих контролировать выходной период осциллятора при помощи цифрового кода.

Одним из решений является использование в кольцевом генераторе линии задержки, управляемой напряжением (VCDL – voltage controlled delay line). Чаще всего используются два метода контроля задержки на элементе: токовый current-starved инвертор [1, 2] или инвертор с шунтирующим конденсатором [3, 4]. Для задания тока в current-starved инверторах используют токовое зеркало или схему с коммутируемыми транзисторами. В первом случае необходим цифро-аналоговый преобразователь (ЦАП) для задания опорного напряжения в токовом зеркале. Такой метод сложен в реализации, однако, он обеспечивает наилучшую монотонность изменения периода выходного сигнала в зависимости от управляющего цифрового кода. Для случая коммутируемых транзисторов существует дискретность изменения сопротивления и, соответственно, задержки распространения сигнала.

В инверторах с шунтирующей ёмкостью контролируется ток, заряжающий внешнюю относительно инвертора нагрузочную ёмкость узла цепи кольцевого генератора. Основным недостатком является необходимость использования емкостей малого номинала (а значит малой геометрической площади), отсюда возникает чувствительность к разбросу удельной емкости, которая может достигать 20-50%. Этот разброс ограничивает минимально возможное приращение значения задержки распространения сигнала на инверторе, что ограничивают применение метода в серийно выпускаемых изделиях [5].

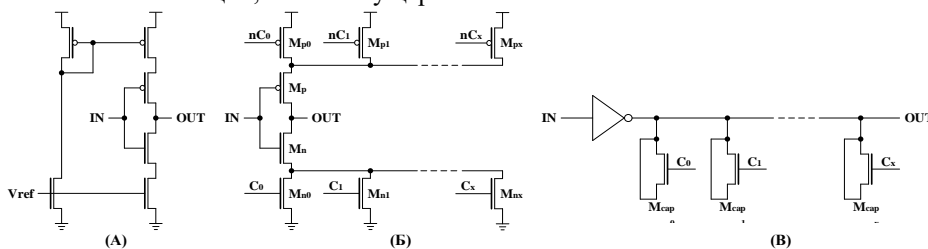


Рис. 3. Инверторы с контролируемой задержкой: (А) - с использованием токового зеркала, (Б) - с использованием коммутируемых транзисторов, (В) - с распределенной шунтирующей ёмкостью

Альтернативным подходом к построению осциллятора является использование LC-колебательного контура вместо кольцевого генератора. Контроль периода выходного сигнала осуществляется подстройкой номинала ёмкости в колебательном контуре. Такая реализация осциллятора чаще всего встречается в радиоприёмных высокочастотных трактах, где требуется очень высокая и стабильная частота (больше 1ГГц). Однако улучшение характеристик достигается добавлением пассивного компонента LC-контура, который занимает большую часть площади всей схемы цифровой ФАПЧ.

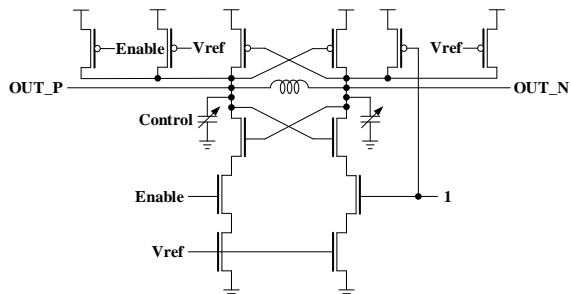


Рис. 4. Осциллятор на основе LC-колебательного контура

Все вышеперечисленные реализации DCO несмотря на имеющиеся преимущества ограничены в применении в полностью цифровом дизайне по ряду причин. Основными причинами являются большая площадь и custom-дизайн, лишённый портативности. Для интеграции этих решений в цифровой маршрут проектирования необходимо разрабатывать схему в аналоговом маршруте, а затем производить характеризацию параметров блока. Это неизбежно приводит к увеличению трудозатрат и ухудшению точности моделирования. Поэтому разработчики вынуждены переносить весь дизайн в аналоговый маршрут и верифицировать схему средствами смешанного моделирования. Такой подход усложняет процесс разработки и верификации. При необходимости перенести схему на другой технологический процесс или при изменении опций существующего процесса, схему необходимо разрабатывать заново.

В работе предлагается использовать построение схемы осциллятора на стандартных библиотечных ячейках. В его основе лежит схема кольцевого генератора с изменяемой длиной цепи задержки (VLRO – variable length ring oscillator).

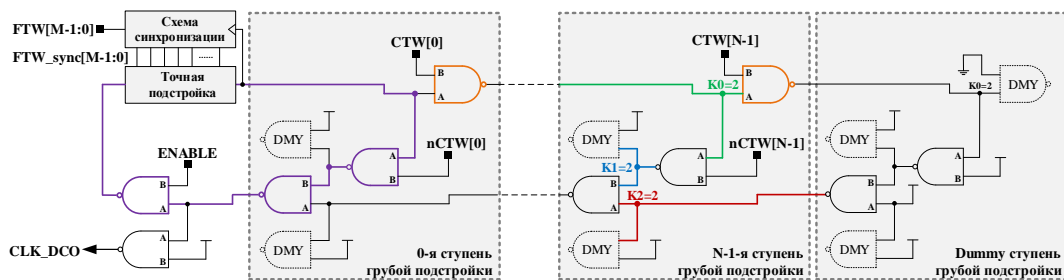


Рис. 5. Кольцевой генератор с изменяемой длиной цепи задержки

Схема кольцевого генератора полностью построена на цифровых логических элементах и её характеристики могут быть рассчитаны моделированием в цифровом симуляторе. Это значительно упрощает процесс проектирования. Элементы стандартной цифровой библиотеки имеют предсказуемые характеристики, это позволяет получить оценку как худшего, так и лучшего случая при моделировании. Однако, несмотря на очевидные преимущества подобной реализации, серьёзной проблемой является дискретность изменения периода выходного сигнала.

Минимальный шаг изменения задержки в цепи кольцевого генератора определяет задержка на 2 ячейках И-НЕ и для процесса КМОП 90нм составляет 240пс. Это является достаточно большой величиной и ограничивает реализацию высокопроизводительных схем подобным методом. Для уменьшения шага подстройки выходной частоты DCO и для повышения точности поиска целевого значения предложена схема осциллятора с разделением на грубую и точную подстройку частоты. Период колебаний выходного сигнала состоит из задержки на ступенях грубой (COARSE) и точной (FINE) подстройки:

$$\tau_{DCO} = \tau_{COARSE} + \tau_{FINE} \quad (1)$$

$$\tau_{COARSE} = N_{CRS_CELL} \times 2 \times \tau_{NAND} + 1 \times \tau_{NAND} \quad (2)$$

Для точной подстройки осциллятора с цифровым управлением предлагается метод, использующий разность задержки путей внутри библиотечной ячейки И-НЕ. Вся входная информация для расчета задержки через ячейку или группу ячеек описана в библиотеке стандартных цифровых ячеек. Например, ёмкости входов/выходов и номиналы задержек приведенные к ёмкости нагрузки.

Минимальный шаг изменения периода выходного сигнала для данной конструкции DCO определяется разницей задержек распространения сигнала через путь А и В двух ячеек И-НЕ и для процесса КМОП 90нм составляет 32пс. Это значение также называется коэффициентом усиления осциллятора K_{DCO} . Полное значение задержки через все ступени точной подстройки представлено в выражении:

$$\tau_{FINE} = \sum_{i=0}^{N_{FN_CELL}} \tau_{NAND_A} + K_{DCO} \times FTW[i] \quad (3)$$

В. Частотная синхронизация. Времяизмерительная система

Механизм частотной синхронизации отвечает за поиск и вывод правильной частоты на выходе ФАПЧ, при этом фаза выходного сигнала не будет выровнена относительно фазы опорного сигнала и разница между этими фазами неизвестна. Фазовая синхронизация функционально превосходит частотную благодаря дополнительной возможности выравнивания фазы. ФАПЧ с фазовой синхронизацией используются в системах восстановления тактового сигнала из потока данных или в приложениях активного подавления перекося при распределении тактовых сигналов по кристаллу. Однако, поскольку фазовая синхронизация требует длительного времени установления, ФАПЧ с частотной синхронизацией реализуются в приложениях, где выравнивание фазы выходного тактового сигнала ФАПЧ не требуется, например, в синтезаторе частоты.

В представленной работе используется гибридная схема, сочетающая преимущества фазовой и частотной синхронизации. Времяизмерительная система применяется для быстрой частотной синхронизации при помощи преобразования временной информации о входном опорном сигнале в цифровой код. При включении схемы ФАПЧ после нескольких эталонных тактовых циклов времяизмерительная система предоставляет контроллеру длину периода входного опорного сигнала. Период может быть рассчитан путем деления равными отрезками длиной равной задержке на одной стандартной цифровой библиотечной ячейке И-НЕ.

После того, как контроллер ФАПЧ получает выходной код с дешифратора времяизмерительной системы, он формирует код грубой подстройки и запускает ОЦУ на необходимой частоте. Далее, машина состояний в контроллере переводит схему ФАПЧ в режим отслеживания фазы при помощи фазового детектора.

Существует множество подходов для реализации времяизмерительной системы. В [1] и [6] для повышения точности подсчета длины импульса используется дополнительный высокочастотный генератор. Использование схемы Vernier позволяет повысить точность при поиске частоты [7], однако для данной реализации используются два дополнительных высокочастотных генератора с минимальным смещением по фазе. В [8] используется Freeze Vernier Delay Line, где состояние медленной линии задержек может фиксироваться быстрой линией задержек, сокращая потребление большого количества элементов схемы. С увеличением точности измерения в цепочке времяизмерительной системы уменьшается длина задержки на одном элементе, но увеличивается их количество. Поскольку каждый вывод элемента задержки направляется на свой D-триггер, требуется большое количество триггеров, это увеличивает площадь и потребление. В [9] используется

двухуровневая конструкция времяизмерительной системы, что позволяет значительно уменьшить количество используемых D-триггеров, уменьшить сложность разводки и снизить энергопотребление.

В данной работе было решено использовать конструкцию времяизмерительной системы, включающую счётчик Counter TDC, работающий на высокой частоте, и два Flash TDC для повышения точности поиска периода входного опорного сигнала. Тактирование счётчика осуществляется с выхода схемы DCO, работающей в режиме локального осциллятора на максимальной частоте. Режим локального осциллятора активен в момент начального поиска рабочей частоты. Благодаря использованию такой схемы удаётся согласовать оцениваемые временные интервалы в одной системе отсчета. Счётчик даёт оценку с точностью равной минимальному периоду выходного сигнала ОЦУ. Для предложенной схемы ОЦУ это значение можно представить в следующем виде:

$$R_{CNT_TDC} = 2 \times \tau_{DCO_MIN} \quad (4)$$

Чтобы уменьшить ошибку дискретности поиска частоты используется классическая схема Flash TDC. Первая схема Flash TDC А измеряет интервал времени до начала счёта счётчика Counter TDC, вторая схема Flash TDC В измеряет интервал после окончания счёта. Особенностью конструкции представленной схемы Flash TDC является использование универсальной ячейки задержки (UDC), которая в точности топологически повторяет ступень грубой подстройки осциллятора. Такая схема даёт оценку со следующей точностью:

$$R_{FLASH_TDC} = 2 \times \tau_{NAND} \quad (5)$$

Применение счётчика для грубой оценки длительного интервала вместо использования длинной цепочки Flash TDC позволяет значительно уменьшить аппаратные затраты на имплементацию этого блока. Так по оценкам при физическом синтезе схема с использованием одной длинной цепочки Flash TDC составляет более 70% от площади всей схемы ФАПЧ. Представленная схема уменьшает площадь времяизмерительной системе более чем на 80%.

Три кодовых слова TDC_A, TDC_B и TDC_C поступают в дешифратор, который преобразует термометрический код в число равное количеству значений единиц задержек на элементе И-НЕ, составляющих период входного опорного сигнала CLK_REF. После дешифрации полученного кода на выходе контроллера выставляется правильное значение кода грубой подстройки (CTW – coarse tuning word). Этим завершается работа времяизмерительной системы и режима частотной синхронизации.

Блок схема времяизмерительной системы представлена на рис. 6. Диаграмма работы времяизмерительной системы представлена на рис. 7.

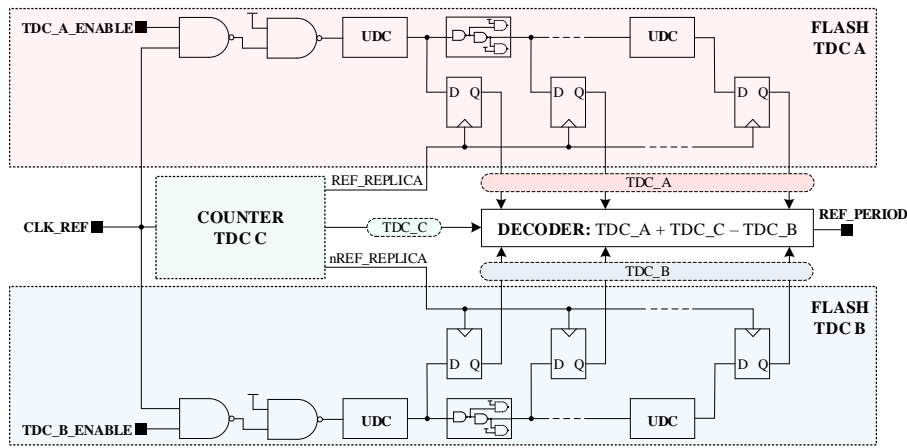


Рис. 6. Времяизмерительная система

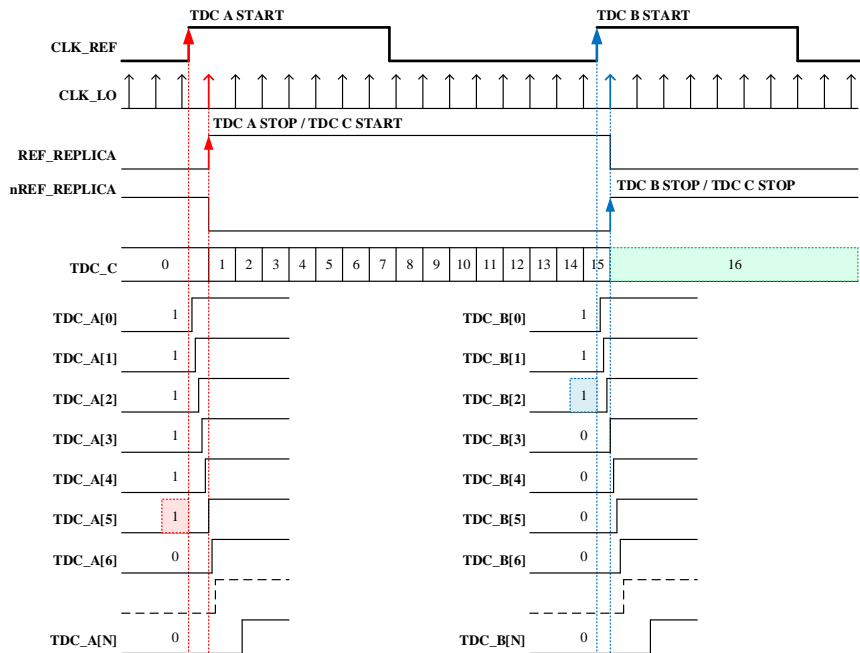


Рис. 7. Оценка периода входного опорного сигнала времяизмерительной системой

С. Фазовая синхронизация. Фазо-частотный детектор и фильтр петли

Фазовая синхронизация осуществляется при помощи схемы фазового детектора. В этой работе используется распространенная реализация фазо-частотного детектора на D-триггерах (рис. 8). Он имеет два входа: CLK_REF и CLK_DIV и два выхода UP и DOWN, чтобы генерировать выходной флаг фазовой ошибки, когда передний фронт тактового сигнала наблюдается позже или раньше по отношению к опорному сигналу (рис. 9).

Флаг ошибки с фазового детектора поступает на цифровой последовательный фильтр. Цифровой фильтр построен по схеме фильтра случайных блужданий и представляет из себя реверсивный счетчик с изменяемым модулем счета. Модуль счета – это коэффициент фильтрации цифрового фильтра.

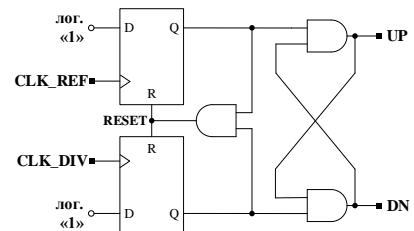


Рис. 8. Фазо-частотный детектор на D-триггерах

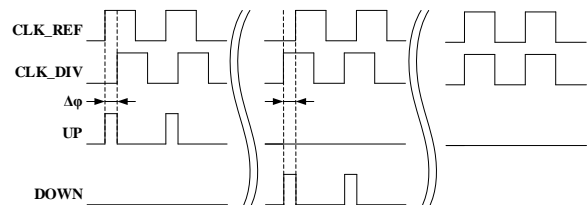


Рис. 9. Фазовая синхронизация

Схема фильтра позволяет аккумулировать состояние флага ошибки, и в зависимости от коэффициента фильтрации пропускает или не пропускает сигнал на контроллер (Рисунок 10). Отфильтрованный сигнал фазовой ошибки поступает на контроллер, который формирует кодовое слово точной подстройки осциллятора (FTW – fine tuning word).

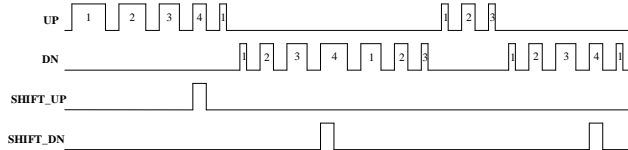


Рис. 10. Пример работы последовательного фильтра случайных блужданий

III. МАРШРУТ ФИЗИЧЕСКОГО СИНТЕЗА

Для автоматизации процесса логического и физического синтеза схемы полностью цифровой ФАПЧ RTL описание схемы на языке Verilog HDL было параметризовано и разбито на функциональные модули. Использован алгоритм позволяющий организовать цифровые ячейки и модули в сегменты с регулярной структурой размещения и трассировки для минимизации паразитного влияния RC-составляющей в критических узлах схемы. Это позволяет повысить качество выходных параметров схемы. В качестве инструмента для решения этих задач применяется средства программного обеспечения из пакета Cadence Innovus, а именно SDP Flow – Structured data path.

В рамках маршрута SDP создается описание структуры размещения и трассировки модулей и ячеек. При этом само описание также параметризовано, что позволяет использовать его в маршруте автоматизированного проектирования схемы полностью цифровой ФАПЧ. Для этого было осуществлено выделение на этапе создания HDL описания уникальных повторяющихся блоков в отдельные модули и подмодули. (рис. 11).

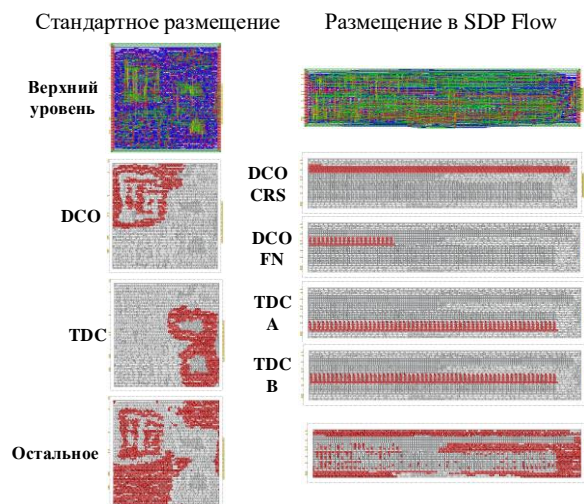


Рис. 11. Структурированное размещение цифровых элементов

Особенностью конструкции является универсальная ячейка задержки (UDC), которая используется при построении ступеней грубой подстройки осциллятора и элементов цепи задержки в схеме Flash TDC. Неиспользуемые выводы доопределяются константными значениями (рис. 12).

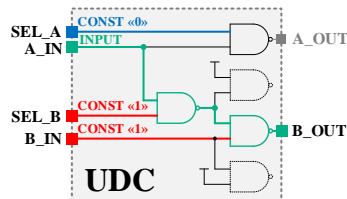


Рис. 12. Универсальная ячейка задержки

При физическом синтезе ячейки цифровых элементов «2И-НЕ», составляющие модули UDC, структурируются в определенном неизменном порядке и имеют одинаковое размещение и разводку внутри модуля. На верхнем уровне эти модули располагаются структурированной матрицей таким образом, чтобы зависящие друг от друга и связанные величины задержек в цепи измерительной системы и цифрового осциллятора были комплементарны. В результате удастся повторить на моделировании схемы после физического синтеза поведение и характеристики, полученные при моделировании логической схемы. Это является свидетельством того, что благодаря оптимальному размещению элементов схемы удалось свести к минимуму влияние паразитных RC-задержек. Важно, что процесс структурирования полностью автоматический и не привязан к параметризованному описанию схемы. Это позволяет свободно изменять параметры для корректировки выходных характеристик схемы ФАПЧ по результатам верификации.

IV. ПОЛУЧЕННЫЕ РЕЗУЛЬТАТЫ

Схема осциллятора была описана на языке Verilog HDL. Исходя из предварительной оценки количество ступеней грубой подстройки было выбрано равным $N=128$, количество ступеней точной подстройки $M=20$. RTL описание было промоделировано и получены зависимости частоты и периода выходного сигнала CLK_DCO от кода грубой (CTW) и точной (FTW) подстройки частоты (рис. 13).

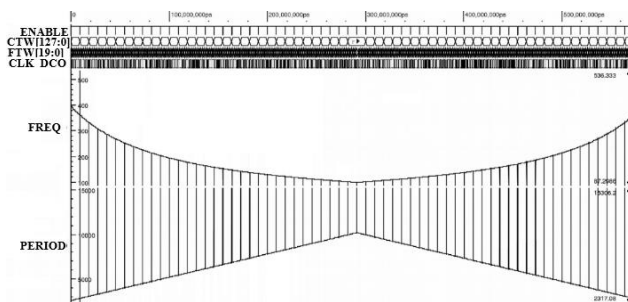


Рис. 13. Результаты моделирования осциллятора

Полученная схема осциллятора была использована при построении схемы полностью цифровой ФАПЧ с времяизмерительной системой, представленной на рис. 6. Частота опорного сигнала была выбрана – 8МГц. Коэффициент умножения ФАПЧ установлен равным 8. На рис. 14, 15 представлены результаты моделирования схемы ФАПЧ в режимах частотной и фазовой синхронизации соответственно.

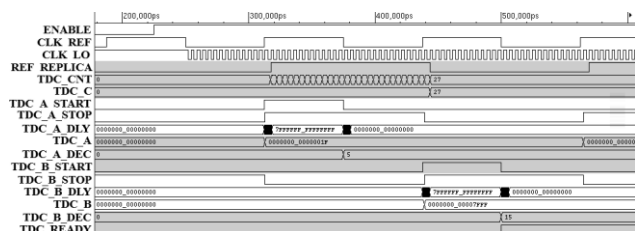


Рис. 14. Частотная синхронизация

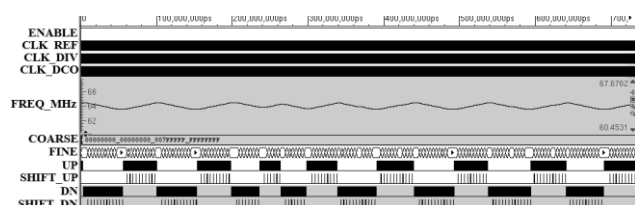


Рис. 15. Фазовая синхронизация

Результаты моделирования подтверждают значительное уменьшение времени частотной синхронизации благодаря использованию времяизмерительной системы. Наличие последовательного фильтра позволяет избежать нежелательных отклонений от рабочей частоты при фазовой синхронизации, сглаживая характеристику подстройки выходной частоты. Она колеблется в диапазоне 63-65 МГц при целевом значении 64 МГц.

Для верификации полученного дизайна было произведено прототипирование части схемы на ПЛИС. Из-за специфических особенностей механизма частотной синхронизации было решено исключить из схемы времяизмерительную систему и точную подстройку осциллятора. Проверялся функционал фазовой синхронизации и работа последовательного фильтра. Динамический диапазон перестройки составил 9-400 МГц с шагом подстройки 1.8нс.

V. ВЫВОДЫ

В этой работе представлен метод проектирования полностью цифровой ФАПЧ на основе стандартных библиотечных ячеек. Архитектура построения имеет ряд важных особенностей. Применение ячейки UDC в схеме осциллятора и времяизмерительной системе позволило добиться согласования цепей задержек по длине и площади. Эта особенность также позволяет структурировать схему при физическом синтезе, выделив UDC в отдельную ячейку, на основе которой строятся все основные блоки. В ходе работы был

проведен логический и физический синтез топологии разработанной схемы ФАПЧ по КМОП технологии с проектными нормами 90нм. Результаты моделирования схемы после физического синтеза с экстрагированными параметрами согласуются с оценками, которые были даны на этапе RTL описания. Динамический диапазон составил 10-400МГц с шагом подстройки 32пс.

Результаты прототипирования на ПЛИС позволяют утверждать, что использованная архитектура схемы осциллятора и последовательного фильтра является оптимальным выбором. При этом благодаря примененным схемотехническим решениям при реализации в заказной схеме представленный дизайн может обеспечивать лучшие характеристики.

ПОДДЕРЖКА

При поддержке Федерального государственного бюджетного учреждения «Фонд содействия развитию малых форм предприятий в научно-технической сфере» (Фонд содействия инновациям) в рамках НИР по теме «Разработка автоматизированного генератора универсальной полностью цифровой схемы фазовой автоподстройки частоты» победителя конкурса «Участник молодежного научно-инновационного конкурса» («УМНИК»).

ЛИТЕРАТУРА

- [1] T. Olsson and P. Nilsson, "A digitally controlled PLL for SoC applications," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 5, pp. 751-760, May 2004.
- [2] J. Zhao and Yong-bin Kim, "A 12-bit digitally controlled oscillator with low power consumption," 2008 51st Midwest Symposium on Circuits and Systems, 2008, pp. 370-373, doi: 10.1109/MWSCAS.2008.4616813.
- [3] P. Raha, S. Randall, R. Jennings, B. Helmick, A. Amerasekera, and B. Haroun, "A robust digital delay line architecture in a 0.13- μ m CMOS technology node for reduced design and process sensitivities," in *Proc. ISQED'02*, pp. 148-153, Mar. 2002.
- [4] P. Andreani, F. Bigongiari, R. Roncella, R. Saletti and P. Tenini, "A Digitally Controlled Shunt Capacitor CMOS Delay Line," *Analog Circuits and Signal Processing*, Kluwer Academic Publishers, Volume 18, pp. 89-96. 1999.
- [5] Зиновьев, Д. В. Особенности проектирования полностью цифровых систем ФАПЧ для процессорных устройств: диссертация на соискание ученой степени кандидата технических наук. – Москва, 2005. – 122 с.
- [6] F. Brandonisio and F. Maloberti An All-Digital PLL with a First Order Noise Shaping Time-to-Digital Converter // *IEEE International Symposium on Circuits and Systems (ISCAS)*. – 2010. - P. 241 – 244.
- [7] Y. Park and D. Wentzloff A Cyclic Vernier TDC for ADPLLs Synthesized From a Standard Cell Library // *IEEE Transactions on Circuits and Systems I: Regular Papers*. – 2011 - Vol. 58. - P. 1511 – 1517.
- [8] J. Angevare and K. Blutman A CMOS 0.23pj Freeze Vernier Time-To-Digital Converter // *NORCHIP*. – 2013. - P. 1 - 4.
- [9] D. Sheng, C. C. Chung, and C. Y. Lee A Fast-Lock-In ADPLL with High-Resolution and Low-Power DCO for SoC Applications // *IEEE APCCAS*. – 2006. - P. 105 - 108.

Design of All-digital Phase-locked Loop

R.I. Khalirbaginov

JSC «ICC Milandr», Moscow

rkhairbaginov@yahoo.com

Abstract — A design methodology of an all-digital phase-locked loop based on standard library cells is presented. The design route includes development of a scalable architecture to enable migration to various technology libraries. The design features of the main blocks allow automatic placement and routing in a digital route without degradation of the circuit characteristics. The proposed architecture combines design simplicity and good performance.

Keywords — digitally controlled oscillator, phase-locked loop, standard cells library, time-measuring system, phase detector.

REFERENCES

- [1] T. Olsson and P. Nilsson, "A digitally controlled PLL for SoC applications," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 5, pp. 751-760, May 2004.
- [2] J. Zhao and Yong-bin Kim, "A 12-bit digitally controlled oscillator with low power consumption," 2008 51st Midwest Symposium on Circuits and Systems, 2008, pp. 370-373, doi: 10.1109/MWSCAS.2008.4616813.
- [3] P. Raha, S. Randall, R. Jennings, B. Helmick, A. Amerasekera, and B. Haroun, "A robust digital delay line architecture in a 0.13- μ m CMOS technology node for reduced design and process sensitivities," in *Proc. ISQED'02*, pp. 148-153, Mar. 2002.
- [4] P. Andreani, F. Bigongiari, R. Roncella, R. Saletti and P. Tenini, "A Digitally Controlled Shunt Capacitor CMOS Delay Line," *Analog Circuits and Signal Processing*, Kluwer Academic Publishers, Volume 18, pp. 89-96. 1999.
- [5] Zinoviev, D.V. Design features of all-digital PLL systems for processor devices: Thesis for the degree of Candidate of Engineering Sciences. - Moscow, 2005. - 122 p.
- [6] F. Brandonisio and F. Maloberti An All-Digital PLL with a First Order Noise Shaping Time-to-Digital Converter // *IEEE International Symposium on Circuits and Systems (ISCAS)*. - 2010. - P. 241 - 244.
- [7] Y. Park and D. Wentzloff A Cyclic Vernier TDC for ADPLLs Synthesized From a Standard Cell Library // *IEEE Transactions on Circuits and Systems I: Regular Papers*. - 2011 - Vol. 58. - P. 1511 - 1517.
- [8] J. Angevare and K. Blutman A CMOS 0.23pj Freeze Vernier Time-To-Digital Converter // *NORCHIP*. - 2013. - P. 1 - 4.
- [9] D. Sheng, C. C. Chung, and C. Y. Lee A Fast-Lock-In ADPLL with High-Resolution and Low-Power DCO for SoC Applications // *IEEE APCCAS*. - 2006. - P. 105 - 108.