

Типовая структура организации схем встроенного контроля на основе логической коррекции и контроля вычислений по двум диагностическим параметрам в эксперименте

Д. В. Ефанов^{1,2}, Д. В. Пивоваров²

¹Российский университет транспорта, Москва

²ООО НТЦ «Комплексные системы мониторинга», Санкт-Петербург

TrES-4b@yandex.ru, pivovarov.d.v.spb@gmail.com

Аннотация — Описывается типовая структура организации схем встроенного контроля устройств автоматики и вычислительной техники. Она реализуется на основе принципа логической коррекции и предполагает организацию контроля вычислений по группам из пяти выходов в каждой. Сигналы с пяти выходов сжимаются с применением специальной схемы сжатия в четыре сигнала. Схема сжатия представляет собой кодер кода с суммированием взвешенных переходов с весовыми коэффициентами из ряда возрастающих степеней числа 2. Использование такого кода гарантирует обнаружение любых сочетаний искажений на входах, кроме одновременного искажения всех пяти сигналов. Логическая коррекция осуществляется в блоке коррекции сигналов с применением четырех двухходовых элементов сложения по модулю $M=2$. Для коррекции применяют четыре контрольные функции, формируемые блоком контрольной логики. Эти функции выбирают таким образом, чтобы на выходах блока коррекции сигналов формировались кодовые слова, принадлежащие множеству рабочих комбинаций модуля сжатия парафазных сигналов, либо множеству рабочих комбинаций равновесного кода «2 из 4». Кроме того, каждая функция разрядов кодовых слов должна принадлежать классу самодвойственных. Такой способ организации схемы встроенного контроля позволяет контролировать вычисления по двум диагностическим параметрам. В эксперименте показана эффективность применения описанного подхода для организации схем встроенного контроля комбинационных логических устройств.

Ключевые слова — схема встроенного контроля; контроль самодвойственности функций; контроль принадлежности функций рабочим комбинациям модуля сжатия парафазных сигналов; схема сжатия сигналов по взвешенному коду с суммированием; обнаружение ошибок в вычислениях.

I. ВВЕДЕНИЕ

Классическая архитектура организации схем встроенного контроля (СВК) для цифровых устройств автоматики и вычислительной техники строится с применением блочных равномерных кодов и содержит три функциональных блока [1]. Блок основной логики

$F(x)$ является объектом диагностирования, по результатам вычисления которым значений рабочих функций косвенно оценивается его техническое состояние. СВК образуется двумя блоками: блоком контрольной логики $G(x)$ и тестером выбранного кода TSC (*totally self-checking checker*). Выходы устройства $F(x)$ отождествляются с кодовым вектором, длина которого равна их числу. В СВК этот кодовый вектор дополняется кодовым вектором, значения разрядов которого формируются блоком $G(x)$, таким образом, чтобы конкатенация векторов образовывала кодовое слово некоторого блочного равномерного кода. Этот код может быть делимым или неделимым. В качестве делимых кодов применяются разнообразные линейные коды и коды с суммированием [2 – 6]. В качестве неделимых кодов применяются равновесные коды, коды Бордена, Плоткина (Адамара) и др. [7, 8].

Широко известна типовая архитектура организации СВК, называемая системой дублирования [9]. В ней блок $G(x)$ представляет собой аналог устройства $F(x)$. Чаще всего, это копия исходного объекта диагностирования, но может быть и устройство с альтернативной логикой, вычисляющее те же функции. Одноименные выходы блоков основной и контрольной логики объединяются на входах самопроверяемого компаратора. Данная типовая структура обладает наилучшей обнаруживающей способностью – обнаруживаются любые сочетания искажений на выходах объекта диагностирования. При этом показатель структурной избыточности системы дублирования является некоторым ориентиром, позволяющим оценивать сложность технической реализации при использовании кодов с большей кодовой скоростью [10]. Уменьшение избыточности кода часто приводит к снижению структурной избыточности, но при этом и не позволяет гарантированно идентифицировать любые сочетания искажений на выходах объекта диагностирования [11, 12].

Еще одна типовая архитектура организации СВК основана на применении кода паритета [13]. Этот код имеет всего один контрольный разряд и,

соответственно, максимальную кодовую скорость. СВК таким образом, чаще всего, будут иметь наименьшую сложность технической реализации, но при этом необходимо учитывать, что кодами паритета не обнаруживается любая ошибка с четной кратностью [11]. Коды паритета применяются при организации контроля устройств с независимыми выходами [14].

Помимо классической архитектуры, строящейся в так называемой парадигме конкатенации разрядов в СВК для получения кодового слова равномерного блочного кода, существует также альтернативная архитектура, реализующая идею логической коррекции значений разрядов кодового вектора, формируемого на выходах объекта диагностирования [15, 16]. В ней используется блок коррекции сигналов (БКС), позволяющий преобразовывать все или часть рабочих функций с помощью контрольных функций. Это дает возможность получения на выходах БКС кодового слова любого заранее выбранного равномерного блочного кода. Существуют определенные ограничения на синтез полностью самопроверяемых структур на основе данного подхода [17].

Целью данной работы является представление научному сообществу новой типовой архитектуры организации СВК. Она основана на применении специального кода с суммированием взвешенных переходов [18] совместно со структурой логической коррекции значений рабочих функций, при этом подразумевает работу в импульсном режиме при самодвойственной реализации вычисляемых функций [19, 20].

II. ТИПОВАЯ АРХИТЕКТУРА ОРГАНИЗАЦИИ СВК

Описываемая архитектура изображена на рис. 1. В ней блок $F(x)$ – подсхема с пятью выходами объекта диагностирования. С помощью схемы сжатия сигналов (СС), организованной по взвешенному коду с суммированием, пять сигналов от объекта диагностирования сжимаются в четыре сигнала $\varphi_1, \varphi_2, \varphi_3, \varphi_4$ в СВК. Далее эти сигналы корректируются в БКС с применением четырех контрольных функций g_1, g_2, g_3, g_4 . Для коррекции используются двухвходовые элементы XOR . Кодовое слово, формируемое на выходе БКС, с разрядами h_1, h_2, h_3, h_4 должно принадлежать равновесному коду «2 из 4», либо рабочим комбинациям классического блока TRC (*two-rail checker*) [21]. На рис. 1 приведен второй вариант. Такое условие необходимо для получения еще одного дополнительного диагностического параметра – принадлежности каждой функции h_1, h_2, h_3, h_4 классу самодвойственных булевых функций [22, 23]. Для контроля принадлежности кодовых слов множеству рабочих комбинаций TRC (комбинации $\langle 0101 \rangle$, $\langle 1010 \rangle$, $\langle 0110 \rangle$ и $\langle 1001 \rangle$) применяется один типовой модуль сжатия парафазных сигналов. Для контроля самодвойственности каждой функции h_1, h_2, h_3, h_4 установлен типовой тестер самодвойственности SSC (*self-dual self-checking checker*). Структуры данных устройств приведены, например, в [22, 23]. Выходы контрольных устройств объединены на входах компаратора $5TRC1$, сжимающего пять парафазных выходов в один. Он строится на четыре типовых блоках сжатия парафазных сигналов.

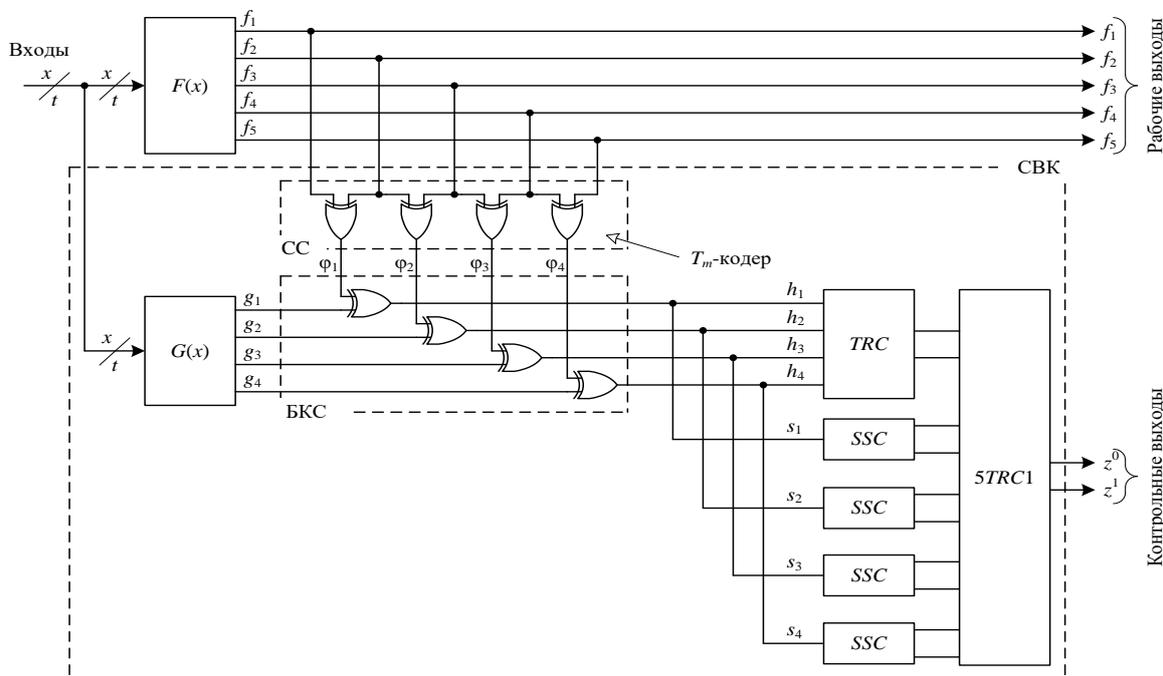


Рис. 1. Структура организации схемы параллельного контроля по двум диагностическим параметрам

Отметим, что для обеспечения полной проверки БКС требуется, чтобы на входы каждого из элементов

преобразования должны поступать хотя бы по одному разу тестовые комбинации из множества {00, 01, 10, 11} [24].

Преобразование четырех функций f_1, f_2, f_3, f_4 в функции h_1, h_2, h_3, h_4 , являющиеся самодвойственными, возможно всегда [22, 23]. Всегда возможно и надление всех четырех функций h_1, h_2, h_3, h_4 свойством того, что они будут образовывать один из четырех векторов $\langle 0101 \rangle, \langle 1010 \rangle, \langle 0110 \rangle$ и $\langle 1001 \rangle$, являющихся рабочими для модуля TRC, и подача которых хотя бы по разу на его входы полностью проверяет его работу. Это следует из двух составляющих организации схемы контроля. Во-первых, из особенностей самодвойственных функций – на ортогональных по всем переменным наборах они принимают противоположные значения. Во-вторых, из того факта, что для любой из рабочих комбинаций модуля TRC инвертирование каждой переменной позволяет получить также рабочую комбинацию для данного модуля. Аналогичным свойством обладает, например, тестер равновесного кода $r/2r$ (например, 2/4-кода [22, 23]).

Схема сжатия строится на основе кодера взвешенного кода с суммированием, или T_m -кода, описанного в [18]. Контрольные разряды данного кода получают следующим образом. Рассматривается информационный вектор $\langle f_m f_{m-1} \dots f_2 f_1 \rangle$. Разряды информационного вектора разбиваются на пары, начиная с младшего: $\{f_1, f_2\}, \{f_2, f_3\}, \{f_3, f_4\}, \dots, \{f_{m-1}, f_m\}$. Образуется $k=m-1$ пара. Каждой паре приписывается один весовой коэффициент из ряда возрастающих степеней числа 2: $\{2^0, 2^1, 2^2, \dots, 2^{m-2}\}$. В контрольный вектор записывается двоичное число, равное сумме весовых коэффициентов пар, для которых выполняется условие $f_i \oplus f_{i+1} = 1$, $i = 1, m-1$. Это аналогично тому, что для каждой пары осуществляется сжатие сигналов путем суммирования их на двухвходовых элементах XOR. Полученные значения заносятся последовательно в разряды контрольного вектора. В рассматриваемой структуре $m=5$, а $k=4$. К примеру, для информационного вектора $\langle f_5 f_4 f_3 f_2 f_1 \rangle = \langle 11001 \rangle$ T_5 -кода контрольный вектор имеет вид $\langle g_4 g_3 g_2 g_1 \rangle = \langle 0101 \rangle$.

При такой организации схемы сжатия на ее входах обнаруживаются любые сочетания искажений, кроме одновременного искажения всех пяти выходов. Это следует из свойств данного кода [18].

Представленная на рис. 1 структура является типовой, поскольку реализована на типовых функциональных блоках. При синтезе СВК важным является получение структуры блока $G(x)$. Процедура синтеза его также стандартна. Например, для использования контроля по принадлежности кодовых слов, формируемых на выходах БКС, множеству рабочих комбинаций блока TRC она описана в [25]. Для использования кода «2 из 4» – в [26].

III. ЭКСПЕРИМЕНТЫ С КОМБИНАЦИОННЫМИ СХЕМАМИ

Целью настоящей работы была проверка эффективности предлагаемого подхода в эксперименте с комбинационными логическими схемами. Поясним процедуры, входящие в эксперимент, на примере схемы, изображенной на рис. 2. Для эксперимента использовался программный комплекс *Logisim*.

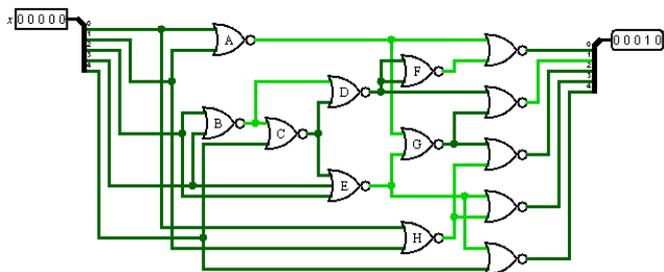


Рис. 2. Контролируемая схема

На рис. 3 показана экспериментальная схема.

В эксперименте сравнивались 4 варианта схем встроенного контроля. Первый вариант – использование T_m -кода. Второй вариант – использование T_m -кода с контролем самодвойственности всех кодовых функций. Третий вариант – применение 2/5-кода [27] с самодвойственностью некоторых кодовых функций. Четвертый вариант – реализация системы дублирования.

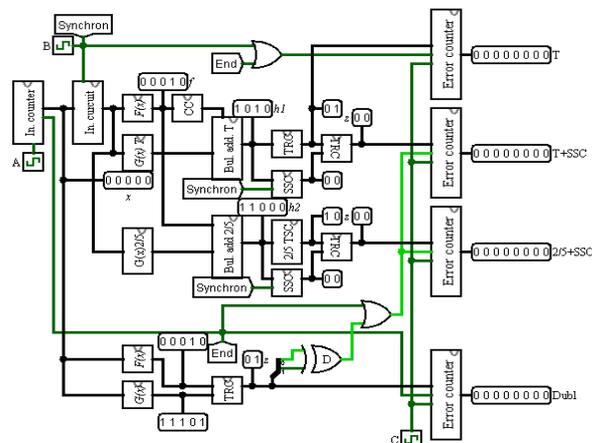


Рис. 3. Схема для эксперимента

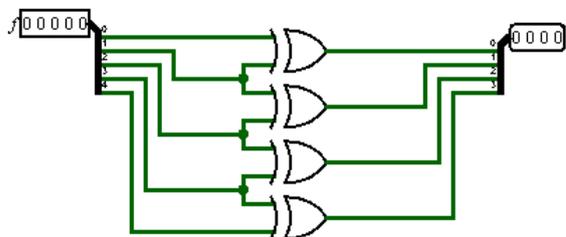


Рис. 4. Схема сжатия

Таблица истинности блока $G(x)$

№	x					g				h			
	1	2	3	4	5	1	2	3	4	1	2	3	4
0	0	0	0	0	0	1	0	0	1	0	1	0	1
1	0	0	0	0	1	0	1	1	0	1	0	1	0
2	0	0	0	1	0	0	1	0	0	1	0	0	1
3	0	0	0	1	1	0	1	1	0	0	1	1	0
4	0	0	1	0	0	1	0	0	1	0	1	0	1
5	0	0	1	0	1	1	0	0	0	1	0	1	0
6	0	0	1	1	0	0	1	1	1	1	0	1	0
7	0	0	1	1	1	0	1	0	1	0	1	0	1
8	0	1	0	0	0	1	1	0	0	0	1	1	0
9	0	1	0	0	1	0	0	1	1	1	0	0	1
10	0	1	0	1	0	0	1	0	0	0	1	1	0
11	0	1	0	1	1	0	0	0	1	1	0	1	0
12	0	1	1	0	0	0	1	1	1	0	1	0	1
13	0	1	1	0	1	1	1	1	0	0	1	0	1
14	0	1	1	1	0	0	1	1	1	0	1	0	1
15	0	1	1	1	1	1	1	1	0	0	1	0	1
16	1	0	0	0	0	0	0	0	0	1	0	1	0
17	1	0	0	0	1	0	0	0	0	1	0	1	0
18	1	0	0	1	0	1	0	0	0	1	0	1	0
19	1	0	0	1	1	0	0	0	1	1	0	1	0
20	1	0	1	0	0	0	1	1	1	0	1	0	1
21	1	0	1	0	1	0	0	1	0	1	0	0	1
22	1	0	1	1	0	0	1	0	0	0	1	1	0
23	1	0	1	1	1	0	0	1	0	1	0	0	1
24	1	1	0	0	0	0	0	0	0	1	0	1	0
25	1	1	0	0	1	1	1	1	1	0	1	0	1
26	1	1	0	1	0	0	1	1	1	0	1	0	1
27	1	1	0	1	1	0	0	1	1	1	0	1	0
28	1	1	1	0	0	1	0	1	1	1	0	0	1
29	1	1	1	0	1	1	1	0	1	0	1	1	0
30	1	1	1	1	0	0	1	1	1	0	1	0	1
31	1	1	1	1	1	0	0	0	1	1	0	1	0

Таблица истинности блока $G(x)$ 2/5

№	x					g				h				
	1	2	3	4	5	2	3	4	5	1	2	3	4	5
0	0	0	0	0	0	1	0	1	1	0	0	0	1	1
1	0	0	0	0	1	0	0	1	0	0	1	0	1	0
2	0	0	0	1	0	1	1	1	1	0	1	0	1	0
3	0	0	0	1	1	0	1	0	1	0	0	1	1	0
4	0	0	1	0	0	0	0	0	0	0	0	1	0	1
5	0	0	1	0	1	1	1	0	0	0	1	0	0	1
6	0	0	1	1	0	0	0	0	0	0	1	1	0	0
7	0	0	1	1	1	0	1	1	0	0	0	1	1	0
8	0	1	0	0	0	1	0	0	1	0	0	1	0	1
9	0	1	0	0	1	0	1	0	1	0	1	0	0	1
10	0	1	0	1	0	1	0	0	1	0	1	0	1	0
11	0	1	0	1	1	0	0	0	0	1	0	0	1	0
12	0	1	1	0	0	0	0	0	0	0	0	0	1	1
13	0	1	1	0	1	0	0	1	1	1	0	0	0	1
14	0	1	1	1	0	1	0	1	0	0	1	0	0	1
15	0	1	1	1	1	0	0	0	0	1	0	0	1	0
16	1	0	0	0	0	0	1	0	1	0	1	0	0	1
17	1	0	0	0	1	1	0	1	0	0	0	1	1	0
18	1	0	0	1	0	1	0	0	1	0	1	0	1	0
19	1	0	0	1	1	1	0	1	0	1	1	0	0	0
20	1	0	1	0	0	0	1	1	0	0	0	1	0	1
21	1	0	1	0	1	0	0	1	1	1	1	0	0	1
22	1	0	1	1	0	1	0	0	1	0	1	0	1	0
23	1	0	1	1	1	0	0	0	0	1	0	0	1	0
24	1	1	0	0	0	0	1	0	1	0	1	0	0	1
25	1	1	0	0	1	1	0	1	0	0	0	1	1	0
26	1	1	0	1	0	0	0	0	0	0	0	0	1	1
27	1	1	0	1	1	0	0	0	0	1	0	0	1	0
28	1	1	1	0	0	1	0	0	1	0	1	0	1	0
29	1	1	1	0	1	0	0	1	1	1	1	1	0	1
30	1	1	1	1	0	1	0	1	0	0	1	0	0	1
31	1	1	1	1	1	0	1	1	0	1	0	1	0	0

Для исключения нагромождения проводов на рисунках выходы большинства элементов сделаны многобитовыми. На рис. 3 обозначены: блок $F(x)$ – контролируемая схема, CC – схема сжатия (ее структура приведена на рис. 4), TRC – схема сжатия парафазных сигналов, SSC – тестер самодвойственности (он описан далее), «Лог. доп Т» и «Лог. доп. 2/5» – блоки логического дополнения для схемы параллельного контроля на основе T_m -кода и 2/5-кода соответственно (их структуры показаны на рис. 5 и 6). Блок контрольной логики $G(x)$ строился эвристически так, чтобы обеспечивалась самопроверяемость модуля TRC (появление на входах комбинаций 0101, 0110, 1001, 1010 хотя бы по одному разу) и самопроверяемость всех элементов XOR в блоке «Лог. доп Т» (появление комбинаций 00, 01, 10, 11 на входах всех XOR хотя бы по одному разу). При этом для обеспечения самодвойственности кодовых функций сначала заполнялась верхняя половина таблицы кодовых слов, а нижняя половина заполнялась путем протравления противоположных значений на противоположных входных комбинациях. Далее вычислялись значения функций g_1, g_2, g_3, g_4 по формуле $g_i(x) = f_i(x) \oplus h_i(x), i = 1, 4$. Таблица истинности блока $G(x)$ T представлена в таблице 1.



Рис. 5. Блок логического дополнения для T_m -кода

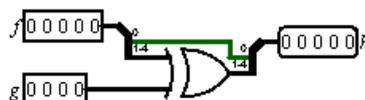


Рис. 6. Блок логического дополнения для 2/5-кода

Аналогичным образом строилась схема параллельного контроля при использовании 2/5-кода. Однако обеспечить самодвойственность всех кодовых функций 2/5-кода невозможно [22, 23]. Поэтому самодвойственными делались только последние две функции h_4 и h_5 . Таблица истинности блока $G(x)$ 2/5 представлена в таблице 2. При этом выход f_1 был напрямую подключен к соответствующему входу тестера.

Блоком «Вх. счетчик» (рис. 7) последовательно генерируются входные комбинации синхронно с подключенным к нему генератором А. Когда счетчик досчитывает до последнего значения <11111>, то на его нижнем выходе (выход переполнения) появляется

сигнал 1, чем запрещается дальнейший подсчет ошибок. Это необходимо, так как при возникновении ошибки на последнем наборе, она будет посчитана несколько раз, чем могут исказиться результаты эксперимента.

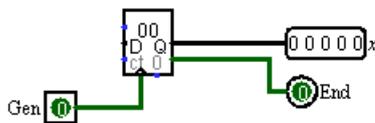


Рис. 7. Входной счетчик

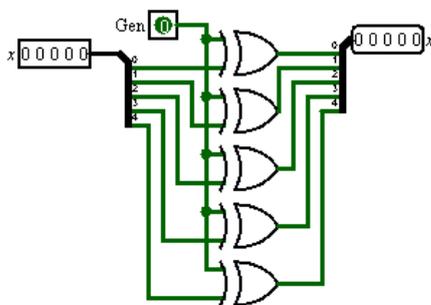


Рис. 8. Входная цепь

Входные комбинации подаются в экспериментальную схему через блок «Вх. цепь» (рис. 8), который синхронно с генератором В инвертирует их. Это необходимо для проверки «на самодвойственность». Также синхронно с генератором В работает SSC. При появлении сигнала 1 на выходе генератора В запрещается подсчет ошибок по T_m -коду без самодвойственности, так как без запрета в случае, если на заданной входной комбинации не возникает ошибки, то может посчитаться ошибка на противоположной входной комбинации.

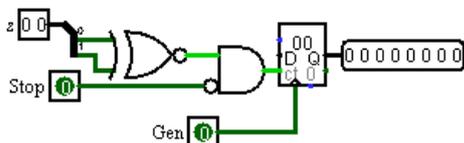


Рис. 9. Счетчик ошибок

Количество ошибок определяется счетчиками ошибок. Схемы всех счетчиков идентичны и показаны на рис. 9. Построена данная схема на восьмьбитном счетчике. К входу синхронизации счетчика подключается генератор С, синхронно с которым происходит счет. К входу z подключается выход соответствующего тестера. В случае непарафазного сигнала на данном входе на выходе элемента $XNOR$ появляется сигнал 1, который через элемент И приходит на вход разрешения счетчика, чем разрешается его работа. К второму (инверсному) входу элемента И подключается вход схемы «Запрет». При поступлении на данный вход сигнала 1, на выходе элемента И будет сигнал 0 независимо от сигнала на первом входе, который поступит на вход разрешения счетчика, и запретит счет. Таким образом запрещается подсчет ошибок.

В нижней части схемы на рис. 3 построена схема параллельного контроля по методу дублирования. Так как в методе дублирования не используется контроль по принципу самодвойственности, то и «Вх. цепь» в данном случае не требуется. Поэтому для исключения погрешности при подсчете ошибок был поставлен отдельный блок $F(x)$, который подключен непосредственно к блоку «Вх. счетчик». Оба блока $F(x)$ являются одной схемой в дереве проекта *Logisim*, поэтому при внесении неисправности в один блок, неисправность вносится также и во второй. Блок $G(x)$ является копией блока $F(x)$ с инверсией выходов. Выходы этих блоков подключаются к блоку TRC , где регистрируется ошибка. Сам TRC подключается к соответствующему счетчику ошибок, где происходит подсчет ошибок.

Следует обратить внимание на особенность подсчета ошибок по принадлежности кодовых функций к классу самодвойственных. Ошибки могут возникать как на наборах $\langle 0 \sim \sim \sim \rangle$, так и на наборах $\langle 1 \sim \sim \sim \rangle$. При этом может также возникнуть ситуация, когда на наборе $\langle 1 \sim \sim \sim \rangle$ возникает ошибка, а на противоположном – нет. В этом случае на наборе $\langle 0 \sim \sim \sim \rangle$ посчитается данная ошибка, так как нарушится самодвойственность. Также эта же ошибка посчитается и на наборе $\langle 1 \sim \sim \sim \rangle$ (по тем же причинам). Таким образом, одна и та же ошибка посчитается два раза. Для исключения этого к входу разрешения счетчиков ошибок подключен элемент XOR через элемент ИЛИ (второй вход ИЛИ подключен к выводу переполнения входного счетчика), входы которого подключены к блоку TRC схемы контроля по методу дублирования. Таким образом, в случае если дублированием не обнаружено ошибки, то запрещается работа счетчиков ошибок. Так как метод дублирования обнаруживает все ошибки при одиночных неисправностях, то дополнительных погрешностей подсчета это не внесет.

Как было описано ранее, проверка кодовых функций на самодвойственность осуществляется блоком SSC (рис. 10 и 11), который состоит из тестеров самодвойственности (рис. 12), выходы которых объединены на входах модулей сжатия парафазных сигналов.

реализован на D-триггерах, входы D которых подключены к одному выводу схемы, на который подаются значения контролируемой функции. К другому выводу схемы подключается тот же генератор, что подключен к входной цепи. Этот выход подключен к логическим элементам первого каскада схемы тестера и запрещает или разрешает подачу тактовых импульсов на входы триггеров от внутреннего генератора (длины импульса и интервала составляют 1 такт). Тут следует отметить, что все генераторы в *Logisim* работают синхронно и по тактам. При этом можно изменять продолжительность в тактах импульса и интервала каждого генератора. Таким образом, когда на генераторе входной цепи присутствует сигнал логического 0 (входные значения

не изменяются), информация записывается в нижний триггер, а когда сигнал логической 1 (входные значения инвертируются) – на верхний. Поэтому если функция будет самодвойственной, то на выходах триггеров будут разные сигналы, если же функция не самодвойственная, то сигналы будут одинаковыми.

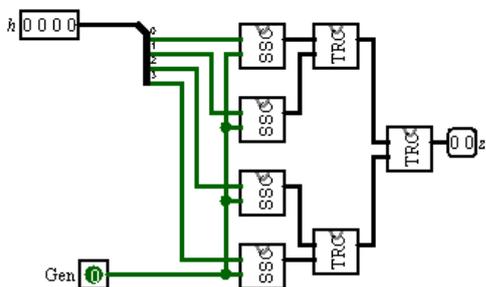


Рис. 10. Блок SSC для предложенной схемы

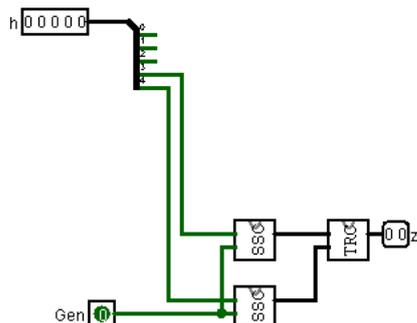


Рис. 11. Блок SSC для схемы контроля по 2/5-коду

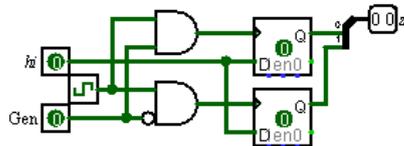


Рис. 12. Элементарный тестер самодвойственности

Тестер самодвойственности для моделирования. Выходы блоков TRC и SSC объединены при помощи модуля сжатия парафазных сигналов TRC. Выходы обоих устройств подключены к счетчикам ошибок. Один считает все обнаруженные ошибки, а второй – только те, которые обнаружены только T_m -кодом.

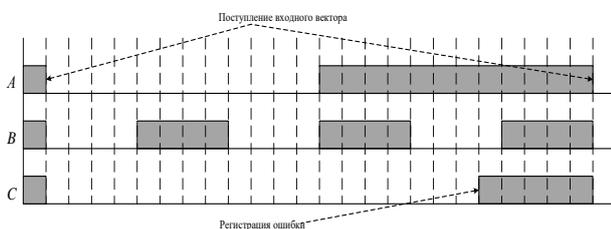


Рис. 13. Временная диаграмма работы схемы

Работа всей схемы проиллюстрирована на временной диаграмме (рис. 13). Каждая ось диаграммы обозначена буквой и соответствует генераторам на схеме (рис. 3). На первом такте приходит задний фронт с генератора А, от которого входной счетчик меняет входную комбинацию на следующую. В этот момент

не генераторе В присутствует сигнал 0, а значит, входная комбинация не инвертируется, а контрольные функции записываются в нижние D-триггеры тестеров самодвойственности. Спустя 4 такта генератор В меняет свой выходной сигнал на 1. Во входной цепи инвертируется сигнал, а контрольные функции записываются в верхние триггеры тестеров самодвойственности. Таким образом, на триггерах будут установлены значения контрольных функций на противоположных входных наборах. Далее генератор В снова устанавливается в 0. Потом повторяется установка в 1 и в 0 этого генератора. Спустя 12 тактов с первого устанавливается в 1 генератор А, чем подготавливается к переключению входной счетчик. Спустя еще 7 тактов переключается в 1 генератор С, и счетчиками ошибок регистрируются ошибки, при их обнаружении тестерами. При этом генератор В находится в состоянии нуля, а значит, разрешается работа обоих счетчиков ошибок. Далее генератор А переключается в 0, чем меняет генерируемые входным счетчиком значения на следующие, и цикл повторяется. За один такт работы входного счетчика счетчики ошибок будут срабатывать только один раз, чем исключается подсчет одной ошибки несколько раз. За счет подбора длительностей импульсов и интервалов генераторов, обеспечивается разрешение на работу обоих счетчиков ошибок в случае обнаружения искажений тестерами.

В контролируемой схеме моделировались неисправности на выходах элементов, подключенных к нескольким выходам схемы, путем обрыва провода и подачи на него константы 0/1. Затем запускалась работа схемы, и подсчитывалось количество ошибок разными схемами параллельного контроля. В процессе эксперимента методом дублирования было обнаружено 236 ошибок. Схемой на основе T_m -кода без проверки на самодвойственность обнаружено 193 ошибки. Схемой на основе T_m -кодом с проверкой на самодвойственность – 228. Схемой на основе 2/5-кода с частичной проверкой на самодвойственность – 204 ошибки.

IV. ЗАКЛЮЧЕНИЕ

В эксперименте показано, что предложенный подход к организации СВК позволяет обнаруживать гораздо большее количество искажений на выходах устройств, чем при контроле вычислений только по равновесным кодам, или только по принадлежности формируемых функций к классу самодвойственных. При этом для произвольных схем не обнаруживаются только такие искажения, которые приводят к возникновению искажений сразу же всех рабочих функций объекта диагностирования.

В эксперименте не оценивался показатель структурной избыточности СВК, что является направлением дальнейших исследований. Ставилась принципиальная задача повышения обнаруживающей способности СВК. Однако необходимо отметить, что чем больше выходов у объекта диагностирования, тем

выше будет эффект с позиции структурной избыточности от применения предлагаемого подхода.

Интерес дальнейших исследований также представляет анализ возможностей применения равномерных блочных кодов для организации СВК с контролем принадлежности формируемых функций классу самодвойственных. Как показывают исследования, это возможно не для любых избыточных кодов, а только для части из них. Тем не менее, подобного свойства можно добиться схемотехническими способами в СВК.

Контроль вычислений на основе двух диагностических параметров – перспективный способ организации СВК.

Представленная статья написана по результатам исследований, поддержанных грантом № МД-2533.2021.4 Президента Российской Федерации.

ЛИТЕРАТУРА

- [1] Nicolaidis M., Zorian Y. On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Application, 1998, Vol. 12, Issue 1-2, Pp. 7-20, DOI: 10.1023/A:1008244815697.
- [2] Микони С.В. Общие диагностические базы знаний вычислительных систем. – СПб.: СПИИРАН, 1992, 234 с.
- [3] Бестемьянов П.Ф. Методы обеспечения безопасности и надежности микропроцессорных устройств железнодорожной автоматики и телемеханики // Труды международного симпозиума «Надежность и качество», 2007, Т. 2, С. 273-274.
- [4] Efanov D., Sapozhnikov V., Sapozhnikov V.I. Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017, pp. 365-371, doi: 10.1109/EWDTS.2017.8110126.
- [5] Тельпухов Д.В., Жукова Т.Д., Деменева А.И., Гуров С.И. Схема функционального контроля для комбинационных схем на основе R-кода // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС), 2018, №4, С. 98-104, doi: 10.31114/2078-7707-2018-4-98-104.
- [6] Тельпухов Д.В., Жукова Т.Д., Кренинина П.Д. Разработка аналитического метода для выбора наиболее эффективного метода синтеза сбоеустойчивых комбинационных схем // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС), 2021, №3, С. 159-165, DOI: 10.31114/2078-7707-2021-3-159-165.
- [7] Piestrak S.J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. – Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
- [8] Lala P.K. Self-Checking and Fault-Tolerant Digital Design. – San Francisco: Morgan Kaufmann Publishers, 2001, 216 p.
- [9] Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking: Edition 1. – Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
- [10] Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды Хэмминга в системах функционального контроля логических устройств, СПб.: Наука, 2018, 151 с.
- [11] Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды с суммированием для систем технического диагностирования. Том 1: Классические коды Бергера и их модификации, М.: Наука, 2020, 383 с.
- [12] Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды с суммированием для систем технического диагностирования. Том 2: Взвешенные коды с суммированием, М.: Наука, 2021, 455 с.
- [13] Аксенова Г.П. Метод синтеза схем встроенного контроля для автоматов с памятью // Автоматика и телемеханика. 1973. №2. С. 109-116.
- [14] Согомонян Е.С., Слабаков Е.В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989, 208 с.
- [15] Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В. Логическое дополнение – новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. №1. С. 167-176.
- [16] Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В. Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. 2005. №8. С. 161-172.
- [17] Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I., Pivovarov D.V. The Synthesis Conditions of Completely Self-Testing Embedded-Control Circuits Based on the Boolean Complement Method to the «1-out-of-m» Constant-Weight Code // Automatic Control and Computer Sciences. 2020. Vol. 54. Issue 2. Pp. 89-99. DOI: 10.3103/S0146411620020042.
- [18] Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Дмитриев В.В. Новые структуры систем функционального контроля логических схем // Автоматика и телемеханика. 2017. №2. С. 127-143.
- [19] Сапожников В.В., Сапожников Вл.В., Гессель М. Самодвойственные дискретные устройства. – СПб: Энергоатомиздат (Санкт-Петербургское отделение), 2001, 331 с.
- [20] Сапожников В.В., Сапожников Вл.В., Валиев Р.Ш. Синтез самодвойственных дискретных систем. – СПб: Элмор, 2006, 220 с.
- [21] Carter W.C., Duke K.A., Schneider P.R. Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N. Y., 10 p.
- [22] Efanov D., Sapozhnikov V., Sapozhnikov V.I., Osadchy G., Pivovarov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13-16, 2019, pp. 136-143, doi: 10.1109/EWDTS.2019.8884398.
- [23] Efanov D.V., Pivovarov D.V. The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021), Batumi, Georgia, September 10-13, 2021, pp. 200-206, doi: 10.1109/EWDTS52692.2021.9581019.
- [24] Аксенова Г.П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 // Автоматика и телемеханика. 1979. №9. С. 126-135.
- [25] Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Организация систем функционального контроля с обеспечением полной самопроверяемости структуры на основе модулей сжатия парафазных сигналов //

Известия высших учебных заведений. Приборостроение. 2017. Том 60. №5. С. 404-411. DOI: 10.17586/0021-3454-2017-60-5-404-411.

[26] Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Построение самопроверяемых структур систем функционального контроля на основе равновесного

кода «2 из 4» // Проблемы управления. 2017. №1. С. 57-64.

[27] Ефанов Д.В., Пивоваров Д.В. Функциональный подход к синтезу схем встроенного контроля на основе логического дополнения и использования равновесного кода «2 из 5» // Информатика и системы управления. 2021. №4. С. 81-94. DOI: 10.22250/isu.2021.70.81-94.

The Concurrent Error-Detection Circuit Typical Structure Based on Boolean Correction and Calculations Control by Two Diagnostic Parameters in the Experiment

Dmitrii V. Efanov^{1,2}, Dmitrii V. Pivovarov²

¹ Russian University of Transport (MIIT), Moscow

² LLC STC «Integrated Monitoring Systems», St. Petersburg
TrES-4b@yandex.ru, pivovarov.d.v.spb@gmail.com

Abstracts — A description of the circuit's organization typical structure for concurrent error-detection circuit (CED) for automation and computer technology devices is given. The structure is implemented using Boolean correction and assumes the calculations control organization by five outputs groups in each. Signals from the five outputs are compressed using a special four-signal compression circuit. The compression circuit is a weight-transition sum code encoder with weights from powers of 2 increasing series. The code using guarantees any combination of distortions detection at the inputs, except for simultaneous distortion of all five signals. Boolean correction is carried out in the signal correction block using four two-input XOR elements. Four control functions are used for correction. These functions are formed in the check logic block. They are chosen so that at the outputs of the signal correction block, code words are formed from the two-rail checker (TRC) working combinations set or from the "2-out-of-4" constant-weight code working combinations set. Each function of code word bits must belong to the self-dual class. This way of organizing the CED allows controlling the calculations by two diagnostic parameters. The experiment shows the effectiveness of applying the described approach for organizing combinational devices CED circuits.

Keywords — concurrent error-detection circuit (CED circuit); function self-duality control; functions belonging control to two-rail checker working combinations; signal compression circuit by weight-based sum code; error detection in calculations.

REFERENCES

- [1] Nicolaidis M., Zorian Y. On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Application, 1998, Vol. 12, Issue 1-2, Pp. 7-20, DOI: 10.1023/A:1008244815697.
- [2] Mikoni S.V. General diagnostic knowledge base of computing systems. – St. Petersburg: SPIIRAN, 1992, 234 p.
- [3] Bestemyanov P.F. Methods for ensuring the safety and reliability of microprocessor devices for railway automation

and remote control // Proceedings of the international symposium «Reliability and quality», 2007, Vol. 2, Pp. 273-274.

- [4] Efanov D., Sapozhnikov V., Sapozhnikov V.I. Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTs'2017), Novi Sad, Serbia, September 29 – October 2, 2017, pp. 365-371, doi: 10.1109/EWDTs.2017.8110126.
- [5] Telpukhov D.V., Zhukova T.D., Demeneva A.I., Gurov S.I. Circuit of the Functional Control for Combinational Circuits Based on R-code // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2018. Issue 4. P. 98-104. doi:10.31114/2078-7707-2018-4-98-104
- [6] Telpukhov D.V., Zhukova T.D., Kretinina P.D. Analytical Method for Choosing the Most Efficient Algorithm for Fault-Tolerant Combinational Circuits Synthesis // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2021. Issue 3. P. 159-165. doi:10.31114/2078-7707-2021-3-159-165
- [7] Piestrak S.J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. – Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
- [8] Lala P.K. Self-Checking and Fault-Tolerant Digital Design. – San Francisco: Morgan Kaufmann Publishers, 2001, 216 p.
- [9] Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking: Edition 1. – Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
- [10] Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. Hamming codes in functional control systems of logical devices, St. Petersburg: Nauka, 2018, 151 p.
- [11] Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. Sum codes for technical diagnostics systems. Volume 1: Classical Berger codes and their modifications, Moscow: Nauka, 2020, 383 p.
- [12] Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. Sum codes for technical diagnostic systems. Volume 2: Weighted codes with summation, Moscow: Nauka, 2021, 455 p.

- [13] Aksenova G.P. Method of Synthesizing Built-In Monitoring Arrangements for Automata with Memory // Automation and Remote Control. 1973. №2. Pp. 109-116.
- [14] Sogomonyan E.S., Slabakov E.V. Self-checking devices and fail-safe systems. Moscow: Radio and communication, 1989, 208 p.
- [15] Goessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov VI.V. Logic Complement, a New Method of Checking the Combinational Circuits // Automation and Remote Control, 2003, №1, Pp. 167-176.
- [16] Goessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov VI.V. Checking Combinational Circuits by the Method of Logic Complement // Automation and Remote Control, 2005, №8, Pp. 161-172.
- [17] Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V., Pivovarov D.V. The Synthesis Conditions of Completely Self-Testing Embedded-Control Circuits Based on the Boolean Complement Method to the «1-out-of-m» Constant-Weight Code // Automatic Control and Computer Sciences. 2020. Vol. 54. Issue 2. Pp. 89-99. DOI: 10.3103/S0146411620020042.
- [18] Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V., Dmitriev V.V. New Structures of the Concurrent Error Detection Systems for Logic Circuits // Automation and Remote Control. 2017. №2. Pp. 127-143.
- [19] Sapozhnikov V.V., Sapozhnikov VI.V., Goessel M. Self-Dual Discrete Devices // St. Petersburg, Energoatomizdat (St. Petersburg branch), 2001, 331 p.
- [20] Sapozhnikov V.V., Sapozhnikov VI.V., Valiev R.Sh. Synthesis of Self-Dual Discrete Systems // St. Petersburg, Elmore, 2006, 220 p.
- [21] Carter W.C., Duke K.A., Schneider P.R. Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N. Y., 10 p.
- [22] Efanov D., Sapozhnikov V., Sapozhnikov VI., Osadchy G., Pivovarov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13-16, 2019, pp. 136-143, doi: 10.1109/EWDTS.2019.8884398.
- [23] Efanov D.V., Pivovarov D.V. The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021), Batumi, Georgia, September 10-13, 2021, pp. 200-206, doi: 10.1109/EWDTS52692.2021.9581019.
- [24] Aksenova G.P. Necessary and Sufficient Conditions for Design of Completely Checkable Modulo 2 Convolution Circuits // Automation and Remote Control. 1979. №9. Pp. 126-135.
- [25] Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. Organization of Functional Control Systems with Totally Self-Checking Structure Based on Paraphase Signals Compression Modules // Journal of Instrument Engineering. 2017. Vol. 60. №5. Pp. 404-411. DOI: 10.17586/0021-3454-2017-60-5-404-411.
- [26] Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. Design of Self-Checking Concurrent Error Detection Systems Based on "2-out-of-4" Constant-Weight Code // Control Science. 2017. №1. Pp. 57-64.
- [27] Efanov D.V., Pivovarov D.V. Functional Approach to the Synthesis of Concurrent Error-Detection Circuit Based on Boolean Complement and Use of «2-out-of-5» Constant-Weight Code // Computer Science and Control Systems. 2021. №4. Pp. 81-94. DOI: 10.22250/isu.2021.70.81-94.