Оценка энергопотребления комбинационных КМОП-схем на основе логического VHDL-моделирования

П.Н. Бибило, Н.А. Авдеев, Н.А. Кириенко

Объединенный институт проблем информатики НАН Беларуси, bibilo@newman.bas-net.by

Аннотация — Оценка энергопотребления на основе VHDL-моделирования основана на использовании модифицированных VHDL-моделей элементов схемы. Модели учитывают не только функциональность, но и временные задержки элементов. Требуется также модифицировать нетлист схемы - добавить параметры, описывающие нагрузки каждого из элементов по выходам и входам. Нетлист схемы и соответствующий ей SDF-файл, описывающий задержки элементов схемы, получается в результате синтеза данной схемы в библиотеке КМОП элементов. Синтез выполняется в системе LeonardoSpectrum. VHDL-моделирование ведется в системе Questa Sim с использованием SDF-файла. Оценка энергопотребления выполняется отдельным VHDL-процессом. Основное назначение процесса: по параметрам, значения которых для каждого компонента схемы при моделировании передаются из SDF-файла, определить предыдущую и новую комбинацию состояний входов элемента и по этим значениям и по нагрузочных способностей подсчитать значениям энергопотребление элемента в текущем такте моделирования схемы. Результатом VHDLмоделирования является последовательность значений энергопотребления схемы в каждом из тяктов моделирования схемы И вычисленная опенка энергопотребления схемы на заданном тесте. В качестве тестов использованы псевдослучайные тестовые наборы с равновероятными значениями нулей и елиниц. Эксперимент проведен на нескольких наборах результате логических схем. В экспериментов установлено, что VHDL-моделирование на несколько порядков сокращает время вычисления потребляемых токов и чаще всего приводит к получению верхних оценок потребляемых схемами токов, считая эталонными значениями, получаемые аналоговым Spiceмоделированием в системе Accusim II (ф. Mentor Graphics).

Ключевые слова— логическая схема, синтез, логическое и схемотехническое моделирование, оценки энергопотребления, VHDL, КМОП СБИС.

I. Введение

энергопотребления Снижение цифровых интегральных КМОП-схем – одна из актуальных проблем, возникающая при их автоматизированном проектировании Оценки энергопотребления [1]. производятся на этапе схемотехнического проектирования, когда проведена замена логических описаний транзисторными Spiceэлементов описаниями. Моделирование схемотехнических транзисторных Spice-описаний КМОП-схем позволяет получать значения потребляемого тока и оценивать рассеиваемую мощность. Для решения данных проблем разработано большое число методов и систем, например [2]. КМОП-схемы для космических и специальных применений выполняются по технологическим нормам, для которых основную долю (до 80 процентов) потребляемой мощности составляет динамическая мощность, связанная с переключением транзисторов. Оценивать энергопотребление схем по их переключательной активности предложено в [3], применение для этих целей системы логического VHDL-моделирования описано в [4-6]. При таком подходе исследованы три VHDL-модели логических элементов. В первой VHDL-модели [4] использованы единичные задержки всех типов комбинационных логических элементов, при этом не учитывались нагрузочные способности элементов и разное время их использования, энергоемкость переключений из нуля в единицу (и обратно) считались одинаковыми для всех портов элементов всех типов. Во второй VHDL-модели [5] логических элементов использованы нулевые задержки комбинационных элементов, при этом учтены только заключительные для рассматриваемого такта моделирования схемы переключения элементов и не принимались во внимание переключения, вызванные гонками сигналов, не учитывались также задержки нагрузки временные И элементов (разветвления выходных полюсов элементов). В третьей модели [6] учитывались временные задержки элементов, входящих в схему. Информацию о таких задержках можно получить после выполнения синтеза схемы. По временным задержкам были предложены и алгоритмы расчета нагрузочных реализованы способностей элементов [6], при этом определялись различия в энергопотреблении при переходах значений входных и выходных сигналов элементов из нулевых состояний в единичные, и наоборот – из единичных в нулевые. В данной работе третья модель развивается для новой технологической библиотеки, используемой в системе CMOSLD [7] проектирования КМОП СБИС. Развитие третьего подхода заключается в том, что были созданы VHDL-модели элементов, учитывающие нагрузочные способности элементов в схеме, и путем экспериментов были установлены значения энергопотребления при рассмотрении всевозможных пар наборов [8] сигналов на входах библиотечных элементов. Результаты экспериментов на различных потоках примеров показали, что VHDL-моделирование чаще всего приводит к получению верхних оценок потребляемых схемами токов, при этом эталонными считаются значения, получаемые аналоговым Spiceмоделированием в системе Accusim II.

II. ОЦЕНКА ЭНЕРГОПОТРЕБЛЕНИЯ НА ОСНОВЕ VHDL-моделирования

Применение VHDL-моделирования для оценки энергопотребления основывается на расширении VHDL-описаний функциональности логических составляющих элементов, целевую библиотеку проектирования. Такая модификация VHDL-описаний элементов выполняется одиножды И касается библиотеки элементов, а не конкретной логической схемы, реализующей какое-либо алгоритмическое VHDL-описание. Применять библиотеку модифицированных VHDL-описаний библиотечных КМОП-элементов можно для оценки энергопотребления логических схем. полученных по произвольным синтезируемым VHDL-описаниям цифрового комбинационного блока КМОП СБИС.

Модифицированные VHDL-модели позволяют учитывать временные задержки элементов, входящих в схему. Информацию о таких задержках можно получить после выполнения синтеза схемы, используя синтезатор LeonardoSpectrum [9]. Временные задержки учитывают нагрузки элементов и различия в энергопотреблении при переходах значений входных и выходных сигналов элементов из нулевых состояний в единичные, и наоборот, - из единичных в нулевые. Информация 0 задержках элементов схемы записывается при синтезе в специальный текстовый SDF-файл (SDF – Standard Delay Format), в котором для каждого элемента указываются задержки сигналов от входных полюсов к выходному полюсу. В листинге 1 приведено структурное VHDL-описание (нетлист) схемы (рис. 1), в листинге 2 - SDF-файл. Элемент NA реализует функцию И-НЕ, элемент NO – функцию ИЛИ-НЕ, поэтому

$$f_1 = \neg (\neg (x_1 \& x_2) \& x_2) = x_1 x_2 \lor \overline{x}_2;$$

$$f_2 = \neg (\neg (x_1 \& x_2) \lor x_3) = x_1 x_2 \overline{x}_3.$$



Рис. 1. Схема EXAMPLE из библиотечных КМОП элементов

Листинг 1. Структурное описание схемы (рис.1)

```
library IEEE;
1
    use IEEE.STD LOGIC 1164.all;
2
    entity EXAMPLE is
3
       port (
4
           x1 : IN std logic ;
          x2 : IN std logic ;
5
          x3 : IN std logic ;
6
7
           f1 : OUT std logic ;
8
           f2 : OUT std logic) ;
9
    end EXAMPLE ;
    architecture beh of EXAMPLE is
10
11
       signal nx4: std logic ;
12
    begin
13
    ix11: NO port map (Y=>f2, A=>x3,
14
                          B = > nx4);
15
    ix5: NA port map (Y=>nx4, A=>x1,
16
                          B=>x2);
17
    ix65: NA port map (Y=>f1, A=>x2,
18
                          B = > nx4);
19
    end beh ;
```

Листинг 2. SDF файл для схемы EXAMPLE (рис. 1)

1	(DELAYFILE						
2	(SDFVERSION "2.0")						
3	(DESIGN "EXAMPLE")						
4	(DATE "04/15/22 15:12:30")						
5	(VENDOR "Exemplar Logic, Inc.")						
6	(PROGRAM "LeonardoSpectrum Level 3")						
7	(VERSION "2010a.7")						
8	(DIVIDER /)						
9	(VOLTAGE)						
10	(PROCESS)						
11	(TEMPERATURE)						
12	(TIMESCALE 1 ns)						
13	(CELL						
14	(CELLTYPE "NO")						
15	(INSTANCE ix11)						
16	(DELAY						
17	ABSOLUTE						
18	(PORT A (::0.00) (::0.00))						
19	(PORT B (::0.00) (::0.00))						
20	(IOPATH A Y (::0.14) (::0.13))						
21	(IOPATH B Y (::0.10) (::0.08)))))						
22	(CELL						
23	(CELLTYPE "NA")						
24	(INSTANCE ix5)						
25	(DELAY						
26	ABSOLUTE						
27	(PORT A (::0.00) (::0.00))						
2.8	(PORT B (::0.00) (::0.00))						
29	(IOPATH A Y (::0.15) (::0.27))						
30	(IOPATH B Y (::0.13) (::0.25))))						
31	(CELL						
32	(CELLTYPE "NA")						
33	(INSTANCE ix65)						
34	(DELAY						
35	(ABSOLUTE						
36	(PORT A (0 00) (0 00))						
37	(PORT B (::0.00) (::0.00))						
38	(TOPATH A Y (0 10) (0 16))						
39	$(\text{TOPATH B Y} (\cdot \cdot 0 \ 07) (\cdot \cdot 0 \ 14))))$						
40							
υr)						

Заметим, что в листинге 2 задержки задаются в наносекундах (нс) и это максимальные задержки, пропущены значения средних и минимальных задержек [9, с. 220]. В SDF-файле в строке

(IOPATH A Y (min1 : typ1 : max1) (min2 : typ2 : max2))

в первой паре скобок до первого двоеточия указывается (min1) минимальная задержка, после первого двоеточия указывается (typ1) средняя задержка, после второго двоеточия указывается (max1) максимальная задержка установки значения выходного полюса У логического элемента при изменении входного полюса А из нулевого состояния в единичное; во второй паре скобок указываются аналогичные задержки установки значения выходного полюса У при изменении входного полюса А из единичного состояния в нулевое. Например, в 29 строке (ІОРАТН А Ү (::0.15) (::0.27)) значение 0.15 задает максимальное время установки значения выходного полюса У элемента NA при изменении входного полюса А из нулевого состояния в единичное; значение 0.27 – максимальное время установки выходного полюса У при изменении входного полюса А из единичного состояния в нулевое. Формирование SDF-файла осуществляется с учетом описаний задержек библиотечных элементов, задаваемых в lgn-файле описания элементов библиотеки [10].

Оценка энергопотребления на основе VHDLмоделирования требует не только соответствующей модификации VHDL-описаний элементов библиотеки, но и изменения структурного описания схемы. Изменение нетлиста (структурного описания) заключается в добавлении параметров, описывающих нагрузки элемента схемы по выходам и входам. Например, результатом изменения структурного описания схемы (рис. 1) является VHDL-описание (листинг 3), в котором для каждого оператора рогt тар добавлены значения параметров (generic), которые нужны для VITAL-описаний элементов библиотеки.

Жирным курсивом в Листинге 3 выделены передаваемые параметры, большие единицы, т. е. связанные с разветвлениями цепей (сигналов). Как уже говорилось, выполнения для опенки энергопотребления на основе VHDL-моделирования требуется создание соответствующих VHDL-моделей библиотечных КМОП-элементов. VHDLмоделирование позволяет подсчитывать (суммировать) энергопотребление на протяжении всего сеанса моделирования логической схемы с помощью глобального сигнала, декларированного в специальном VHDL-пакете. При этом используются модифицированные VITAL-библиотеки. VITAL – это VHDL-библиотека, предназначенная для выполнения моделирования с использованием схемотехнических параметров элементов схемы. Средства пакетов данной библиотеки позволяют моделировать задержки элементов с помощью подключения к моделируемому

проекту схемы (структурному описанию схемы) SDF-VITAL-параметры файла. это интерфейс, принимающий параметры от среды моделирования. Разветвления по входам и выходам – интерфейс, принимающий параметр нагрузки выхода элемента, к подключен текущий которому элемент. нормированный к нагрузке инвертора (в целых числах). Энергопотребление элемента подсчитывается в процессе, который выполняется, когда изменяется хотя бы один из сигналов, которые являются входными сигналами элемента. Основное назначение процесса: по параметрам, значения которых лля каждого компонента схемы при моделировании передаются из SDF-файла, определить предыдущую и новую комбинацию состояний входов элемента и по этим значениям и по значениям нагрузочных способностей подсчитать энергопотребление каждого элемента в текущем такте моделирования схемы.

Листинг 3. Структурное описание схемы с параметрами нагрузочных способностей

1	library IEEE;
2	use IEEE.STD_LOGIC_1164.all;
3	library work;
4	use work.s3lib_pcon.all;
5	entity EXAMPLE is
6	port (
7	x1 : IN std_logic ;
8	x2 : IN std_logic ;
9	x3 : IN std_logic ;
10	f1 : OUT std logic ;
11	f2 : OUT std_logic) ;
12	end EXAMPLE ;
13	architecture beh of EXAMPLE is
14	<pre>signal nx4 : std_logic ;</pre>
15	begin
16	ix11 : NO generic map
17	(Y_OUT => 1, A_IN => 1, B_IN => 2)
18	port map (Y=>f2 , A=>x3 , B=>nx4);
19	ix5 : NA generic map
20	(Y_OUT => 2, A_IN => 1, B_IN => 2)
21	port map ($Y = >nx4$, $A = >x1$, $B = >x2$);
22	ix65 : NA generic map
23	(Y_OUT => 1,A_IN => 2,B_IN => 2)
24	port map ($Y = f1$, $A = x2$, $B = x4$);
25	end beh ;

VHDL-моделирование в системе Questa Sim для модели модифицированной структурной осуществляется с помощью скрипта (листинг 4). Результатом моделирования является текстовый файл, последовательность Ε содержащий значений энергопотребления, каждое из которых соответствует VHDL-описания одному такту моделирования логической схемы. По последовательности Е можно легко получить среднее энергопотребление схемы на Т. Энергопотребление в каждом такте тесте складывается из значений энергопотребления всех элементов схемы. В текстовый файл Е для каждой пары сменяемых значений входных воздействий (такта) записывается суммарное значение энергии, потребляемой схемой в данном такте.

Таблица 1

Листинг 4. Скрипт для моделирования в системе Questa Sim

1	<pre># Entity name of testbench</pre>
2	set PRJ tstb
3	<pre># Architecture name of testbench</pre>
4	set PRJ ARCH behavior
5	# Instance name
6	set DUT NAME tstbp0
7	#Path to SDF
8	set SDF FILE H:/ proj/result.sdf
9	# Library creation
10	vlib ./vsim
11	vmap work ./vsim
12	# Compilation
13	vcom -f H:/ proj/files.f -source
14	# запуск моделирования без
15	оптимизации
16	vsim -sdfmax
17	/\${PRJ}/\${DUT_NAME}=\${SDF_FILE}
18	-t 10fs -novopt work.\${PRJ}
19	+no_glitch_msg
20	# моделирование до останова
21	run -a
22	# выход из Questa Sim
23	quit -f

Жирным шрифтом в листинге 4 в строках 16-19 выделена основная команда, во внимание не принимаются (+no glitch msg) кратковременные изменения сигналов (глитчи). Таким образом, VHDLмоделирование позволяет получить для каждой пары тестовых воздействий (двоичных входных наборов теста) некоторое число, определяющее общее (динамическое статическое) потребление, И возникающее результате переключений в транзисторов, входящих в элементы схемы, реализующей синтезируемое VHDL-описание комбинационного блока. Для схемы (рис. 1) и теста (первый столбец табл. 1) значения потребляемого тока в каждом такте приведены в третьем столбце табл. 1. Результат схемотехнического моделирования показан на рис. 2.



Рис. 2. Потребляемый схемой (рис.1) ток при схемотехническом моделировании на тесте из табл. 1

Результаты логическогоVHDL-моделирования схемы EXAMPLE

Тест	Реакции	Время.	Ток.		
$x_1 x_2 x_3$	схемы	нс	мкА		
1 2 5	f_1 f_2				
1 0 1	1 0	0	0.00		
0 0 0	1 0	100	0.57		
0 1 1	0 0	200	0.24		
1 1 1	1 0	300	2.01		
1 1 0	1 1	400	1.41		
0 1 1	0 0	500	2.91		
0 0 1	1 0	600	1.73		
1 0 0	1 0	700	0.08		
0 0 0	1 0	800	0.28		
1 1 0	1 1	900	2.99		

В табл. 1 жирным шрифтом выделены два такта с большим потребляемым током. Они согласуются с результатами схемотехнического моделирования.

III. Характеризация логических элементов библиотеки

Число Р сменяемых пар входных векторов для *n*входового элемента равно $P = 2^{2n} - 2^n$. Для VHDLмодели элемента требуются значения параметров энергопотребления для всех переходов каждого из библиотеки. элементов Для получения этих параметров были разработаны SPICE-модели схем, элементов имитирующие подключения с разветвлением (один и четыре) по входу и выходу. Для каждого элемента получилось по четыре модели: (1-1), (1-4), (4-1), (4-4) разветвления по входу и по выходу соответственно. Например, паре (1-4) соответствует случай, когда разветвление каждого входа элемента равно 1, а выход элемента подключен ко входам 4 элементов. Моделирование проводилось в программе AccuSim II, характеризация проведена Соловьевым А.Л. для случаев одновременного изменения всех входов элемента, что соответствует максимальному потреблению тока [11].

IV. Вычислительный эксперимент

Эксперимент проведен для комбинационных схем, исходные описания которых взяты из известной библиотеки Berkelev PLA Test Set и функциональные описания молулярных сумматоров. Схемы LeonardoSpectrum. синтезированы в Синтез осуществлялся в базисе элементов библиотеки [7] КМОП-элементов. Логическое моделирование для оценки энергопотребления схем проводилось в системе Questa Sim [10]. Сравнение полученных оценок энергопотребления проведено с эталонными результатами, полученными путем моделирования в системе схемотехнического (аналогового) моделирования AccuSim II. использующей моделирующее ядро *Eldo*, на тех же тестовых наборах. Эксперименты для всех схем при схемотехническом моделировании проводились с одинаковыми значениями

параметров: длительности передних и задних фронтов входных сигналов 1 нс; период подачи входных сигналов 40 нс; температура +27°С. Задержка каждой из схем не превышала 40 нс. В качестве тестов были

использованы псевдослучайные тестовые наборы с равновероятными значениями нулей и единиц. Результаты экспериментов представлены в табл. 2, где используются следующие обозначения:

Таблица 2

Схема	S	K	I_{Questa} ,	$I_{MachTA},$	I _{Accusim} ,	$t_{Accusim}$,	$\sigma_{_1}$, %	I _{MachTA}	$\sigma_{_2}$, %
			мА	мА	мА	сек		I Accusim	
								Accusim	
Rd53	118	5 000	19.00	24.25	16.80	128.73	13.10	1,44	-21.65
Add6	184	5 000	38.36	50.18	32.91	296.40	16.56	1,52	-23.56
Rd73	278	5 000	49.43	62.35	41.46	370.27	19.22	1,50	-20.72
B12	312	5 000	36.05	43.09	32.38	328.29	11.33	1.33	-16.34
B9	402	5 000	55.58	68.78	47.79	502.72	16.30	1,44	-19.19
M2	768	5 000	69.73	78.71	54.04	408.94	29.03	1,46	-11.41
M3	930	5 000	89.27	105.88	70.83	547.11	26.03	1,49	-15.69
Dist	1 058	5 000	107.01	128.38	86.09	852.7	24.30	1,49	-16.65
In2	1 260	5 000	104.64	124.17	84.56	913.22	23.75	1,47	-15.73
Mlp4	1 284	5 000	132.94	155.38	103.77	956.79	28.11	1,50	-14.44
Addm4	1 488	5 000	150.20	175.91	117.05	2 214.60	28.32	1,50	-14.62
InO	1 630	5 000	136.69	149.59	69.33	990.60	97.16	2,16	-8.62
B2	3 524	5 000	281.89	297.89	194.39	6 356.60	45.01	1,53	-5.37
Tial	4 744	5 000	519.76	581.73	387.53	7 940.71	34.12	1,50	-10.65
Intb	4 866	5 000	545.70	572.57	369.40	9 332.42	47.73	1,55	-4.69
BDD-представления функций модулярных сумматоров									
mod 5	218	5 000	22.62	25.48	19.156	160.20	18.08	1,33	-11.22
mod_7	260	1 000	30.88	40.14	26.753	43.01	15.43	1,50	-23.07
mod_9	524	1 000	39.93	48.91	33.316	77.59	19.85	1,47	-18.36
mod_15	712	1 000	84.96	102.34	70.723	142.14	20.13	1,45	-16.98
mod_17	938	1 000	81.70	97.02	64.631	169.79	26.41	1,50	-15.79
mod_19	830	1 000	73.01	86.54	58.113	152.56	25.63	1,49	-15.63
mod_23	980	1 000	102.61	121.77	79.363	214.22	29.29	1,53	-15.73
mod_25	1 134	1 000	132.69	161.07	105.319	278.71	25.99	1,53	-17.62
mod_27	1 342	1 000	145.48	171.94	113.217	329.60	28.50	1,52	-15.39
mod_29	1 328	1 000	161.62	193.43	126.216	382.63	28.05	1,53	-16.45
mod_31	1 234	1 000	149.40	175.47	117.837	329.32	26.79	1,49	-14.86
mod_37	1 948	1 000	181.87	210.78	137.664	579.68	32.11	1,53	-13.72
mod_59	2 652	1 000	301.31	348.25	220.931	2 386.54	36.38	1,58	-13.48
mod_61	2 246	1 000	279.51	341.41	217.834	954.05	28.31	1,57	-18.13
	Не минии	изирова	нные ДНФ-пр	едставлен	ия функци	й модулярнь	их суммал	горов	
mod_5_v2	200	1 000	16.67	9.13	14,13	24.89	17.98	0,65	82.58
mod_7_v2	352	1 000	32.60	39.51	26,97	112.47	20.88	1,46	-17.49
	554	500	36.30	39.34	27,63	36.69	31.38	1,42	-7.73
mod_15_v2	1 154	500	90.62	100.3	66,12	293.39	37.05	1,52	-9.65
mod_17_v2	1 502	300	75.55	80.27	50,92	194.53	48.37	1,58	-5.88
mod_19_v2	1 714	200	80.27	94.62	58,58	161.33	37.03	1,62	-15.17
	3 530	100	187.56	184.58	117,35	493.13	59.83	1,57	1.61
	4 478	100	220.79	220.85	133,99	400.17	64.78	1,65	-0.03
v2	6 082	70	270.96	274.76	167,24	619.00	62.02	1,64	-1.38
v2v2	6 190	50	273.80	271.15	167,54	452.77	63.42	1,62	0.98
v2	8 634	50	366.16	375.62	225,13	1 583.61	62.64	1,67	-2.52
v2	13 356	10	549.06	616.00	369,03	1 621.46	48.78	1,67	-10.87
	36 608	10	1 501.79	1460,0	817,35	10 740.0	83.72	1,78	2.86
mod_61_v2	38 560	10	1 477.40	1470,0	812,76	9 420.0	81.89	1,80	0.50

Результаты вычислительного эксперимента

S – число транзисторов в схеме; K – число входных наборов в тесте; I_{Accusim} (Average) – средний потребляемый ток (мкА), измеренный с помощью моделирования в системе AccuSim II; t_{Accusim} – время (с) моделирования схемотехнических Spice-описаний в системе AccuSim II на персональном компьютере в 64разрядной операционной системе Windows7 PC, процессор Intel Core i5-2320 с тактовой частотой 3.00 ГГц, ОЗУ 4 Гб; I_{Questa} – предсказанный средний ток (логическое моделирование в системе Questa Sim); средний потребляемый ток I_{MachTA} – (мкА), измеренный с помощью схемотехнического моделирования в системе MachTA (ф. Mentor Graphics); σ_1 , σ_2 – погрешности предсказания среднего тока, потребляемого схемой:

$$\sigma_{1} = \frac{(I_{Questa} - I_{Accusim})}{I_{Accusim}} 100\%,$$

$$\sigma_{2} = \frac{(I_{Questa} - I_{MachTA})}{I_{MachTA}} 100\%.$$

Время выполнения VHDL-моделирования и моделирования в системе *MachTA* не приводится, так как оно примерно на два-три порядка меньше времени схемотехнического моделирования в *AccuSim II*. Например, время схемотехнического моделирования схемы Intb, содержащей 4 866 транзисторов, составляет 9 332.42 с, время VHDL-моделирования - 45 с, что в 207 раз меньше.

V. ОБСУЖДЕНИЕ РЕЗУЛЬТАТОВ ЭКСПЕРИМЕНТА

Для экспериментов были использованы в качестве исходных данных матричные описания систем ДНФ, реализующие функции комбинационных блоков цифровых СБИС. Данные матричные описания были минимизированы в классе многоуровневых BDDпредставлений [7], по которым проводился синтез схем. Второй поток примеров – минимизированные BDD-представления функций модулярных сумматоров, третий поток - VHDL-описания не минимизированных систем полностью определенных функций тех же модулярных сумматоров. Результаты эксперимента свидетельствуют об эффективности логической BDD-минимизации и о TOM, что энергопотребление нерегулярных схем комбинационной логики определяется в основном числом транзисторов в схеме. За короткое время VHDL-моделирование позволяет получать верхние оценки потребляемого тока, превышающие эталонные значения в среднем на 26%, - это для схем, содержащих от 500 до 1000 транзисторов. Выбор лучшего варианта схемной реализации может быть выполнен после нескольких проб предварительной логической минимизации, которая практически всегда для схем достаточно большой размерности позволяет получать схемы с лучшими параметрами, чем синтез схем по исходным не минимизированным VHDLописаниям комбинационных блоков СБИС.

VI. ЗАКЛЮЧЕНИЕ

Логическое моделирование на основе предложенных VHDL-моделей КМОП-элементов позволяет на несколько порядков увеличить быстродействие процессов оценки энергопотребления в сравнении со схемотехническим моделированием в традиционно используемой [12] системе AccuSim II и может быть применено на этапе логического проектирования для оценки различных вариантов схемной реализации проекта цифровой КМОПсхемы.

ЛИТЕРАТУРА

- [1] Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы. М.: Вильямс, 2007. 912 с.
- [2] Глебов А.Л., Гурарий М.М., Жаров М.М., Егоров Ю.Б., Русаков С.Г., Стемпковский А.Л., Ульянов С.Л. Актуальные проблемы моделирования в системах автоматизации схемотехнического проектирования // М.: Наука, 2003.- 430с.
- [3] Estimation of Average Switching Activity in Combinational and Sequential Circuits / A. Ghosh, S. Devadas, K. Keutzer et al. // Proc. 29th ACM/ IEEE Design Automation Conf. – 1992. – P. 253–259.
- [4] Бибило П.Н., Кириенко Н.А. Оценка энергопотребления логических КМОП-схем по их переключательной активности // Микроэлектроника. 2012. № 1. С. 65–77..
- [5] Бибило П.Н., Соловьев А.Л. Оценка энергопотребления КМОП-схем на базе логического моделирования // Информатика. 2012. № 1 (33). С. 76–85.
- [6] Бибило П.Н., Соловьев А.Л. Оценка энергопотребления комбинационных КМОП схем на основе логического моделирования с учетом временных задержек элементов // Управляющие системы и машины. 2014. № 6. С. 34–41.
- [7] Система логического проектирования функциональных блоков заказных КМОП СБИС с пониженным энергопотреблением / П.Н. Бибило [и др.] //Микроэлектроника. 2017. Т. 46, № 1. С.72–88.
- [8] Закревский А.Д. Минимизация перебора ориентированных пар // Танаевские чтения: доклады Четвертой межд. науч. конф., Минск, 29–30 марта 2010 г. – Минск, 2010. – С. 58–62.
- [9] Бибило П.Н., Авдеев Н.А. VHDL. Эффективное использование при проектировании цифровых систем. - М.: СОЛОН-Пресс, 2006. – 344 с
- [10] Лохов А., Рабоволюк А. Комплексная функциональная верификация СБИС. Система Questa компании Mentor Graphics. // Электроника: наука, технология, бизнес. 2007. № 3. С. 102-109.
- [11] Рыжова Д.И., Гаврилов С.В. Метод оценки пикового тока на логическом уровне с учетом одновременного переключения входов // Проблемы разработки перспективных микро- и наноэлектронных систем – 2014. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2014. Часть 1. С. 37–42.
- [12] Турцевич А. С., Белоус А. И., Шведов С. В., Кутас М.А. Развитие САПР микроэлектроники. САПР ОАО «ИНТЕГРАЛ». // МНПК «Современные информационные и электронные технологии». – Одесса, 27-31 мая 2013 г. – С.17–20.

Estimating of the Power Consumption of Combinational CMOS Circuits Based on Logic VHDL Simulation

P. N. Bibilo, N. A. Avdeev, N. A. Kirienko

United Institute of Informatics Problems of NAS of Belarus, bibilo@newman.bas-net.by

Abstract — Estimating of the power consumption using VHDL simulation is based on the use of modified VHDL models of circuit elements. Models take into account not only the functionality of the elements, but also the time delays of the elements. It is also required to modify the netlist of the circuit - to add parameters that describe the loads of each of the elements for outputs and inputs. The netlist of the circuit and the corresponding SDF file describing the delays of the circuit elements are obtained as a result of the synthesis of this circuit in the CMOS element library. The synthesis is performed in the LeonardoSpectrum (Mentor Graphics firm) software package. VHDL simulation is done in the Questa Sim software package using an SDF file. The power consumption estimation is performed by a separate process. The main purpose of this process is as follows. Previous and new combinations of element input states are determined using parameters whose values for each circuit component are transferred from the SDF file during simulation. Then, using these values and the values of load capacities, the power consumption of the element in the current cycle of circuit simulation is calculated. The result of VHDL simulation is a sequence of circuit power consumption values in each of the circuit simulation cycles and a calculated estimate of the circuit power consumption on a given test. Pseudorandom test sets with equiprobable values of zeros and ones are used as tests. The experiment was carried out on several streams of logic circuits. As a result of experiments, it was found that VHDL simulation reduces the time for calculating consumed currents by several orders of magnitude. VHDL simulations most often result in upper current estimates compared to the reference values produced by Accusim II analog Spice simulations.

Keywords — logical circuit, synthesis, logical and circuit simulation, power consumption estimates, VHDL, CMOS VLSI.

REFERENCES

- Rabai M., Chandrakasan A., Nicolic B. Digital Integrated Circuits: A Design Perspective. 2nd Edition. - Prentice Hall, 2003. - 491 p. (Russ. ed.: Rabai M., Chandrakasan A., Nikolich B. Cifrovye integral'nye shemy, Moscow: OOO «I.D. Vil'jams», 2007. 912 p.).
- [2] Glebov A.L., Gurarij M.M., ZHarov M.M., Egorov YU.B., Rusakov S.G., Stempkovskij A.L., Ul'yanov S.L. // Aktual'nye problemy modelirovaniya v sistemah avtomatizacii skhemotekhnicheskogo proektirovaniya (Actual problems of modeling in circuit design automation systems) // M.: Nauka, 2003.- 430s. (in Russian).
- [3] Estimation of Average Switching Activity in Combinational and Sequential Circuits / A. Ghosh, S. Devadas, K. Keutzer et al. // Proc. 29th ACM/ IEEE Design Automation Conf. – 1992. – P. 253–259.

- [4] Bibilo P.N., Kirienko N.A. Ocenka energopotrebleniya logicheskih KMOP-skhem po ih pereklyuchatel'noj aktivnosti (Estimating energy consumption in logical CMOS circuits based on their switching activity) // Mikroelektronika. 2012. № 1. C. 65–77. (in Russian).
- [5] Bibilo P.N., Solov'ev A.L. Ocenka energopotrebleniya KMOP-skhem na baze logicheskogo modelirovaniya (Estimation of power consumption of CMOS circuits by means of logic simulation) // Informatika. 2012. № 1 (33). S. 76–85. (in Russian).
- [6] Bibilo P.N., Solov'ev A.L. Ocenka energopotrebleniya kombinacionnyh KMOP skhem na osnove logicheskogo modelirovaniya s uchetom vremennyh zaderzhek elementov (Estimation of power consumption of combinational CMOS circuits based on logic simulation, taking into account the time delays of the elements) // Upravlyayushchie sistemy i mashiny. 2014. № 6. S. 34–41. (in Russian).
- [7] Bibilo P. N. at all. Sistema logicheskogo proektirovaniya funkcional'nyh blokov zakaznyh KMOP SBIS s ponizhennym energopotrebleniem (A system for logical design of custom CMOS VLSI functional blocks with reduced power Consumption) // Mikroelektronika. 2017. № 1. S.72–88. (in Russian).
- [8] Zakrevskij A.D. Minimizaciya perebora orientirovannyh par (Minimizing the enumeration of oriented pairs) // Tanaevskie chteniya: doklady CHetvertoj mezhdunar. nauch. konf., Minsk, 29–30 marta 2010 g. – Minsk, 2010. – S. 58–62. (in Russian).
- [9] Bibilo P.N., Avdeev N.A. VHDL. Effektivnoe ispol'zovanie pri proektirovanii cifrovyh sistem (VHDL. Effective use in the design of digital systems) M.: SOLON-Press, 2006. – 344 s. (in Russian).
- [10] Lohov A., Rabovolyuk A. Kompleksnaya funkcional'naya verifikaciya SBIS. Sistema Questa kompanii Mentor Graphics (Complex functional verification of VLSI. Questa system from Mentor Graphics) // Elektronika: nauka, tekhnologiya, biznes. 2004. № 1. S. 58–62. (in Russian).
- [11] Ryzhova D.I., Gavrilov S.V. The method of peak current estimation at logic level taking into account simultaneous switching of inputs // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2014. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2014. Part 1. P. 37-42. (in Russian).
- [12] Turcevich A. S., Belous A. I., SHvedov S. V., Kutas M.A. Razvitie SAPR mikroelektroniki. SAPR OAO «INTEGRAL» (Development of CAD microelectronics. CAD of The Open Joint Stock Company "INTEGRAL"). // MNPK «Sovremennye informacionnye i elektronnye tekhnologii». – Odessa, 27-31 maya 2013 g. – S.17-20. (in Russian).