

Оптимальный алгоритм генерации полного теста для проверки простейших одиночных логико-динамических неисправностей для N-входового комбинационного устройства

Д.О.Левицкий

Национальный исследовательский университет «МИЭТ», г. Москва, t1000748@org.miet.ru

Аннотация — Исследуется вопрос о минимальной длине полного теста для проверки всех простейших одиночных логико-динамических неисправностей для N-входового комбинационного устройства. Описывается оптимальный алгоритм генерации такого полного теста именно минимальной длины, приводится программа на C++, реализующая этот алгоритм и часть построенного теста.

Ключевые слова — тестирование, логико-динамические неисправности, двоичные комбинационные схемы, алгоритм построения теста минимальной длины, техническая диагностика.

I. ВВЕДЕНИЕ

Традиционно в технической диагностике применялись тесты для класса логических константных неисправностей в узлах схемы (stack-at, stack-on, stack-open) [1], либо тесты для класса динамических неисправностей связанных с задержками на путях распространения сигналов [2]. Данная статья посвящена классу логико-динамических (ЛД) неисправностей [3], [4]. Логико-динамическая неисправность выражается в задержке переключающего сигнала в заданной точке более чем на один такт. При этом задержки переключения из 0 в 1 и из 1 в 0 – это разные неисправности. Простейшая одиночная ЛД неисправность (ПОЛДН) выражается в задержке переключения ровно на один такт в заданном узле схемы.

Свойства ЛД неисправностей для комбинационных схем таковы:

- Тест, проверяющий отсутствие ПОЛДН в заданном узле, одновременно проверяет отсутствие в этом узле задержки на любое число тактов, т.е. отсутствие ЛД неисправности.
- Тест, проверяющий отсутствие ПОЛДН в заданном узле, одновременно проверяет отсутствие в этом узле константной неисправности, которая является частным случаем ЛД неисправности, когда задержка переключения бесконечна.
- Все ПОЛДН локализованы в узлах схемы, т.е. их ровно столько сколько константных неисправностей.

Также отметим, что тест, проверяющий отсутствие ПОЛДН в заданном узле, одновременно проверяет

отсутствие динамических неисправностей по всем путям, проходящим через этот узел, однако если тест не обнаружил ПОЛДН в узле, то это не гарантирует отсутствие динамических неисправностей по путям, проходящим через этот узел.

Для любого комбинационного логического элемента, тест, проверяющий отсутствие ПОЛДН на всех входах этого элемента одновременно проверяет отсутствие ПОЛДН и на всех выходах этого элемента. Следовательно, тест, проверяющий отсутствие ПОЛДН на всех входах любой комбинационной схемы одновременно проверяет отсутствие ПОЛДН во всех внутренних узлах этой схемы и на всех выходах этой комбинационной схемы. Таким образом, полный тест для проверки ПОЛДН на всех входах комбинационной схемы, будет полным тестом для проверки ПОЛДН во всех узлах этой схемы.

II. ОПТИМАЛЬНЫЙ АЛГОРИТМ ГЕНЕРАЦИИ ПОЛНОГО ЛД-ТЕСТА

Алгоритмы генерации полного ЛД теста были известны и ранее [4], [5], однако не исследовался вопрос какова минимальная длина полного ЛД теста для N-входового комбинационного устройства. Рассмотрим этот вопрос.

Как известно, для N-входового комбинационного устройства число различных статических воздействий равно 2^N – числу вершин N-мерного гиперкуба Q_N , а число единичных переключений (когда переключается только один контакт) равно $E_N = 2 * (N * 2^{N-1}) = N * 2^N$ – удвоенному числу ребер этого гиперкуба (поскольку между парой состояний нужно пройти как в прямом, так и в обратном направлении). Таким образом, полный ПОЛДН-тест должен иметь не менее

$$E_N = N * 2^N \quad (1)$$

переключений, т.е. он должен содержать не менее $(E_N + 1)$ тактов.

Очевидно, что методов обхода всех ребер гиперкуба (т.е. перебора всех переключений) может быть много (например, [5]), но это не оптимальный алгоритм). Ниже предлагается алгоритм, который обеспечивает ровно однократный проход через все E_N переключений, следовательно, он будет минимальным по длине. Алгоритм является рекуррентным, т.е. он генерирует

Алгоритм состоит из двух частей. В первой части устанавливается $S_N=0$ и выполняется тест для $Q1_{N-1}$. По окончании первой части алгоритм оказывается в точке 0_N . Во второй части алгоритма устанавливается $S_N=1$ и при этом выполняется тест для $Q2_{N-1}$, но с дополнительным условием. При первом попадании в любое состояние $a_{N-1} \neq 0_{N-1}$, значения по всем входам кроме S_N фиксируются на два такта, а в это время на S_N подается пара переключений $1 \rightarrow 0$ и $0 \rightarrow 1$ (это обеспечивает прохождение по ребру между $Q1_{N-1}$ и $Q2_{N-1}$). По окончании второй части алгоритм оказывается в точке 0_{N-1} для $Q2_{N-1}$, поэтому следует добавить еще один такт для возвращения в точку ноль для общего гиперкуба Q_N .

При реализации алгоритма в ЭВМ, каждый вектор теста удобнее записать в виде битовой строки в целочисленной переменной – например, в IA-32 быстрее всего выполняются операции с 32-битовыми переменными, при этом старшие, незадействованные биты тестового вектора равны 0. Тогда первая часть алгоритма является простым копированием ($E_{N-1}+1$) векторов, следовательно, можно не копировать эти вектора (пропустить первую часть), а просто добавлять к массиву векторов (N-1)-входного устройства только те векторы, которые создаются во второй части алгоритма.

Алгоритм был реализован в программе на языке C++ (рис.1). Здесь каждый элемент $TEST[i]$ является битовой строкой описывающей сгенерированные тестовые воздействия для такта i , где самый младший бит соответствует S_1 , а бит N соответствует S_N . Программа имеет один входной параметр: N – количество входов на устройстве для которого строится полный ЛД-тест. Результат работы алгоритма представлен на рис.2.

Из листинга программы видно, что первая итерация создания теста происходит для $n=1$, при этом тест предыдущего нулевого уровня не содержит ни одного переключения, но имеет установочный такт.

На рис. 2 показаны первые 67 тактов полного ЛД-теста для $N>4$. Видим, что длина теста для N -входного устройства точно соответствует (1) и равна $N*2^N$ плюс нулевой установочный такт, а именно: при $N=1$ – 3 такта, при $N=2$ – 9 тактов, при $N=3$ – 25 тактов, а при $N=4$ – 65 тактов.

III. ЗАКЛЮЧЕНИЕ

В статье обосновывается, что минимальная длина полного ЛД-теста для N -входного комбинационного устройства равна $N*2^N + 1$. Приводится алгоритм построения такого теста и программа на C++, реализующая этот алгоритм. Отмечено, что возможны и другие алгоритмы построения полного ЛД-теста, но в любом случае они не могут дать более короткого полного теста.

ЛИТЕРАТУРА

- [1] Основы технической диагностики. В 2 книгах. Книга 1. Модели объектов, методы и алгоритмы диагноза / под редакцией П.П.Пархоменко. Москва : «Энергия», 1976, -462 с. – Текст : непосредственный.
- [2] Скобцов, Ю.А. Логическое моделирование и тестирование цифровых устройств / Ю.А. Скобцов, В.Ю. Скобцов. – Донецк : ИПММ НАН Украины, ДонНТУ, 2005. – 436 с. – Текст : непосредственный.
- [3] Кривошапко, В.М. Синтез логико-динамических тестов КМОП БИС / В.М. Кривошапко, Д.О. Левицкий. – Текст : электронный // Автоматика и телемеханика. – Москва : Наука, 1990. - № 9. – С. 118-129. – URL: <http://mi.mathnet.ru/at5937> (дата обращения: 16.05.2022).
- [4] Методы и средства тестирования КМОП БИС / под редакцией В.М. Кривошапко. – Москва : Радио и связь, 1993. – 250 с. – Текст : непосредственный.
- [5] Патент № SU 1716497 A1, МПК G06F1/02 (2000.01). Генератор логико-динамического текста : №4784397 : заявл. 19.01.1990 : опубл. 28.02.1992 / Левицкий Д.О., Кривошапко В.М. ; заявитель МИЭТ. – 6 с. : ил. – Текст : непосредственный.

The Optimal Algorithm for Generating a Complete Test for Checking the Simplest Single Logical-Dynamic Faults for an N-Input Combinational Device

D.O. Levitsky

National Research University "MIET", Moscow, t1000748@org.miet.ru

Abstract — The question of the minimum length of a complete test for checking all the simplest single logical-dynamic (LD) faults [3,4] for an N-input combinational device is investigated. LD failure is expressed in the delay of the switching signal at a given point for more than one cycle. At the same time, switching delays from 0 to 1 and from 1 to 0 are different faults. An optimal algorithm for generating a complete LD test of exactly the minimum length is described, a

C++ program that implements this algorithm and part of the constructed test is given.

Keywords — testing, logical-dynamic faults, binary combinational circuits, algorithm for constructing a minimum length test, technical diagnostics.

REFERENCES

- [1] Osnovy tekhnicheskoy diagnostiki. V 2 knigakh. Kniga 1. Modeli ob"yektov, metody i algoritmy diagnoza / pod redaktsiyey P.P.Parkhomenko. Moskva : «Energiya», 1976, -462 s. – Tekst : neposredstvennyy.
- [2] Skobtsov, YU.A. Logicheskoye modelirovaniye i testirovaniye tsifrovyykh ustroystv / YU.A. Skobtsov, V.YU. Skobtsov. – Donetsk : IPMM NAN Ukrainy, DonNTU, 2005. – 436 s. – Tekst : neposredstvennyy.
- [3] Krivoshapko, V.M. Sintez logiko-dinamicheskikh testov KMOP BIS / V.M. Krivoshapko, D.O. Levitskiy. – Tekst : elektronnyy // Avtomatika i telemekhanika. – Moskva : Nauka, 1990. - № 9. – S. 118-129. – URL: <http://mi.mathnet.ru/at5937> (data obrashcheniya: 16.05.2022).
- [4] Metody i sredstva testirovaniya KMOP BIS / pod redaktsiyey V.M. Krivoshapko. – Moskva : Radio i svyaz', 1993. – 250 s. – Tekst : neposredstvennyy.
- [5] Patent № SU 1716497 A1, MPK G06F1/02 (2000.01). Generator logiko-dinamicheskogo teksta : №4784397 : zayavl. 19.01.1990 : opubl. 28.02.1992 / Levitskiy D.O., Krivoshapko V.M. ; zayavitel' MIET. – 6 s. : il. – Tekst : neposredstvennyy.