

Анализ тенденций развития полевых транзисторов

В.П. Жалнин, А.И. Власов, И.С. Коробенко, Ю.А. Шадрин

МГТУ им. Н.Э. Баумана, г. Москва, vlasov@iu4.ru

Аннотация — В современной электронике при масштабировании транзисторов все большее влияние оказывают короткоканальные эффекты и токи утечки, которые ликвидируются за счет измененных структур полевых транзисторов, среди которых кремний на изоляторе, транзистор с двойным затвором, сегментированный транзистор, транзистор с гребнеподобным каналом, ленточный и трубчатый транзисторы с окруженным затвором каналом, а также исследуются такие структуры как графеновые транзисторы и транзисторы с вертикальным положением канала. Они позволяют не только улучшить электрические характеристики транзисторов, но и повысить плотность их размещения и повысить энергоэффективность. Предлагается разделить все виды структур по положению канала, поскольку именно это позволяет снизить влияние нежелательных эффектов в работе транзисторов. В результате разработчики и производители могут подобрать оптимальную конструктивную реализацию в соответствии с техническими требованиями к интегральной схеме и себестоимости одного формируемого транзистора.

Ключевые слова — короткоканальный эффект, ток утечки, полевой транзистор с двойным затвором, сегментированный транзистор, кремний на изоляторе, транзистор с гребнеподобным каналом, нанотрубки, нанолит, графен, вертикальный канал.

I. ВВЕДЕНИЕ

Полупроводниковая промышленность сталкивается с серьезными проблемами, поскольку продолжается стремление к масштабированию транзисторов до размеров единиц нм технологического узла и далее. Наиболее важной из этих проблем является ослабление контроля затвора над каналом, что проявляется в виде увеличения короткоканального эффекта и токов утечки. Одним из подходов к противодействию этим эффектам является внедрение новых материалов для повышения производительности либо в затвор, либо в канал, либо в области расширений истока/стока. Однако даже с внедрением этих новых материалов утечка по-прежнему будет оставаться серьезной проблемой. Следовательно, изучаются альтернативные архитектуры устройств, которые по своей сути обладают большей надежностью [1].

Короткоканальный эффект (ККЭ) – эффекты возникающие, при сопоставимых размерах длины канала и ширины обедненного слоя соединения истока и стока. В полевых МОП-транзисторах длина канала должна быть больше, чем сумма ширин обедненных зон стока и истока, чтобы избежать краевых эффектов.

Эффекты короткого канала объясняются двумя физическими явлениями:

- ограничение, налагаемое на характеристики дрейфа электронов в канале;
- изменение порогового напряжения из-за сокращения длины канала [2].

Ток утечки - определяется как ток, который «просачивается» между стоком и истоком транзистора, когда устройство находится в запертом состоянии. Два важных момента, касающихся утечки, заключаются в том, что ток утечки полевого МОП-транзистора увеличивается с уменьшением длины канала, поскольку электростатический контроль ухудшается. Он также имеет экспоненциальное изменение по отношению к температуре, поэтому он резко увеличивается с температурой. В больших конструкциях, изготовленных с использованием самых передовых технологических узлов с множеством транзисторов малой длины, энергопотребление из-за токов утечки может быть столь же важным, как и динамическое энергопотребление [3].

Согласно закону Мура, число транзисторов на единице площади кристалла удваивается каждые два года. Это наблюдение является ориентиром для производителей электроники. Таким образом, решить проблему необходимо было не только с точки зрения минимизации тока утечки и ККЭ, но и найти оптимальную структуру, которая позволит создавать более компактные интегральные схемы [5].

Эти структуры уже были разработаны и исследованы. Сегодня большинство структур, рассматриваемых в этой статье, уже были имплементированы в производство, а некоторые из них изжили себя в рамках создания интегральных схем с технологическим узлом с размером менее 20 нм. Однако это не означает, что новые структуры полностью заменили предыдущие поколения, у них по-прежнему есть своя область приложения.

Таким образом, цель этой статьи – изучить эволюцию структуры полевых транзисторов и предложить их классификацию для возможности оптимального выбора варианта реализации транзисторов разработчиком с учетом размера технологического узла и технических требований к изделию.

II. КЛАССИФИКАЦИЯ ПОЛЕВЫХ ТРАНЗИСТОРОВ

В рамках статьи проводится анализ структур полевых транзисторов в соответствии с предложенной классификацией (рисунок 1).

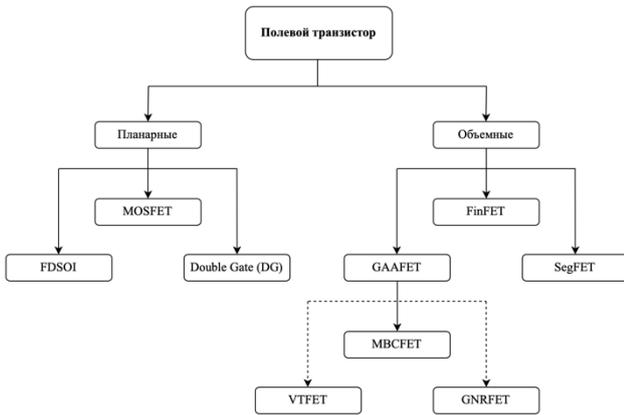


Рис. 1. Классификация полевых транзисторов

На представленной ментальной карте предложена классификация конструктивных реализаций полевых транзисторов по положению канала, а именно в плоскости подложки и в объеме. Было проведено именно такое деление структур, поскольку ключ в снижении влияния ККЭ и токов утечки лежит в увеличении площади контакта канала и диэлектрика затвора.

III. АНАЛИЗ КОНСТРУКТИВНЫХ РЕАЛИЗАЦИЙ ПОЛЕВЫХ ТРАНЗИСТОРОВ

A. MOSFET

Планарная технология - современный метод производства интегральных схем и самой простой конструкцией полевого транзистора является планарный металл-оксид-полупроводниковый полевой транзистор MOSFET (Metal Oxide Silicon Field Effect Transistor), который представляет собой тип полевого транзистора с изолированным затвором. (рисунок 2).

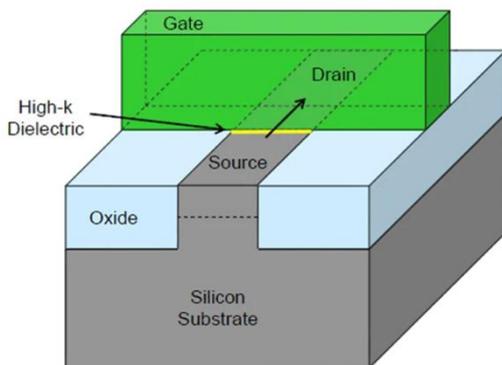


Рис. 2. Планарная MOSFET (gate – затвор, drain – сток, source – исток, high-k dielectric – диэлектрик с высокой диэлектрической проницаемостью, oxide – оксид кремния, silicon substrate – кремниевая подложка) [4]

При продолжающемся масштабировании транзистора (ширина затвора $L_G < 30$ нм) расстояние между переходами истока и стока теперь настолько близко, что затвору трудно поддерживать электростатический контроль над каналом. Это приводит к ухудшению ККЭ: подпороговое колебание (напряжение затвора, необходимое для увеличения подпорогового тока на один порядок величины) увеличивается и приводит к более высокой утечке в нерабочем состоянии, пороговое напряжение V_T уменьшается для более коротких L_G и с увеличением напряжения на стоке приводит к снижению потенциального барьера канала-истока. Для достижения высокого активного тока во включенном состоянии эти ухудшенные ККЭ приводят к недопустимо высоким токам утечки, когда устройство находится в запертом состоянии.

Чтобы продолжать улучшать производительность при масштабировании транзисторов без возникновения неприемлемо высоких токов утечки в нерабочем состоянии, структура планарного MOSFET может быть изменена для обеспечения лучшей электростатической целостности и подавления ККЭ. Это уменьшает подпороговое колебание, так что для достижения состояния включения требуется меньшее напряжение на затворе, что позволяет устройству иметь как низкий ток утечки в запертом состоянии, так и высокий ток во включенном состоянии [5].

B. Усовершенствованные структуры MOSFET: FDSOI и DG

Чтобы предотвратить чрезмерное влияние ККЭ в планарном MOSFET, ширина перехода исток/сток X_J , ширина обеднения канала X_{DEP} и толщина оксидного слоя T_{OX} должны быть сведены к минимуму для улучшения управления затвором над каналом. Количественно эти параметры используются для определения габаритного размера планарного MOSFET [6] λ_{BULK} , который является показателем минимально достижимой ширины затвора L_G до того, как ККЭ станет слишком серьезным, и приведен в (1):

$$\lambda_{BULK} = 0,1(T_{OX}X_JX_{DEP}^2)^{\frac{1}{3}} \quad (1)$$

С уменьшением размеров транзисторов масштабирование X_J , X_{DEP} и T_{OX} становится неприемлемым при использовании традиционных технологий ионной имплантации. Два основных усовершенствованных кандидата MOSFET – полностью обедненный кремний на изоляторе (FDSOI – Fully Depleted Silicon On Insulator) и с двойным затвором (DG – Double Gate).

MOSFET FDSOI построены на подложке кремний на изоляторе (SOI) (рисунок 3), где тонкая пленка Si (толщиной < 10 нм) лежит на изолирующем слое скрытого оксида (BOX – Buried-Oxide) [7].

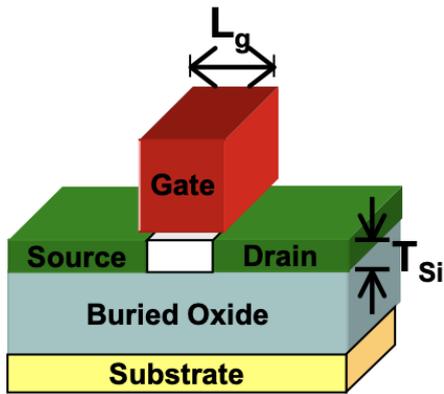


Рис. 3. Структура FDSOI MOSFET (gate – затвор, drain – сток, source – исток, buried oxide – скрытый оксид кремния, substrate – кремниевая подложка) [8]

Путем ограничения количества Si в канале, емкостная связь между затвором и каналом увеличивается, в то время как связь между стоком и истоком соразмерно уменьшается. Для MOSFET FDSOI хорошим эмпирическим правилом для поддержания ККЭ является то, что толщина пленки Si (T_{Si}) была не толще $L_G / 3$ [9]. Кроме того, специальные подложки SOI стоят дороже, чем однородные пластины Si. Основным преимуществом MOSFET FDSOI перед другими усовершенствованными транзисторными структурами является относительная простота обработки из-за плоскостности структуры; большинство обычных процессов изготовления планарных MOSFET могут быть использованы для MOSFET FDSOI с небольшими изменениями.

Подложки типа SOI используются для реализации новейших интегральных схем, например, семейство процессоров IBM POWER8 выпускается по техпроцессу 22 нм [10].

DG MOSFET (рисунок 4) также использует тонкий слой кремния, но помещает его между двумя затворами, обеспечивая лучшее электростатическое управление и, таким образом, снижает требования к тонкости T_{Si} по сравнению с FDSOI MOSFET в два раза (т.е. T_{Si} может составлять $2/3 * L_G$) [11].

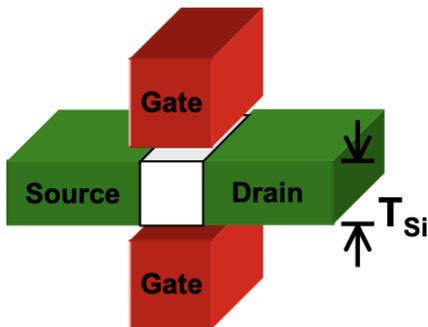


Рис. 4. Структура DG MOSFET (gate – затвор, drain – сток, source – исток) [8]

С. FinFET

Наиболее технологичным из всех предложенных конструкций DG является FinFET (от англ. «fin» – плавник, гребень) [12], трехмерная структура, в которой тонкий слой Si создается путем травления узкой полосы Si с электродами затвора, расположенными по бокам (рисунок 5). FinFET могут быть изготовлены как на однородных, так и на SOI-подложках и уже внедрены в крупносерийное производство [13]. Основным недостатком технологии FinFET является необходимость формирования полос с высоким соотношением сторон (узкая ширина полосы для контроля ККЭ и большая высота полосы для достижения высокого тока на единицу площади канала). Поскольку ширина полосы FinFET должна быть меньше L_G (которая исторически была наименьшим размером печатного элемента), возможность формирования полос с высоким соотношением сторон при узком расстоянии полосы (для максимальной эффективности области канала) для будущих масштабируемых узлов может представлять серьезную технологическую проблему.

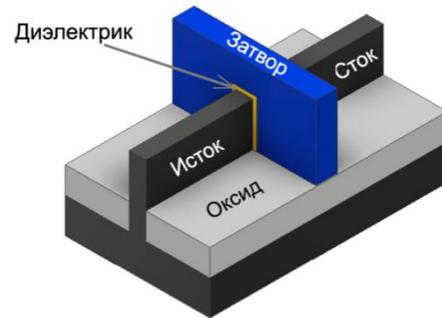


Рис. 5. Структура FinFET

Затвор в данной технологии окружает канал с трех сторон. Когда подается напряжение на затвор, он вытягивает электроны (дырки) из глубины к вершине гребня, и в ней формируется канал. Таким образом, вся активная зона стока, истока и затвора уходит в гребень, утечка тока вглубь подложки минимальна. При этом, термически гребень не изолирован от подложки и тепло свободно уходит вниз.

FinFET начал использоваться в качестве транзисторной структуры для массового производства только с переходом на технологический узел 22 нм. Ведущие изготовители ИС по-прежнему используют FinFET структуру в качестве основной даже при переходе на технологический узел в 3 нм [14].

Как FDSOI, так и структуры FinFET представляют собой революционные изменения в планарном MOSFET. Для FDSOI требуется другая, более дорогая подложка, в то время как для FinFET требуются полосы с высоким соотношением сторон, что может снизить технологичность. Обе структуры полагаются на ограничение геометрии канала для управления ККЭ вместо легирования, как в обычной структуре MOSFET. Несмотря на элегантное решение для

подавления ККЭ, толщина канала становится критическим параметром, и его может быть трудно контролировать при фактической реализации. Вместо этого, возможно, более эволюционная структура была бы более прагматичной, которая сочетает в себе как легирование, так и геометрию канала в гибридном подходе для улучшения ККЭ и производительности, не прибегая к новым подложкам или структурам с высоким соотношением сторон. Эта конструкция – сегментированный каналный MOSFET (SegFET). [5]

D. SegFET – эволюционная альтернатива MOSFET и FinFET

Структура MOSFET с сегментированным каналом (SegFET) представляет собой эволюционную

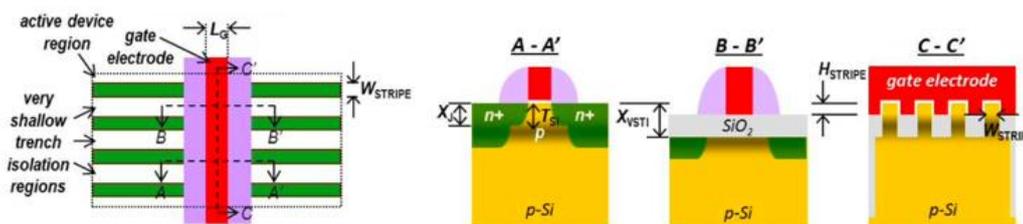


Рис. 6. Структура SegFET (active device region – активная зона устройства, gate electrode – затвор, very shallow trench isolation – очень неглубокая траншейная изоляция) [5]

Эти полосы Si изолированы друг от друга диэлектрическим материалом с очень неглубокой траншейной изоляцией (VSTI – Very Shallow Trench Isolation). Внутри каждой полосы Si профили легирования канала и истока/стока аналогичны профилям в плоском объемном MOSFET (сечение A-A' на рисунке 6). Области VSTI простираются на глубину ниже толщины перехода истока/стока ($X_{VSTI} > X_j$), но которые могут быть намного мельче, чем обычная изоляция неглубоких траншей (STI) (сечение B-B' на рисунке 6). Из-за несложной геометрии сегментного транзистора (полоса W_{STRIP} может быть больше эффективной длины канала, а глубина VSTI намного меньше, чем STI), он должен быть более технологичным, чем FinFET. Благодаря полям, проходящим через области VSTI, управление затвором в SegFET улучшается по сравнению с обычным планарным MOSFET (сечение C-C' на рисунке 6). Поскольку каждая полоса имеет одинаковую геометрию и, следовательно, одинаковые электрические характеристики, сегментные транзисторы должны демонстрировать незначительные зависимости ширины расположения от порогового напряжения (V_T), в отличие от обычных MOSFET. Хотя может показаться, что сегментация канала должна снизить эффективность области компоновки (поскольку часть ширины устройства заменяется непроводящими полосами VSTI), углубление VSTI может помочь восстановить утраченную эффективность области компоновки и улучшить электростатическую целостность, чтобы обеспечить более низкий V_T ; кроме того, исследования показывают, что уменьшенные поперечные электрические поля в канале SegFET повышают подвижность для увеличения тока возбуждения и

альтернативу, которая сочетает в себе преимущества объемного планарного MOSFET и улучшенное управление затвором более революционных архитектур устройств с несколькими затворами в канальную структуру с низким соотношением сторон на объемной подложке.

Область канала сегментного транзистора (рисунок б) построена на гофрированной кремниевой подложке, которая состоит из одного или нескольких параллельных сегментов (полос) Si одинаковой ширины W_{STRIP} , которая может быть шире эффективной длины канала L_{EFF} (длина области вблизи границы Si-SiO₂, в которой плотность свободных носителей контролируется напряжением на затворе).

дальнейшего повышения эффективности области компоновки.

SegFET могут быть изготовлены простым способом с использованием обычного технологического процесса. Благодаря улучшенному управлению затвором сегментные транзисторы демонстрируют меньшие ККЭ и могут достигать сопоставимого тока возбуждения на единицу площади компоновки, чем обычные планарные MOSFET. Конструкция SegFET не требует ни полос каналов с высоким соотношением сторон, ни ультратонкого слоя SOI для достижения хорошей электростатической целостности; поэтому это эволюционное решение для дальнейшего недорогого масштабирования технологии планарных MOSFET. [5].

E. Современные структуры полевых транзисторов: GAAFET и MBCFET

Для 5 нм FinFET транзисторов возможности управления каналом недостаточны из-за ККЭ. В связи с этим была разработана новая структура GAAFET (Gate-All-Around FET) с каналом, окруженным затвором со всех сторон (рисунок 7). Структура GAAFET на основе нанопроволоки Si демонстрирует отличные электрические характеристики, а длина затвора может быть дополнительно уменьшена с использованием новых материалов канала [15].

Samsung переработала структуру GAAFET и получила патент на MBCFET (Multi-Bridge Channel FET) – это версия GAAFET, который обладает лучшей производительностью, чем обычный GAAFET, такой как лучшее управление затвором канала, более высокая производительность постоянного тока при определенных условиях и лучшая гибкость

конструкции, что означает, что разработчики могут легко преобразовать FinFET в GAAFET (рисунок 8). По сравнению с технологией FinFET с 7-нм узлом, усовершенствованные узловые транзисторы MBCFET потребляют на 50% меньше энергии, повышают производительность на 30% и уменьшают площадь на 45%. По этим причинам Samsung и Intel обратились к технологии GAAFET вместо FinFET.

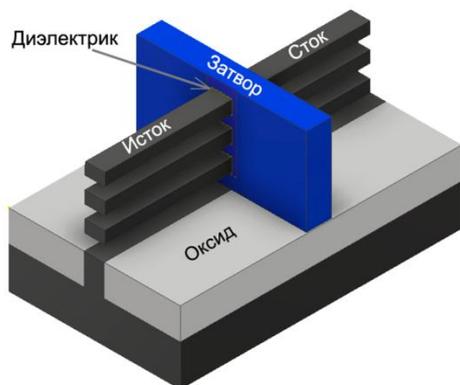


Рис. 7. Структура GAAFET

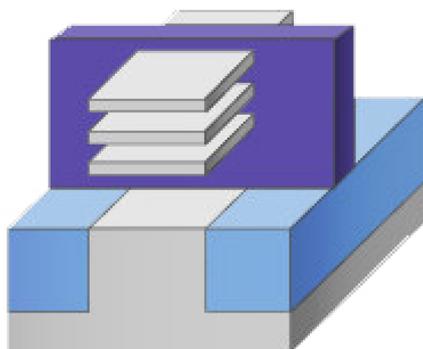


Рис. 8. Структура MBCFET [16]

Помимо очевидных преимуществ, GAAFET также обладает серьезными недостатками. Поскольку технология FinFET разрабатывалась в течение многих лет, производителям микросхем требуются большие затраты для перехода на изготовление структуры GAAFET, а внедрение новых материалов делает процесс еще более сложным. Кроме того, непрерывная сужение канала GAAFET приводит к возникновению ряда производственных проблем. Межсоединения становятся все более и более компактными в каждом узле, что приводит к серьезному росту RC задержек.

Еще одной проблемой для GAAFET является сложное обнаружение и измерение из-за увеличения плотности транзисторов. По мере того, как производимые чипы становятся все более совершенными, изменения во внутренней структуре становятся все труднее обнаружить, и даже незначительные изменения приведут к замедлению работы системы. В чипах более высокого класса производителям микросхем требуется множество различных измерительных инструментов для

обеспечения неразрушающих измерений во время производства. Для транзисторов MBCFET измерение положения и размеров одного нанолита является наиболее сложным. Нанолит с наилучшими характеристиками определяет качество всего транзистора [15]. Новая EUV технология, называемая EUV с высокой числовой апертурой (high-NA EUV), позволяет производить GAAFET с 3 нм-узлами решить бы эту ситуацию. Но встает экономический вопрос, поскольку проектирование и технология являются чрезвычайно дорогостоящими на сегодняшний день [17].

IV. ОБЗОР ТЕНДЕНЦИЙ РАЗВИТИЯ СТРУКТУР ПОЛЕВЫХ ТРАНЗИСТОРОВ

A. Полевой транзистор с вертикальным каналом

Дальнейшее масштабирование транзисторов требует не только новых структур, а также новых способов компоновки транзисторов. Новый подход предполагает укладку составных частей вертикально, а не горизонтально, с некоторыми другими изменениями компоновки, которые означают не только меньшую площадь, но и вероятность утечки тока транзистора до такой степени, что традиционные изолирующие барьеры, которые занимают много места, становятся менее необходимыми. Такие транзисторы называются VTFET (Vertical Transport FET) (рисунок 9) [18].



Рис. 9. Структура VTFET [18]

B. Графеновый транзистор

В качестве потенциальных приемников полупроводниковых транзисторов появились различные новые материалы и устройства. Среди них графен привлек большое внимание в последние годы из-за своих выдающихся электрических свойств. Сообщалось, что собственный графен обладает высокой подвижностью носителей, высокой плотностью носителей, большим средним свободным пробегом, высокой теплопроводностью и высокой прочностью. Тонкая, плоская и прочная решетчатая структура графена делает его потенциально более управляемым и масштабируемым для массового

производства и интеграции с существующей технологией изготовления MOSFET. По той же причине графен также является подходящим материалом для изготовления гибкой электроники.

В то время как собственные 2-D графеновые листы обладают выдающимися электрическими свойствами, они имеют нулевую ширину запрещенной зоны, что делает их отличными проводниками, а не полупроводниками. Чтобы открыть запрещенные зоны и сделать его полупроводящим, графен можно структурировать в виде одномерных узких полос, известных как графеновые нанопленки (GNR – Graphene Nano Ribbon). Транзисторы, изготовленные из GNR, называются графеновыми нано-ленточными полевыми транзисторами GNR-FET (рисунок 10). Как теоретические, так и экспериментальные результаты показали, что GNR-FET потенциально могут быть хорошими транзисторами с высоким отношением активного тока к току утечки и низким подпороговым колебанием. [19]

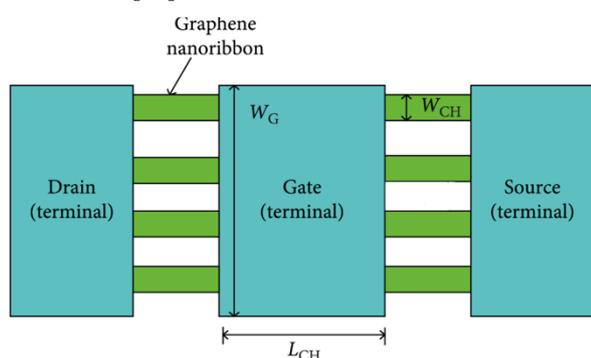


Рис. 10. Структура GNR-FET (gate – затвор, drain – сток, source – исток, terminal – вывод транзистора, graphene nanoribbon – графеновая нанотрубка), W_G – ширина затвора, L_{CH} – длина канала, W_{CH} – ширина нанотрубки [20]

V. ЗАКЛЮЧЕНИЕ

Проведен подробный анализ эволюции транзисторных структур, выявлены их основные проблемы и изучены предлагаемые исследователями способы их решения. Разработчики и производители электронной аппаратуры сталкиваются с экономическими и технологическими ограничениями при переходе на более совершенные структуры полевых транзисторов. Поэтому для многих задач по-прежнему эффективно использовать классические структуры. Однако крупные технологические компании могут позволить проектировать современную нанoeлектронику, используя передовые структуры, что приводит к ускоренному развитию технологии производства электронной аппаратуры. Таким образом, закон Мура по-прежнему продолжает действовать уже не только за счёт модернизированной фотолитографии, но и за счёт конструкционного изменения транзисторов на кристалле. Потенциально исследование принципиально новых структур, например, на основе графена приведет не только к резкому скачку в производительности и

энергоэффективности, но и откроет новые эксплуатационные возможности за счёт потрясающих физических свойств материала.

Отдельные результаты получены при финансовой поддержке Министерства науки и высшего образования РФ по проекту №0705-2020-0041 «Фундаментальные исследования методов цифровой трансформации компонентной базы микро- и наносистем»

ЛИТЕРАТУРА

- [1] Vaidy Subramanian, Bertrand Parvais, Josephine Borremans. Planar Bulk MOSFETS Versus FinFETs: An Analog/RF Perspective // IEEE Transactions on Electron Devices: IEEE Xplore, 2007. pp. 1-5.
- [2] F. D'Agostino, D. Quercia. Short-Channel Effects in MOSFETs // Introduction to VLSI design: EECS 467, 2002. С. 2-4.
- [3] Vijay Sharma. Effect of Device Scaling for Low Power Environment // Department of Electronics & Communication: Report and Opinion, 2011. pp. 11-13
- [4] Market Realist. Applied Materials launches CVD, CMP systems for 3D architecture. Электронный ресурс. Режим доступа: <https://marketrealist.com/2015/01/applied-materials-launched-cvd-cmp-systems-3d-architecture/> (дата обращения: 02.05.2022)
- [5] Byron Ho, King Liu Tsu-Jae. Evolutionary MOSFET Structure and Channel Design for Nanoscale CMOS Technology // Engineering – Electrical Engineering and Computer Sciences: UC Berkelen, 2012. С. 4-33.
- [6] Z.H. Liu. Threshold voltage model for deep-submicrometer MOSFETs / Z.H. Liu, C. Hu, J.H. Huang, T.Y. Chan, M.C. Jeng, P.K. Ko, Y.C. Cheng // IEEE Xplore.- 1993. Электронный ресурс. Режим доступа: <https://ieeexplore.ieee.org/document/249429/authors#authors> (дата обращения: 05.05.2022)
- [7] N. Planes. 28nm FDSOI technology platform for high-speed low-voltage digital applications / N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet // IEEE Xplore.- 2012. Электронный ресурс. Режим доступа: https://www.researchgate.net/publication/279953528_28nm_FDSOI_technology_platform_for_high-speed_low-voltage_digital_applications (дата обращения: 05.05.2022)
- [8] Multi-Gate MOSFETs Front End Process and Materials Needs. Электронный ресурс. Режим доступа: https://nccavs-usergroups.avs.org/wp-content/uploads/TFUG2008/2008_8king.pdf (дата обращения: 06.05.2022).
- [9] N. Xu, B. Ho, F. Andrieu, L. Smith, B.-Y. Nguyen, O. Weber, T. Poiroux, O. Faynot, T.-J. King Liu. Carrier-mobility enhancement via strain engineering in future thin-body MOSFETs // IEEE Elec. Dev. Lett., March 2012. С. 318-321.
- [10] J.G. Fossum. Pragmatic design of nanoscale multi-gate CMOS / J.G. Fossum, L.Q. Wang, J.W. Yang, S.H. Kim, V.P. Trivedi // IEEE Xplore.- 2005. Электронный ресурс. Режим доступа: <https://ieeexplore.ieee.org/document/1419236> (дата обращения: 07.05.2022).
- [11] Eric J. Fluhr, Joshua Friedrich, Daniel Dreps. A 12-core server-class processor in 22nm SOI with 7.6Tb/s off-chip bandwidth / IEEE International Solid-State Circuits Conference Digest of Technical Papers: ISSCC, 2014. pp. 102-121.

- [12] N. Lindert. Sub-60-nm quasi-planar FinFETs fabricated using a simplified process / N. Lindert, L. Chang, Y.-K. Choi, E. H. Anderson, W.-C. Lee, T.-J. King, J. Bokor, and C. Hu // IEEE Xplore.-2001. Электронный ресурс. Режим доступа: https://www.researchgate.net/publication/3254189_Sub-60-nm_quasi-planar_FinFETs_fabricated_using_a_simplified_process/citations (дата обращения: 09.05.2022).
- [13] C. Auth. 22nm high performance and low-power CMOS technology featuring fully- depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors / C. Auth, S. Allen, A. Blattner, D. Bergstrom // IEEE Xplore.- 2012. Электронный ресурс. Режим доступа: <https://ieeexplore.ieee.org/document/6242496?arnumber=6242496> (дата обращения: 09.05.2022).
- [14] ShuboZhang. Review of Modern Field Effect Transistor Technologies for Scaling / Shubo Zhang // IOPScience.- 2020. Электронный ресурс. Режим доступа: <https://iopscience.iop.org/article/10.1088/1742-6596/1617/1/012054> (дата обращения: 11.05.2022).
- [15] AnandTech. Intel Announces first 22nm 3D Tri-Gate Transistors, Shipping in 2H 2011. Электронный ресурс. Режим доступа: <https://www.anandtech.com/show/4313/intel-announces-first-22nm-3d-trigate-transistors-shipping-in-2h-2011> (дата обращения: 11.05.2022).
- [16] Semantic scholar. Vertical GAAFETs for the Ultimate CMOS Scaling. Электронный ресурс. Режим доступа: <https://www.semanticscholar.org/paper/Vertical-GAAFETs-for-the-Ultimate-CMOS-Scaling-Yakimets-Eneman/a5dfbee404e8cb669e17a032f55bf3816b7402bf> (дата обращения: 11.05.2022).
- [17] Жалнин В.П. Особенности и перспективы экстремальной ультрафиолетовой литографии / Жалнин В.П., Коробенко И.С., Шадрин Ю.А. // Изд-во Межрегиональная общественная организация МНТОРЭС им. А.С. Попова. 2021. Выпуск 4. С. 3-16.
- [18] Redshark. VTFET: IBM/Samsung have created the next revolution in chip design. Электронный ресурс. Режим доступа: <https://www.redsharknews.com/ibm/samsung-have-created-the-next-revolution-in-chip-design> (дата обращения: 11.05.2022).
- [19] Ying-Yu Chen. Graphene Nano-Ribbon Field-Effect Transistors as Future Low-Power Devices / Ying-Yu Chen, Amit Sangai, Morteza Gholipour and Deming Chen // IEEE Xplore.- 2013. Электронный ресурс. Режим доступа: https://www.researchgate.net/publication/261299637_Graphene_nano-ribbon_field-effect_transistors_as_future_low-power_devices (дата обращения: 11.05.2022).
- [20] Journal of Nanotechnology. Stability Improvement of an Efficient Graphene Nanoribbon Field-Effect Transistor-Based SRAM Design. Электронный ресурс. Режим доступа: <https://www.hindawi.com/journals/jnt/2020/7608279/> (дата обращения: 11.05.2022).

Analysis of trends in the development of field-effect transistors

V.P. Zhalnin, A.I. Vlasov, I.S. Korobenko, Y.A. Shadrin

BMSTU, Moscow, vlasov@iu4.ru

Abstract — In modern nanoelectronics, scaling transistors are increasingly affected by short-channel effects and leakage currents, which are eliminated by modified field-effect transistor structures, including silicon-on-insulator, double-gate transistor, segmented transistor, comb-like channel transistor, ribbon and tube transistors with gate-round channel; structures like graphene transistors and transistors with vertical channel position are also investigated. They allow not only to improve the electrical characteristics of transistors, but also to increase their density and energy efficiency. It is proposed to separate the types of structures by channel position, because this is what reduces the impact of undesirable effects in the operation of transistors. As a result, designers and manufacturers can choose the optimal design implementation according to the technical requirements for the integrated circuit and the cost per transistor to be formed.

Keywords — short-channel effect, leakage current, DG MOSFET, SegFET, FDSOI MOSFET, FinFET, nanotubes, nanosheet, graphene, vertical channel.

Some results of the project were obtained with the financial support of the Ministry of Science and Higher Education of the Russian Federation for the project No. 0705-2020-0041 “Fundamental research of methods of

digital transformation of the component base of micro- and nano-systems”.

REFERENCES

- [1] Vaidi Subramanian, Bertrand Parvet, Josephine Borremans. Flat volumetric MOSFETs versus finite-state transistors: Analog/ RF perspective // IEEE Transactions on Electron Devices: IEEE Xplore, 2007. pp. 1-5.
- [2] F. D'Agostino, D. Quercia. Short-channel effects in MOSFETs // Introduction to VLSI design: EECS 467, 2002. pp. 2-4.
- [3] Vijay Sharma. Device scaling effect for a low-power environment // Department of Electronics and Communications: Report and Opinion, 2011. pp. 11-13
- [4] Market realist. Applied Materials launches CVD and CMP systems for 3D architecture. Electronic resource. Access mode: <https://marketrealist.com/2015/01/applied-materials-launched-cvd-cmp-systems-3d-architecture/> (accessed: 02.05.2022)
- [5] Byron Ho, King of Liu Tsu-jae. The evolutionary structure of MOSFETs and channel design for nanoscale CMOS technology // Engineering - Electrical Engineering and Computer Science: University of California at Berkeley, 2012. pp. 4-33.
- [6] Z.H. Liu. Threshold voltage model for deep submicrometric MOSFETs / Z.H. Liu, C. Hu, J.H. Huang, T.Y. Chan, M.C. Jeng, P.K. Ko, Y.C. Cheng // IEEE Xplore.- 1993. Electronic resource. Access mode:

- <https://ieeexplore.ieee.org/document/249429/authors#authors> (accessed: 05.05.2022)
- [7] N. Planes. 28-nm FDSOI technology platform for high-speed low-voltage digital applications / N. Plains, O. Weber, V. Barral, S. Handler, D. Noble // IEEE Xplore.-2012. Electronic resource. Access mode: https://www.researchgate.net/publication/279953528_28nm_FDSOI_technology_platform_for_high-speed_low-voltage_digital_applications (accessed: 05.05.2022)
- [8] MOSFETs with multiple gates - Interface process and material requirements. Electronic resource. Access mode: https://nccavs-usergroups.avs.org/wp-content/uploads/TFUG2008/2008_8king.pdf (accessed: 05/06/2022)
- [9] N. Xu, B. Ho, F. Andrieu, L. Smith, B.-Y. Nguyen, O. Weber, T. Puaru, O. Faino, T.-J. King Liu. Increasing the mobility of carriers using tensoengineering in future thin-walled MOSFETs // IEEE Elec. Dev. Lett., March 2012. pp. 318-321.
- [10] J.J. Fossum. Pragmatic design of nanoscale multi-gate CMOS / J.G. Fossum, L.Q. Wang, J.W. Yang, S.H. Kim, V.P. Trivedi // IEEE Xplore.- 2005. Electronic resource. Access mode: <https://ieeexplore.ieee.org/document/1419236> (accessed: 07.05.2022)
- [11] Eric J. Flur. Joshua Friedrich, Daniel Dreps. 12-core server-class processor in 22 nm SOI with a bandwidth of 7.6 Tb/s / IEEE International Solid-State Circuits Conference Collection of technical documents: ISSCC, 2014. pp. 102-121.
- [12] N. Lindert. Quasi-plane field-effect transistors with a length of less than 60 nm, manufactured using a simplified process / N. Lindert, L. Chang, Y.-K. Choi, E. H. Anderson, W.-K. Lee, T.-J. King, J. Bokor and K. Hu // IEEE Xplore.-2001. Electronic resource. Access mode: https://www.researchgate.net/publication/3254189_Sub-60-nm_quasi-planar_FinFETs_fabricated_using_a_simplified_process/citations (accessed: 09.05.2022)
- [13] S. Auth. 22-nm high-performance and low-power CMOS technology with fully depleted three-gate transistors, self-aligning contacts and high-density MIM capacitors / C. Auth, C. Allen, A. Blattner, D. Bergstrom // IEEE Xplore.-2012. Electronic resource. Access mode: <https://ieeexplore.ieee.org/document/6242496?arnumber=6242496> (accessed: 09.05.2022)
- [14] Shubo Zhang. Overview of modern scaling technologies on field-effect transistors / Shubo Zhang // IOPscience.-2020. Electronic resource. Access mode: <https://iopscience.iop.org/article/10.1088/1742-6596/1617/1/012054> (accessed: 05/11/2022)
- [15] Anandtech. Intel announces the first 22nm 3D transistors with three gates, which will be delivered in the 2nd half of 2011. Electronic resource. Access mode: <https://www.anandtech.com/show/4313/intel-announces-first-22nm-3d-trigate-transistors-shipping-in-2h-2011> (accessed: 05/11/2022)
- [16] Semantic scientist. Vertical GAAFETs for maximum CMOS scaling. Electronic resource. Access mode: <https://www.semanticscholar.org/paper/Vertical-GAAFETs-for-the-Ultimate-CMOS-Scaling-Yakimets-Eneman/a5dfbee404e8cb669e17a032f55bf3816b7402bf> (accessed: 05/11/2022)
- [17] Zhalnin V.P. Features and prospects of extreme ultraviolet lithography / Zhalnin V.P., Korobenko I.S., Shadrin Yu.A. // Publishing house Interregional Public Organization MNTORES named after A.S. Popov. 2021. Issue 4. pp. 3-16.
- [18] Red shark. VTFET: IBM/Samsung have created the next revolution in chip design. Electronic resource. Access mode: <https://www.redsharknews.com/ibm/samsung-have-created-the-next-revolution-in-chip-design> (accessed: 05/11/2022)
- [19] Ying-Yu Chen. Graphene Nano-ribbon field-effect transistors as low-power devices of the future / Ying-Yu Chen, Amit Sangai, Morteza Golipur and Deming Chen // IEEE Xplore.- 2013. Electronic resource. Access mode: https://www.researchgate.net/publication/261299637_Graphene_nano-ribbon_field-effect_transistors_as_future_low-power_devices (accessed: 05/11/2022)
- [20] Journal of Nanotechnology. Improving the stability of an efficient SRAM design based on graphene nanofibers based on field-effect transistors. Electronic resource. Access mode: <https://www.hindawi.com/journals/jnt/2020/7608279/> (accessed: 05/11/2022).