Методика ускоренной характеризации многоразрядных триггеров с контролем точности

С. А. Ильин^{1,2}, О. В. Ласточкин¹, Н. А. Ищенко²

¹ НИИ молекулярной электроники (АО «НИИМЭ»), г. Москва, silin@niime.ru

² Национальный исследовательский университет «МИЭТ»

Аннотация — Снижение потребляемой мощности является одной из важнейших задач проектирования современных СБИС. Существуют различные подходы к задачи. Одним из решению данной методов. позволяющих сократить потребляемую мощность является использование библиотек многоразрядных триггеров. Наиболее длительным этапом маршрута проектирования библиотеки многоразрядных триггеров является этап характеризации. В данной статье предлагается методика, позволяющая пользователю сократить временные затраты на характеризацию многоразрядного триггера за счет незначительной потери точности.

Ключевые слова — многоразрядный триггер, потребляемая мощность, временные ограничения, библиотека стандартных цифровых ячеек, маршрут проектирования, СБИС.

I. Введение

Классический подход к проектированию интегральных схем ориентируется на достижение целевой производительности в пределах заданной площади кристалла [1–3]. Использование многоразрядных триггеров позволяет сократить потребляемую мощность и занимаемую площадь.

Одним ИЗ наиболее этапов сложных проектирования библиотеки многоразрядных триггеров этап характеризации. является С увеличением числа разрядов многоразрядного триггера увеличиваются объём данных и затраченное время на характеризацию. Это происходит из-за экспоненциально увеличивающегося количества анализируемых состояний и переходов между ними.

Данный этап крайне важен для точности результатов статического временного анализа. Он позволяет максимально точно выполнять оценку мощностных характеристик временных И проектируемой СБИС. Потребляемая мощность определяет основные характеристики разрабатываемой системы. Целевая частота и энергопотребление ключевые показатели производительности. Инструменты статического временного анализа используют данные ИЗ библиотек стандартных многоразрядных ячеек. цифровых элементов И статического Промышленный стандарт для временного анализа — формат Liberty, получаемый в автоматизированном режиме с использованием Synopsys SiliconSmart, Cadence Liberate и других специализированных САПР характеризации. Формат позволяет моделировать быстродействие, мощности и шумы с необходимой точностью [4].

Работа организована следующим образом: раздел II содержит справочный материал: информация о многоразрядных триггерах представлена в разделе II-А. Преимущества и недостатки многоразрядных триггеров представлены в разделе II-В. Процедура генерации исходного эталонного Liberty-файла показана в разделе II-С. Раздел III описывает виды мощности в стандартной ячейке и расчетные формулы. Предлагаемая методика и алгоритм характеризации поясняются в разделе IV. Выводы и заключение представлены в разделе V.

II. Справочная информация

А. Многоразрядные триггеры

Классическая последовательностная схема содержит вход данных D, вход тактового сигнала CLK и выход Q. Примерами базовых последовательностных схем являются триггеры по фронту или уровню и их многоразрядные компоновки — регистры. Повысить верифицируемость и тестируемость СБИС помогают специальные триггеры с цепями сканирования (scan chains). Общая структурная схема такого триггера представлена на рис. 1. Как правило, к традиционному D-триггеру добавляется мультиплексор с обычным входом данных D, входом сканирования SD и сигналом, разрешающим режим сканирования, SE [3].



Рис. 1. Общий вид базовой последовательностной схемы

Многоразрядные триггеры строятся на основе одноразрядных триггеров. Реализация двухбитного сканирующего триггера представлена на рис. 2.



Рис. 2. Вариант реализации двухбитного сканирующего D-триггера

Сигнал синхронизации и сигнал разрешения сканирования являются общими, но вход данных, вход сканирования и выходы триггеров — уникальны для каждого разряда.

В. Преимущества и недостатки многоразрядных триггеров

Разработчики применяют многоразрядные триггеры в основном для проектирования схем с низким энергопотреблением. Количество разрядов увеличивают от 2 до 8 или 16, чтобы получить большую экономию площади и потребляемой мощности. Дальнейший рост количества разрядов может привести к серьезным перекрестным помехам повышенной плотности из-за расположения сигнальных шин [4]. Использование многоразрядных ячеек вместо нескольких одноразрядных позволяет уменьшить площадь за счет объединения функционала блоков и их оптимизированного размещения. Такой подход уменьшает общую длину сети дерева тактового сигнала (рис. 3) и, соответственно, потребляемую мощность [5].



Рис. 3. Построение дерева тактового сигнала на основе однобитных (слева) и многобитных (справа) триггеров

Топология многоразрядных тригтеров выполняется более компактно. Сравнение площади многобитных ячеек и суммарной площади соответствующего числа однобитных приведено в таблице 1.

Таким образом, многоразрядные триггеры имеют следующие преимущества перед традиционными:

- итоговая площадь ячейки уменьшается из-за уменьшения количества элементов в управляющем блоке;
- значительно снижаются токи утечки в статическом режиме из-за меньшего количества транзисторов;

 динамическая мощность снижается из-за уменьшения количества буферов тактовых импульсов.

Таблица 1

Разница в площади многобитного триггера и соответствующего количества однобитных для разных типов ячеек

Ячейка	bit	1-bit	multi-bit	diff,%
SDFPQ	2	6,72	6,04	- 10.0
	4	13,44	11,42	- 15.0
	8	26,88	22,17	- 17.5
SDFPRH Q	2	8,06	7,05	- 12.5
	4	16,12	13,44	- 16.7
	8	32,25	26,20	- 18.8
SDFPSQ	2	7,73	7,05	- 8.7
	4	15,45	13,44	- 13.0
	8	30,91	26,20	- 15.2

Временные характеристики многоразрядных триггеров могут ухудшаться в сравнении с их одноразрядным аналогом. В зависимости от разрядности временные характеристики снижаются на 10-20%. Данный компромисс является ожидаемым, так как многоразрядный триггер – это решение, разработанное для снижения мощности и экономии площади [5,6].

С. Генерация эталонного Liberty-файла

При генерации эталонного Liberty-файла настройки характеризации были выполнены таким образом, чтобы получившаяся модель содержала полный набор условий измерений задержек, мощности, входной емкости и временных ограничений. В данной работе в качестве оптимизирующих критериев использовались столбцы времени характеризации (SC Time) и количества симуляций (Sims).

Таблица 1

Ячейка	Разряды	Время характеризации, мин
SDFPQ	2	17,66
	4	22,59
	8	22,72
	2	21,70
SDFPRHQ	4	29,23
	8	29,27
SDFPSQ	2	27,88
	4	39,39
	8	39,45

Время характеризации эталонного Liberty-файла для разных типов многоразрядных триггеров

Далее для сокращения числа экспериментов и лучшей наглядности выбран набор 4-разрядных триггеров различной функциональности.

III. Виды мощности

Современные САПР характеризации позволяют широко изменять настройки для расчета параметров мощности и утечки. Как правило, выделяют два компонента: динамический и статический. Динамический связан с зарядом / разрядом емкостных структур КМОП, и его оценка обычно основывается на следующем выражении:

$$P_{dyn} = \frac{1}{2} \times VDD^2 \times f \times \sum \alpha_i C_i, \tag{1}$$

где C_i – емкость i-го перезаряжаемого узла, VDD – напряжение питания, α_i – переключательная активность, f – частота работы. Выражение (1) не учитывает токи короткого замыкания, которые также можно отнести к динамическому компоненту. В общем виде выражение (1) для точного расчета мощности использовать затруднительно, так как значение перезаряжаемой емкости не является постоянным. Более широко разработчики применяют методы расчета, основанные на измерении общей потребляемой энергии вычислении И средней коммутационной мощности. В качестве дополнительной метрики в этих методах оперируют оценкой максимального (пикового) тока.

Компоненты статической мощности, или утечки, определяются различными механизмами, которые могут варьироваться в зависимости от технологии – поэтому аналитические модели не используются в САПР. Традиционно предполагается, что утечка равна постоянной величине или зависит только от комбинации входных сигналов. Ключевая особенность глубоко-субмикронных технологий по сравнению с более старыми технологиями — значительное увеличение токов утечки относительно динамической мощности. Этот фактор привел к необходимости разработки новых подходов к оценке мощности на ранних стадиях проектирования [7].



Рис. 4. Измерение мощности стандартной ячейки

Модель для анализа мощности должна обеспечивать быстрый анализ поведения стандартной ячейки для различных входных данных. Измерение мощности в процессе характеризации показано на рис. 4 [8].

Полный заряд Q_{switch} можно определить, интегрируя полный ток, потребляемый схемой:

$$Q_{switch} = \int_{T_{start}}^{T_{end}} (I_{VDD}) dt$$
 (2)

Чтобы найти компонент, связанный с утечкой, установившееся в конце периода переключения значение тока умножается на напряжение питания:

$$P_{leakage} = VDD \times average \left[\int_{T_{leak_{start}}}^{T_{end}} (I_{VDD}) dt \right] (3)$$

Полученные по формуле (3) значения мощности утечки рассчитываются для всех комбинаций входного фронта и емкости нагрузки, после чего вычисляется средняя мощность утечки *P_{medianleakage}*. Полученное значение умножается на время измерения и вычитается из общей энергии для каждой комбинации входного фронта и емкости нагрузки. Такой подход позволяет избежать ошибок, когда измерение мощности утечки по какой-то причине нестабильно, например, когда переходные процессы продолжаются в конце моделирования.

Таким образом, потребляемая мощность будет равна общей мощности за вычетом мощности утечки. Когда выход переключается с «0» на «1», энергия, необходимая для зарядки емкости внешней нагрузки, также вычитается [8, 9]:

$$E_{fall} = (Q_{switch} \cdot VDD) - (P_{medianleakage} \cdot T_{power}) \quad (4)$$

$$E_{rise} = E_{fall} - \frac{C_L \cdot VDD^2}{2}$$
(5)

Коммутационная, или межсоединительная, мощность — это мощность, рассеиваемая емкостной нагрузкой схемы в момент её переключения. Она используется для расчета полной мощности. Переключательная мощность зависит от емкостной нагрузки, соответствующей тактовой частоты и напряжения питания. Модель библиотеки Synopsys Liberty поддерживает все перечисленные параметры, кроме переключательной активности.

IV. ПРЕДЛАГАЕМАЯ МЕТОДИКА

Эталонная модель содержит максимально полный перебор условий измерений мощности. Можно считать, что данная модель является самой точной из всех возможных.

В ходе анализа использовались входные тестовые воздействия, обеспечивающие полный перебор всех возможных состояний многоразрядного тригтера. Для проверки результатов характеризации была выполнена проверка корреляции данных анализа мощности с помощью Synopsys PrimePower с полной Libertyмоделью и данных SPICE-моделирования. Результаты данной проверки для тригтеров представлены в таблице 3.

Таблица 2

Относительное отклонение результатов SPICEмоделирования от данных в Liberty-файле на примере четырёхразрядной ячейки

Ячейка		Отклонение,	/0
	Internal	Leakage	Total
SDFPQ	8,80	- 11,48	3,63
SDFPRHQ	3,38	- 13,93	0,63
SDFPSQ	4,97	- 14,72	1,67

В ходе анализа заданий на измерения, было показано, что мощность переключения, входящая в динамическую мощность, зависит от управляющих входов, таких как синхросигнал, сигналы сброса и По результатам сравнения расчета установки. мощности на основе Liberty-файла и расчета средствами SPICE-моделирования (табл. 3), установлено, что мощность утечки имеет отклонение более десяти процентов, несмотря на полный перебор условий при характеризации. Данный факт свидетельствует о том, что сокращение количества условий характеризации приведёт к увеличению отклонений, что является неприемлемым. Таким образом главным местом оптимизации условий расчета общей мощности является внутренняя мощность.

Таблица 4

Относительное отклонение результатов SPICEмоделирования от данных Liberty после характеризации с рекомендуемым набором векторов на примере четырехразрядной ячейки

Ячейка	Внутренняя мощность, %		Полная мощность, %	
	Было	Стало	Было	Стало
SDFPQ	8,80	8,75	3,63	3,56
SDFPRHQ	3,38	1,28	0,63	- 0,54
SDFPSQ	4,97	10,15	1,67	4,91

На основе значений из Liberty-файла для эталонной модели были определены условия, при которых внутренняя мощность имеет наименьшие значения (~ 10^{-9} Вт), которые могут быть обусловлены схемотехнической архитектурой: такими входными векторами можно пренебречь. Был установлен набор условий измерения внутренней мощности, который позволил сократить количество симуляций и время Чтобы убедиться, характеризации. что характеризованная с новым набором заданий на измерения модель пригодна для коммерческой разработки, была проведена повторная сравнительная проверка результатов анализа мощности из Libertyфайла и SPICE моделирования. Результаты представлены в таблице 4. Авторы считают, что приемлемым результатом будет отклонение в пределах 15%.

После того, как пригодность предлагаемой модели подтверждена сравнением с эталонным SPICEмоделированием, можно оценить, какой выигрыш по времени характеризации может дать обновленный набор условий. В таблице 5 приведен отчёт о затраченных ресурсах на характеризацию входных векторов динамической мощности обновленной модели.

Таблица 5

Относительное изменение времени характеризации и количества симуляций после применения предложенной методики на примере четырехразрядной ячейки

Ячейка	Изменение времени характеризации, %	Изменение числа симуляций, %
SDFPQ	- 12,6	- 12,3
SDFPRHQ	- 12,2	- 13,3
SDFPSQ	- 12,1	- 16,1

V. ЗАКЛЮЧЕНИЕ

В статье предлагается методика ускоренной характеризации многоразрядных триггеров С точности. Сформированы критерии контролем оптимизации процесса характеризации и приведены результаты сравнения модифицированной Libertyмодели И результатов SPICE-моделирования. Предлагаемая методика позволяет сократить время характеризации динамической мощности многоразрядного триггера на 12% при сохранении приемлемой точности.

Поддержка

Работа выполнена в рамках госзадания МИЭТ (тема FSMR-2020-0017 / AAAA-A20-120071490038-5).

ЛИТЕРАТУРА

- [1] Красников Г.Я., Зайцев Н.А. Наноэлектроника: состояние, проблемы и перспективы развития // Нано- и микросистемная техника. 2009. № 1 (102). С. 2-5
- [2] Красников Г.Я., Орлов О.М. Отличительные особенности и проблемы КМОП-технологии при уменьшении проектной нормы до уровня 0,18 мкм и меньше // Российские нанотехнологии. 2008. Т. 3. № 7-8. С. 124-128
- [3] Ильин С. А. Выбор базовых схемотехнических решений для проектирования библиотек цифровых ячеек / С. А. Ильин // Известия высших учебных заведений. Электроника. – 2015. – Т. 20. – № 1. – С. 44-49.
- [4] Ильин С.А., Ласточкин О.В., Ищенко Н.А. Методика расчета зависимых временных ограничений для библиотек стандартных цифровых ячеек // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2021. Выпуск 2. С. 17-22. doi:10.31114/2078-7707-2021-2-17-22
- [5]Калашников В.С., Семёнов М.Ю., Титов Ю.А. Особенности использования многоразрядных триггеров для уменьшения потребляемой мощности в нанометровых технологиях // Проблемы разработки перспективных микро- и наноэлектронных систем

(МЭС). 2020. Выпуск 3. С. 180-187. doi:10.31114/2078-7707-2020-3-180-187

- [6]Калашников В.С., Семёнов М.Ю. Особенности проектирования сложных стандартных ячеек в передовых FinFET технологиях // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2021. Выпуск 1. С. 35-42. doi:10.31114/2078-7707-2022-1-35-42
- [7]Ильин С.А., Коршунов А.В., Гарбулина Т.В. Сравнительный анализ энергоэффективности библиотек по технологии FinFET 7 нм // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2020. Выпуск 4. С. 169-173. doi:10.31114/2078-7707-2020-4-169-173
- [8] Korshunov, A. V. The Technique of Fast Power Analysis for FinFET Standard Cells / A. V. Korshunov, S. A. Ilin // Proceedings of 2018 IEEE East-West Design and Test Symposium, EWDTS 2018 : electronic publication, Kazan, 14–17 сентября 2018 года. – Kazan: Institute of Electrical and Electronics Engineers Inc., 2018. – P. 8524810. – DOI 10.1109/EWDTS.2018.8524810
- [9] Ильин С.А., Заплетина М.А., Ласточкин О.В. Алгоритм оптимизации энергопотребления стандартных ячеек на основе методологии Logical Effort // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2021. Выпуск 3. С. 34-38. doi:10.31114/2078-7707-2021-3-34-38.

Accelerated Characterization Technique for Multi-bit Flip-flops with Accuracy Control

S.A.Ilyin^{1,2}, O.V.Lastochkin¹, N.A.Ischenko²

¹ Research Institute of Molecular Electronics (JSC "NIIME"), Moscow, silin@niime

² National Research University "MIET"

Abstract — Power consumption reducing is one of the most important challenges for modern System-on-a-Chip (SoC). There are various ways to solve this problem. One of the ways to reduce both the power consumption and the area occupied is the use of multi-bit cells. Longest stages of standard cell libraries design flow is characterization. Article discusses a method for controlling the accuracy of multi-bit triggers characterization. A method allows you to control the time depending on the accuracy. The reference model contains the most complete enumeration of power measurement conditions. To verify this, a correlation check of the results of power analysis using Synopsys PrimePower was carried out. When analyzing the measurement tasks, it was found that the switching power included in the dynamic power depends on the control inputs, such as clock signal, reset and set signals. Thus, the main place for optimizing the conditions for calculating the total power is the internal power. In order to make sure that the model is suitable for commercial development, a re-correlation test of the power analysis results from the Liberty against SPICE was carried out. This article discusses a technique for accelerated characterization of multi-bit flip-flops with accuracy control, formulates optimization criteria for the characterization process, and presents the results. The proposed technique makes it possible to reduce the time for characterizing the dynamic power of a multi-bit trigger by 12% while maintaining acceptable accuracy.

Keywords — multi-bit trigger, frequency, time constraints, digital library, standard cell library, design route, nanometer technology, VLSI.

REFERENCES

- Krasnikov G.Ya., Zaitsev N.A. Nanoelectronics: state, problems and development prospects // Nano- and microsystem technology. 2009. No. 1 (102). pp. 2-5
- [2] Krasnikov G.Ya., Orlov O.M. Distinctive features and problems of CMOS technology when the design norm is reduced to the level of 0.18 microns and less // Russian Nanotechnologies. 2008. Vol. 3. No. 7-8. pp. 124-128
- [3] Ilyin S. A. The choice of basic circuit solutions for the design of libraries of digital cells / S. A. Ilyin // Izvestia of higher

educational institutions. Electronics. - 2015. - T. 20. - No. 1. - S. 44-49. - EDN TMZZPX.

- [4] Ilin S.A., Lastochkin O.V., Ishchenko N.A. Methodology of calculating dependent timing constraints for libraries of standard digital cells // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2021. Issue 2. P. 17-22. doi:10.31114/2078-7707-2021-2-17-22
- [5] Kalashnikov V.S., Semenov M.Y., Titov Y.A. Multi-bit flipflop usage features to reduce power in nanotechnologies // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2020. Issue 3. P. 180-187. doi:10.31114/2078-7707-2020-3-180-187
- [6] Kalashnikov V.S., Semenov M.Y. Complex Standard Cells Design Features in Advanced FinFET Technologies // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2021. Issue 1. P. 35-42. doi:10.31114/2078-7707-2022-1-35-42
- [7] Ilin S.A., Korshunov A.V., Garbulina T.V. Benchmarking Energy Efficiency of Libraries on FinFET 7nm // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2020. Issue 4. P. 169-173. doi:10.31114/2078-7707-2020-4-169-173
- [8] Korshunov, A. V. The Technique of Fast Power Analysis for FinFET Standard Cells / A. V. Korshunov, S. A. Ilin // Proceedings of 2018 IEEE East-West Design and Test Symposium, EWDTS 2018 : electronic publication, Kazan, 14– 17 сентября 2018 года. – Kazan: Institute of Electrical and Electronics Engineers Inc., 2018. – P. 8524810. – DOI 10.1109/EWDTS.2018.8524810
- [9] Ilin S.A., Zapletina M.A., Lastochkin O.V. Optimization of Standard Cells Power Consumption: Logical Effort Based Algorithm // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2021. Issue 3. P. 34-38. doi:10.31114/2078-7707-2021-3-34-38