

# Реализация оптимальных по площади КИХ-фильтров на основе перекодировочных таблиц для обработки сигнала сигма-дельта модулятора

М.Н. Скрипниченко<sup>1,2</sup>

<sup>1</sup> Национальный исследовательский университет «Московский институт электронной техники», г. Москва

<sup>2</sup>АО НПЦ ЭЛВИС, г. Москва, mskripnichenko@elvees.com

**Аннотация** — В статье предложен вариант реализации КИХ-фильтров для многостадийной архитектуры сигма-дельта АЦП с использованием перекодировочных таблиц. Приведены примеры разбиения подобного фильтра на подтаблицы и показан минимальный по площади вариант.

**Ключевые слова** — сигма-дельта АЦП, КИХ-фильтры, децимация, перекодировочные таблицы.

## I. ВВЕДЕНИЕ

Сигма-дельта АЦП — один из самых распространенных аналого-цифровых преобразователей. Классическая архитектура преобразователя, изображенная на рис. 1, включает в себя модулятор и цифровой децимирующий фильтр. [1 простая структура СД АЦП].

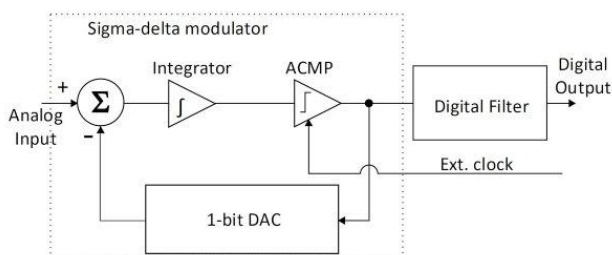


Рис. 1. Пример классического сигма-дельта АЦП

В последнее время [2-8] наблюдается повышенный интерес к архитектуре расшифровка (MASH), пример реализации которой изображен на рис. 2. Как можно видеть, для каждой стадии с отдельными выходами модуляторов требуется отдельный цифровой децимирующий фильтр. В связи с увеличением количества цифровых фильтров актуальным становится задачи уменьшения занимаемой ими площади.

Одна из особенностей модулятора — почти всегда [9] однобитный выход, что несколько упрощает структуру фильтра, превращая это в набор сумматоров.

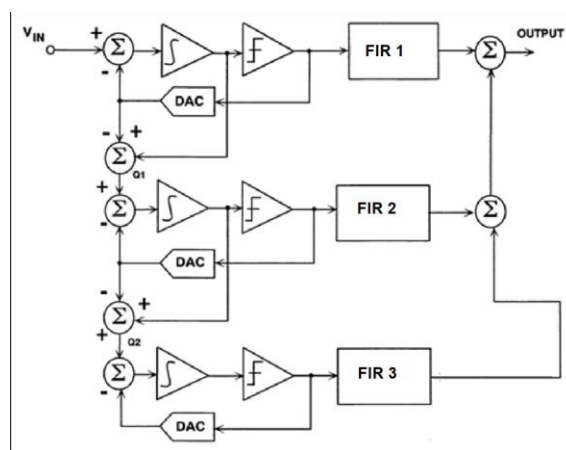


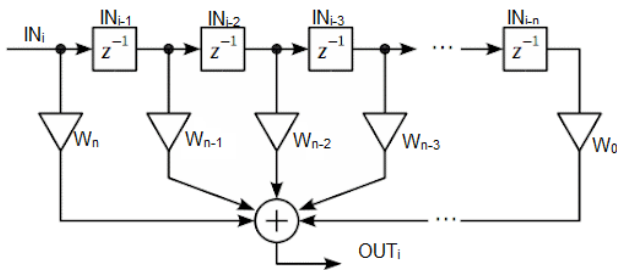
Рис. 2. Пример сигма-дельта АЦП с архитектурой MASH и тремя цифровыми КИХ-фильтрами

## II. ЦИФРОВОЙ ФИЛЬТР НА ОСНОВЕ ПЕРЕКОДИРОВОЧНОЙ ТАБЛИЦЫ

### A. Структура классического фильтра

Есть различные подходы к реализации цифрового децимирующего фильтра. Его структура во многом определяется конструкцией аналоговой части — если речь идет о классической схеме сигма-дельта модулятора с однобитным выходом, то цифровой фильтр имеет единичный коэффициент усиления в полосе пропускания и подавление шума квантования за ее пределами. Кроме того, выходной сигнал фильтра децимируется, поскольку частота дискретизации выходного кода сигма-дельта АЦП многократно меньше частоты работы сигма-дельта модулятора.

Структурная схема такого фильтра [10] продемонстрирована на рис. 3. Там изображены элементы задержки, умножители задержанных отсчетов на коэффициенты фильтра и итоговый сумматор.



**Рис. 3. Классическая структура КИХ-фильтра**

Математически данный фильтр можно описать так:

$$OUT_i = IN_i * W_n + IN_{i-1} * W_{n-1} + \dots + I_{i-n} * W_0, \quad (1)$$

где  $OUT_i$  – выходной отсчет фильтра на  $i$ -м такте,

$IN_i$  – входной отсчет фильтра на  $i$ -такте,

$IN_{i-1}$  – задержанный на один такт входной отсчет фильтра,

$W_n, \dots, W_0$  – коэффициенты фильтра для текущего и задержанных на требуемое количество тактов отсчетов.

В случае использования архитектуры MASH количество фильтров увеличивается в соответствии с увеличением количества выходов сигма-дельта модуляторов. Кроме того, АФЧХ таких фильтров становится сложнее по мере увеличения стадии [11].

Процесс фильтрации входного сигнала  $IN$  с использованием ядра фильтра  $F$  можно описать как операцию свертки, следовательно:

$$OUT = ((IN * F_{dec}) \downarrow N) * F_{rec}, \quad (2)$$

где  $IN$  – набор сигналов с компаратора,

$F_{dec}$  – ядро децимирующего фильтра в высокочастотной области,

$F_{rec}$  – ядро нетривиального фильтра в низкочастотной области,

$\downarrow N$  – децимация выходного сигнала в  $N$  раз.

Поскольку при использовании архитектуры MASH требуется реализовать отдельный фильтр для каждого выхода модулятора [11], увеличивается совокупная площадь разрабатываемых фильтров, требуется решить задачу построения КИХ-фильтров с минимизацией занимаемой площади.

### В. Структура фильтра на основе перекодировочной таблицы

Для решения этой задачи предложена реализация КИХ-фильтра на основе перекодировочных таблиц с многоканальной архитектурой, позволяющая проводить фильтрацию с использованием ядра восстанавливающего фильтра и набора ядер децимирующих фильтров в низкочастотном домене.

Для уменьшения площади предлагается объединить ядра децимирующих фильтров и набора

ядер восстанавливающих фильтров, получив их значения в высокочастотном домене.

В силу ассоциативности операции свертки выражение  $X$  можно представить как

$$OUT = (IN * (F_{dec} * F_{rec})) \downarrow N, \quad (2)$$

где  $IN$  – набор сигналов с компаратора,

$F_{dec}$  – ядро децимирующего фильтра в высокочастотной области,

$F_{rec}$  – набор ядер восстанавливающих фильтров в низкочастотной области,

$\downarrow N$  – децимация выходного сигнала в  $N$  раз.

Таким образом, получается набор ядер ( $F_{dec} * F_{rec}$ ), используемых для фильтрации однобитного сигнала с выхода компаратора. В случае классической реализации КИХ-фильтров требуется набор сумматоров, позволяющих складывать либо вычитать коэффициенты децимирующего/восстанавливающего фильтра в зависимости от однобитного сигнала, пришедшего с выхода компаратора.

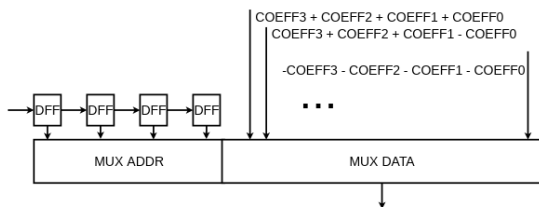
Автором предложена реализация фильтра с помощью перекодировочных таблиц, в строках которых находятся уже заранее рассчитанные и просуммированные требуемым образом весовые коэффициенты. Пример реализации подобной четырехвходовой таблицы для сигналов  $IN[0]$ ,  $IN[-1]$ ,  $IN[-2]$ ,  $IN[-3]$  и соответствующих им весовых коэффициентов  $W_0$ ,  $W_1$ ,  $W_2$ ,  $W_3$  представлен в Табл. X, соответствующая ей структурная схема фильтра представлена на рис. 4.

Таблица 1

Реализация четырехвходовой перекодировочной таблицы для КИХ-фильтра

$IN_0$	$IN_{-1}$	$IN_{-2}$	$IN_{-3}$	OUT
0	0	0	0	$-W_0 - W_1 - W_2 - W_3$
0	0	0	1	$-W_0 - W_1 - W_2 + W_3$
0	0	1	0	$-W_0 - W_1 + W_2 - W_3$
0	0	1	1	$-W_0 - W_1 + W_2 + W_3$
0	1	0	0	$-W_0 + W_1 - W_2 - W_3$
0	1	0	1	$-W_0 + W_1 - W_2 + W_3$

0	1	1	0	$-W_0 + W_1 + W_2 - W_3$
0	1	1	1	$-W_0 + W_1 + W_2 + W_3$
1	0	0	0	$W_0 - W_1 - W_2 - W_3$
1	0	0	1	$W_0 - W_1 - W_2 + W_3$
1	0	1	0	$W_0 - W_1 + W_2 - W_3$
1	0	1	1	$W_0 - W_1 + W_2 + W_3$
1	1	0	0	$W_0 + W_1 - W_2 - W_3$
1	1	0	1	$W_0 + W_1 - W_2 + W_3$
1	1	1	0	$W_0 + W_1 + W_2 - W_3$
1	1	1	1	$W_0 + W_1 + W_2 + W_3$



**Рис. 4. Реализация четырехвходовой таблицы поиска для КИХ-фильтра однобитного сигнала**

Для реализации восстанавливающих / децимирующих фильтров требуется не 4 коэффициента, а от 40 до 100. Использование 100-входного мультиплексора, имеющего значительное время задержки, накладывает серьезные ограничения на период используемого синхросигнала. Это приводит к задаче определения более оптимальной по таймингу структуры фильтра.

Фильтрацию с помощью перекодировочных таблиц можно представить как

$$\begin{aligned}
 OUT &= TABLE[IN] = \\
 &= IN[i] * W_0 + IN[-1] * W_1 + \\
 &+ \dots + IN[i - n] * W_n = \\
 &= \left( IN[i] * W_0 + IN[-1] * W_1 + \right) + \\
 &\quad \left( + \dots + IN[i - M_1] * W_{M_1} \right) + \\
 &\quad \left( IN[i - M_1 - 1] * W_{M_1 + 1} + \right. \\
 &\quad \left. + IN[i - M_1 - 2] * W_{M_1 - 2} + \dots \right) + \dots = \\
 &= TABLE_1[IN[i : i - M_1]] + \\
 &+ TABLE_2[IN[i - M_1 + 1 : i - M_2]] + \dots
 \end{aligned} \tag{3}$$

Таким образом, одну перекодировочную таблицу можно разделить на несколько таблиц меньшего размера и затем суммировать полученные результаты. В следующем разделе будет рассмотрен вопрос об оптимальном с точки зрения площади и задержки разбиении одной таблицы на группы подтаблиц.

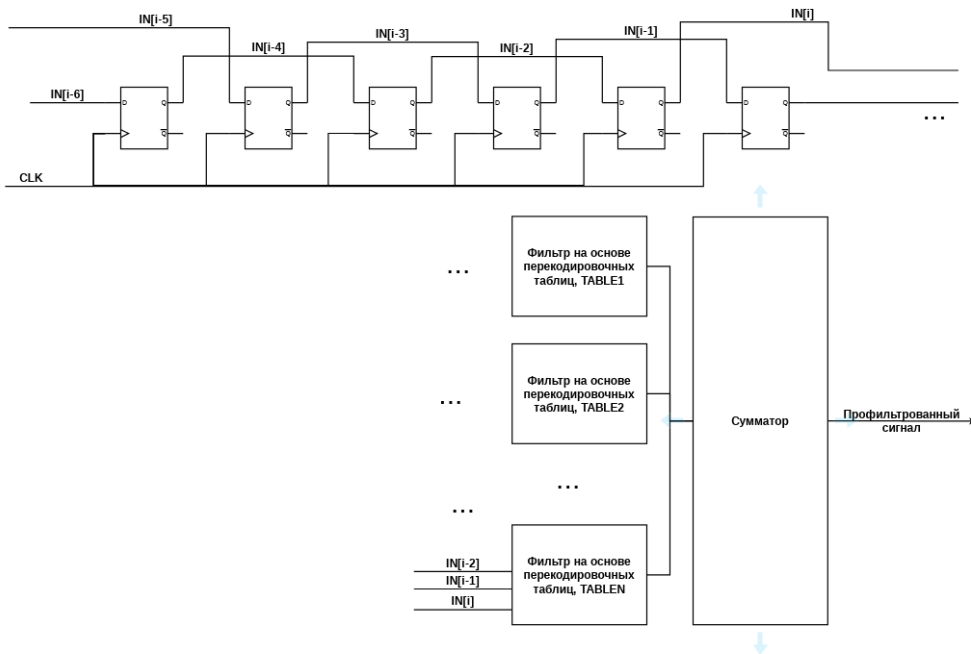
Реализация децимации происходит благодаря многоканальной архитектуре, которая подразумевает использование N линий задержки, в каждой из которых располагаются следующие друг за другом на расстоянии N тактов отсчеты. При этом регистры, входящие в состав линий задержки, подключены к низкочастотному синхросигналу с частотой, равной частоте выходных семплов преобразователя. Можно представить эти линии задержки как одну общую, в которой отсчеты сдвигаются не на один, а на N тактов.

На рис. 5 изображена окончательная структурная схема цифрового децимирующего / восстанавливающего фильтра на основе перекодировочной таблицы с многоканальной архитектурой.

### III. ОПТИМАЛЬНОЕ ПО ПЛОЩАДИ РАЗБИЕНИЕ ПЕРЕКОДИРОВОЧНЫХ ТАБЛИЦ

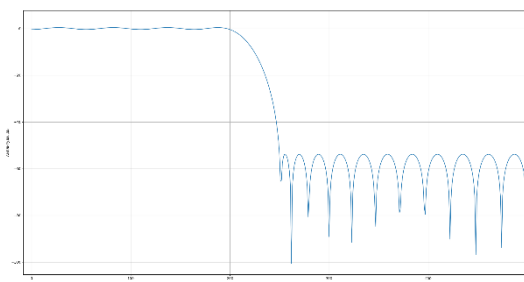
#### A. Исходные данные

Как упоминалось в главе 2, КИХ-фильтры предлагается реализовать на основе перекодировочных таблиц. При этом реализовать многовходовую таблицу, задержка которой укладывалась бы в период синхросигнала цифровой части, сложно. Поэтому в работе предлагается «разбить» одну перекодировочную таблицу на несколько малых с последующим суммированием результатов. В связи с этим важным является проведения исследования об оптимальном количестве входов малой таблицы для минимизации занимаемой площади.

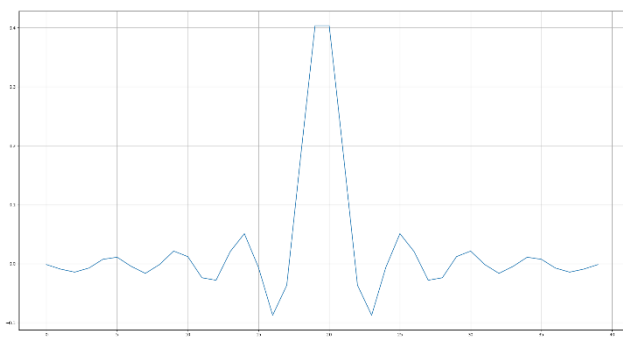


**Рис. 5. Реализация децимирующего сдвигового регистра и КИХ-фильтра однобитного сигнала**

Поскольку на ранних этапах разработки цифровой части итоговые АФЧХ фильтров не всегда известны, в качестве тестового фильтра предлагается использовать фильтр нижних частот 40-го порядка с единичным усилением в полосе пропускания  $f_p$ . Амплитудно-частотная характеристика фильтра  $f_p$  приведена на рис. 6, а его коэффициенты – на рис. 7.



**Рис. 6. Амплитудно-частотная характеристика фильтра  $f_p$**



**Рис. 7. Коэффициенты КИХ-фильтра  $f_p$**

### В. Варианты разбиения

В ходе исследования рассматривались различные варианты разбиения перекодировочной таблицы на малые со входами от 3 до 10. При этом в зависимости от разбиения в конец КИХ-фильтра дописываются нули, позволяющие увеличить порядок фильтра до числа, нацело делящегося на количество входов. Таблица 2 показывает возможные варианты разбиения с количеством получаемых таблиц и добавленных нулевых коэффициентов.

Таблица 2

#### Варианты разбиения перекодировочной таблицы

Количество входов	3	4	5	6	7	8	9	10
Количество добавленных нулевых коэффициентов	2	0	0	2	2	0	5	0
Количество таблиц	13	10	8	6	5	5	4	4

Была разработана программа, принимающая на вход коэффициенты КИХ-фильтра и возвращающая описанные на SystemVerilog наборы перекодировочных таблиц и сумматор, складывающий выходы этих таблиц.

Таблица 3.2 показывает результаты синтеза различных вариантов разбиения перекодировочной таблицы с разрядностью выхода 16 бит для библиотеки TSMC 90 nm LP с установкой периода синхросигнала 2.5 нс. Для логического синтеза использовался САПР Synopsys Design Compiler. По рис. 8 видно, что график зависимости имеет характер параболы. Как можно видеть, наиболее оптимальной с точки зрения площади

является реализация с разбиением перекодировочной таблицы на 6-входные малые таблицы.

Таблица 3

Результаты логического синтеза для различных вариантов разбиения перекодировочной таблицы

Количество входов	3	4	5	6	7	8	9	10
Занимаемая площадь, мкм <sup>2</sup>	6451	5031	4865	4752	5113	6025	8884	11964

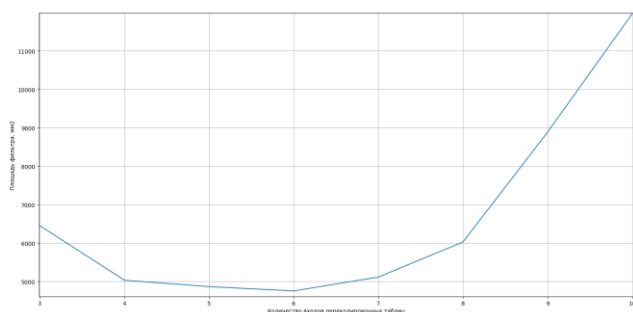


Рис. 8. Зависимость площади фильтров от количества входов перекодировочной таблицы

### С. Сравнение с классическими фильтрами

Был разработан классический КИХ-фильтр 40-го порядка с теми же коэффициентами, что использовались в предыдущем параграфе. с разрядностью выхода 16 бит для библиотеки TSMC 90 nm LP с установкой периода синхросигнала 2.5 нс. Для логического синтеза использовался САПР Synopsys Design Compiler. Результат синтеза составил 5 949 мкм<sup>2</sup>. Таким образом, занимаемая площадь при использовании перекодировочных таблиц уменьшается на 20.12 %.

### IV. ВЫВОДЫ

В статье описан предложенный автором вариант реализации КИХ-фильтров для многостадийных сигма-дельта АЦП с несколькими модуляторами и КИХ. Показана структурная схема и выражения, описывающие разбиение одной таблицы на несколько подтаблиц. Продемонстрировано, что наиболее оптимальным по площади является разбиение на шестивходовые таблицы, а их использование позволяет уменьшить занимаемую площадь на 20.12% по сравнению с классической архитектурой.

### БЛАГОДАРНОСТИ

Автор выражает благодарность Андрею Александровичу Беляеву и Дмитрию Владимировичу

Скоку за помощь в подготовке и проведении исследования.

### ЛИТЕРАТУРА

- [1] How delta-sigma adcs work, part 1 (rev. A) - texas instruments [Electronic resource]. URL: <https://www.ti.com/lit/an/slyt423a/slyt423a.pdf?ts=1622665970619> (дата обращения: 25.08.2022).
- [2] Shahghasemi M., Yavari M. Mash  $\Sigma\Delta$  modulators with a noise-shaped two-step ADC in the Second Stage // Integration. 2017. Vol. 56. P. 77–85.
- [3] Candy J.C., Temes G.C. Multistage SigmaDelta Modulation: essay // Oversampling Delta-Sigma Data Converters: Theory, design, and simulation. Piscataway, NJ: IEEE Press, 1992.
- [4] Коротков А.С., Морозов Д.В., Пилипко М.М., Енученко М.С. 12-разрядный дельта-сигма АЦП для мониторинга состояния высокотемпературных объектов // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2020. Выпуск 1. С. 95-99. doi:10.31114/2078-7707-2020-1-95-99
- [5] Уваров А.К., Ракитин В.В. 16-ти разрядный 6.4 МГц КМОП сигма-дельта АЦП для обработки звука // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2008. Сборник научных трудов / под общ. ред. А.Л.Стемпковского. М.:ИППИМ РАН, 2008. С. 370-373.
- [6] Chou W. Sigma Delta and multi-stage Sigma Delta modulation with inside loop dithering // [Proceedings] ICASSP 91: 1991 International Conference on Acoustics, Speech, and Signal Processing. 1991.
- [7] Nguyen V.T. et al. Generalized multi-stage closed Loop Sigma Delta Modulator // 2011 IEEE International Symposium of Circuits and Systems (ISCAS). 2011.
- [8] Halonen S.L.K. A differential 25 mbit/s switched-current Delta-Sigma Modulator [Electronic resource] // ScienceGate. IEEE. URL: <https://www.sciencegate.app/document/10.1109/iscas.1996.539982> (дата обращения: 25.08.2022).
- [9] Tutorial sigma-delta adcs [Electronic resource] // Maxim Integrated. URL: <https://www.maximintegrated.com/en/design/technical-documents/tutorials/1/1870.html> (дата обращения: 25.08.2022).
- [10] How delta-sigma adcs work, part 2 - Texas Instruments [Electronic resource]. URL: <https://www.ti.com/lit/an/slyt438/slyt438.pdf> (дата обращения: 25.08.2022).
- [11] CN-0118 (rev. A) - analog devices [Electronic resource]. URL: <https://www.analog.com/media/en/reference-design-documentation/reference-designs/CN0118.pdf> (дата обращения: 25.08.2022).

# Implementation of Area Optimal FIR Filters Based on Lookup Tables for Sigma-Delta Modulator Signal Processing

M.N. Skripnichenko<sup>1,2</sup>

<sup>1</sup> National Research University of Electronic Technology, Moscow

<sup>2</sup> Joint Stock Company Research and Development Center «ELVEES», Moscow, Zelenograd, mskripnichenko@elvees.com

**Abstract** —The article proposes an implementation option for FIR filters for a multi-stage sigma-delta ADC architecture using lookup tables. Examples of splitting such a filter into subtables are given and the minimum area variant is shown.

The sigma-delta ADC is one of the most widely used analog-to-digital converters. The classic converter architecture shown includes a modulator and a digital decimator. Recently there has been an increased interest on the MASH architecture with each stage having separate modulator outputs that require a separate digital decimation filter. In connection with the increase in the number of digital filters, the task of reducing the area occupied by them becomes relevant.

In the case of the classical implementation of FIR filters, a set of adders is required to add or subtract the decimation/reconstruction filter coefficients depending on the one-bit signal coming from the comparator output.

The author proposes the implementation of the filter using conversion tables, in the lines of which weight coefficients are placed, that have been pre-calculated and summed up in the required way. Here is an example of the implementation of a four-input table for input signals IN[0], IN[-1], IN[-2], IN[-3] and their corresponding weight coefficients W0, W1, W2, W3: for the values IN[0:-3]=0000 the result is -W0-W1-W2-W3, for IN[0:-3]=0001 the result is -W0-W1-W2+W3, and so on.

A program was developed, that takes the coefficients of the FIR filter as input and returns the sets of recoding tables described on SystemVerilog and an adder that adds the outputs of these tables.

It is difficult to implement a multi-input table, the delay of which would fit into the period of the clock signal of the digital part. Therefore, the paper proposes to “split” one recoding table into several small ones, followed by summing up the results. In this regard, it is important to conduct a study on the optimal number of entries in a small table to minimize the occupied area. It is shown that the most optimal in terms of area is partitioning into six-input tables, and their use allows reducing the occupied area by 20.12% compared to the classical architecture.

**Keywords** — sigma-delta ADC, FIR filters, Look up tables, decimation.

## REFERENCES

- [1] How delta-sigma adcs work, part 1 (rev. A) - texas instruments [Electronic resource]. URL: <https://www.ti.com/lit/an/slyt423a/slyt423a.pdf?ts=1622665970619> (access data: 25.08.2022).
- [2] Shahghasemi M., Yavari M. Mash  $\Sigma\Delta$  modulators with a noise-shaped two-step ADC in the Second Stage // Integration. 2017. Vol. 56. P. 77–85.
- [3] Candy J.C., Temes G.C. Multistage SigmaDelta Modulation: essay // Oversampling Delta-Sigma Data Converters: Theory, design, and simulation. Piscataway, NJ: IEEE Press, 1992.
- [4] Korotkov A.S., Morozov D.V., Pilipko M.M., Yenuchenko M.S. 12-bit delta-sigma ADC for monitoring high-temperature objects // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2020. Issue 1. P. 95-99. doi:10.31114/2078-7707-2020-1-95-99
- [5] Uvarov A.K., Rakitin V.V. 16-digit 6.4 MHz CMOS sigma-delta ADC for sound processing // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2008. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2008. P. 370-373.
- [6] Chou W. Sigma Delta and multi-stage Sigma Delta modulation with inside loop dithering // [Proceedings] ICASSP 91: 1991 International Conference on Acoustics, Speech, and Signal Processing, 1991.
- [7] Nguyen V.T. et al. Generalized multi-stage closed Loop Sigma Delta Modulator // 2011 IEEE International Symposium of Circuits and Systems (ISCAS). 2011.
- [8] Halonen S.L.K. A differential 25 mbit/s switched-current Delta-Sigma Modulator [Electronic resource] // ScienceGate. IEEE. URL: <https://www.sciencegate.app/document/10.1109/iscas.1996.539982> (access data: 25.08.2022).
- [9] Tutorial sigma-delta adcs [Electronic resource] // Maxim Integrated. URL: <https://www.maximintegrated.com/en/design/technical-documents/tutorials/1/1870.html> (access data: 25.08.2022).
- [10] How delta-sigma adcs work, part 2 - Texas Instruments [Electronic resource]. URL: <https://www.ti.com/lit/an/slyt438/slyt438.pdf> (access data: 25.08.2022).
- [11] CN-0118 (rev. A) - analog devices [Electronic resource]. URL: <https://www.analog.com/media/en/reference-design-documentation/reference-designs/CN0118.pdf> (access data: 25.08.2022).