

# Разработка схем функционального контроля на основе автоматизированной генерации помехоустойчивого кода

А.Л. Сتمпковский, Д.В. Тельпухов, Т.Д. Жукова

Институт проблем проектирования в микроэлектронике РАН, г. Москва, td.zhu@idpmras.ru

**Аннотация** — В работе предложен подход к построению схем функционального контроля, который заключается в автоматизированной генерации помехоустойчивого кода для каждой конкретной комбинационной схемы. Генерация помехоустойчивого кода основана на кластеризации информационных слов по критерию минимизации вероятности перехода внутри кластера. Под переходом понимается искажение выхода комбинационной схемы. Вероятность такого искажения оценивается путём моделирования схемы при инжектировании однократных ошибок. Такой подход позволяет строить коды, наилучшим образом адаптированные для каждой конкретной комбинационной схемы, достигая максимальных вероятностей исправления ошибок.

**Ключевые слова** — схемы функционального контроля, комбинационные схемы, помехоустойчивые коды, сбоеустойчивость.

## I. ВВЕДЕНИЕ

Тенденции, связанные с уменьшением технологических норм проектирования интегральных схем, актуализируют задачи обеспечения надежности при воздействии специальных факторов. С планомерным уменьшением норм технологий производства полупроводников сокращаются напряжение питания, величина заряда, емкость затвора. Нарушения функциональности устройств возникают вследствие воздействия ионизирующих частиц все меньшего заряда, а основной причиной нарушений работы становятся случайные сбои в комбинационной логике. Вследствие обозначенных выше факторов, в настоящее время активно развивается научное направление, связанное с разработкой методов повышения сбоеустойчивости комбинационных схем.

Одним из классических подходов к решению данной задачи является адаптация теории помехоустойчивого кодирования к проектированию комбинационных схем повышенной надежности [1]. В научных работах такие подходы обозначаются как схемы встроенного контроля (СВК) [2]-[5] или схемы функционального контроля [6]-[8]. В зарубежной литературе чаще всего фигурирует термин Concurrent Error Detection (CED) [9]-[12].

Узким местом в данных подходах является необходимость подбирать помехоустойчивый код для каждой конкретной ситуации. В частности, задаче подбора помехоустойчивого кода посвящена известная статья [12].

В множестве работ в контексте этой задачи изучались коды Бергера, Хемминга, Боуза-Лина, низкоплотностные (LDPC) коды, модульные коды с суммированием и т. д. Проблема тут возникает из-за того, что большинство рассматриваемых помехоустойчивых кодов не учитывают специфику ошибок, возникающих в комбинационной логике, так как изначально разрабатывались лишь для передачи и хранения информации. В данной работе была произведена попытка учесть эту специфику и разработать метод автоматизированной генерации помехоустойчивого кода, исходя из поведения комбинационной схемы под воздействием одиночных случайных сбоев.

Дальнейшее изложение построено следующим образом:

Раздел 2 посвящен краткому описанию основных методов повышения сбоеустойчивости комбинационных схем на логическом уровне.

В Разделе 3 представлен метод синтеза схем контроля на основе автоматизированной генерации помехоустойчивого кода для защиты конкретного комбинационного устройства.

В Разделе 4 приведено описание и результаты выполненных численных экспериментов по оценке эффективности разработанного метода.

В заключении сделаны выводы по проделанной работе, а также предложены пути развития разработанного метода и входящих в его состав алгоритмов.

## II. МЕТОДЫ ПОВЫШЕНИЯ СБОЕУСТОЙЧИВОСТИ КОМБИНАЦИОННЫХ СХЕМ

Наиболее популярными методами повышения сбоеустойчивости комбинационной схемы на логическом уровне являются:

- Методы кратного резервирования.
- Методы на основе схем контроля.

Данные методы основываются на внесении некоторой структурной избыточности, позволяющей сделать результирующее устройство свойством обнаружения и/или исправления ошибок.

Методы кратного резервирования опираются на принцип создания нескольких копий защищаемого устройства и являются самыми простыми и применяемыми на практике.

Для обнаружения ошибок в комбинационной схеме используется метод дублирования (Dual Modular Redundancy, DMR). Итоговое устройство будет состоять из двух резервных копий основной схемы (ОС) и подсхемы компаратора, выполняющего сравнение их выходов. При возникновении ошибки в одной из копий, выход FLAG сигнализирует о ее обнаружении. На рис. 1 представлена структурная схема метода дублирования.

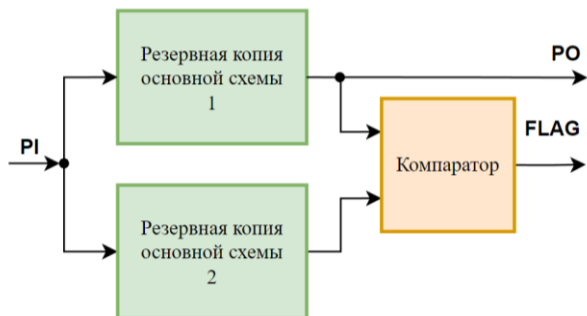


Рис. 1. Схема дублирования

Методы на основе схем контроля основаны на применении теории помехоустойчивого кодирования. В контексте комбинационных схем такие устройства получили название схем функционального контроля (СФК). На рис. 2 в качестве примера представлена структура СФК, способная выполнить обнаружение возникшей в защищаемой схеме ошибки.

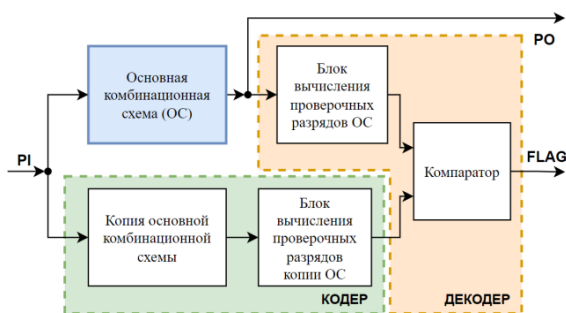


Рис. 2. Общая структура СФК, способная выполнить обнаружение возникшей ошибки

Структурно схемы функционального контроля состоят из следующих подсхем:

- **Основная комбинационная схема (ОС).** Основная задача вносимой структурной избыточности заключается в ее защите от сбоев. В качестве информационных разрядов, используемых в СФК, рассматриваются выходы ОС.

- **Кодер.** Состоит из копии ОС и подсхемы вычисления проверочных разрядов, необходимых для выполнения обнаружения и/или исправления возникших ошибок.

- **Декодер.** В нем выполняется вычисление проверочных разрядов ОС. Его структура зависит от задачи самой схемы контроля и выбранного метода декодирования:

1. **Обнаружение** – компаратор, который сравнивает проверочные разряды основной комбинационной схемы и ее копии. О наличии/отсутствии ошибки говорит значение на дополнительном выходе FLAG. Если 1, то произошла ошибка, 0 - считается, что ошибка в схеме отсутствует.

2. **Исправление** - подсхема вычисления ошибочного информационного разряда (выхода, на который повлияла возникшая в ОС ошибка), а также его исправления.

### III. МЕТОД СИНТЕЗА СФК НА ОСНОВЕ АВТОМАТИЗИРОВАННОЙ ГЕНЕРАЦИИ ПОМЕХОУСТОЙЧИВОГО КОДА

Разработанный в рамках данной статьи метод автоматизированной генерации помехоустойчивого кода предназначен для формирования для каждой комбинационной схемы своего уникального кода. За счет этого полученная в итоге СФК способна обнаружить ошибки любой кратности, возникшие в тестируемой комбинационной схеме.

Сгенерированный разработанным методом помехоустойчивый код используется для формирования подсхем в кодере и декодере, отвечающих за вычисление проверочных разрядов схемы. На основании данных разрядов производится обнаружение ошибок, возникших в устройстве.

На рис. 3 представлены этапы формирования СФК на основе автоматизированной генерации помехоустойчивого кода. Далее кратко будет описан каждый из них.

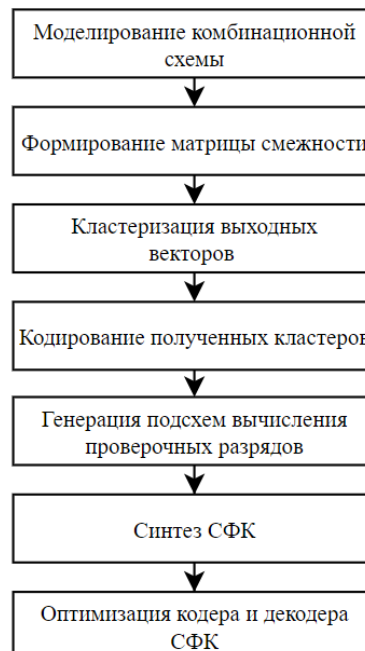


Рис. 3. Алгоритм синтеза СФК на основе автоматизированной генерации помехоустойчивого кода

#### A. Моделирование защищаемой комбинационной схемы

На первом этапе необходимо получить все возможные переходы выходных векторов для основной схемы. Для этого в каждый элемент схемы по очереди инжектируется ошибка (производится инверсия сигнала на выходе элемента) при моделировании всех возможных вариантов входных данных. Для очень больших схем предусмотрено частичное моделирование, в котором ошибка с равной долей вероятности вносится в любой логический элемент при случайных входных воздействиях. Полученные результаты позволяют определить какие корректные и некорректные состояния могут возникнуть на выходе защищаемой схемы (выходные векторы).

Корректным считается выходной вектор, возникающий на выходе схемы при ее правильном функционировании. Некорректный - выходной вектор, сформированный под влиянием ошибки.

#### B. Формирование матрицы смежности

По результатам предыдущего этапа генерируется матрица смежности  $C$ . Столбцы в ней отвечают за все возможные, а строки только за корректные состояния выходных векторов. В каждой ячейке в свою очередь содержится информация о том сколько раз одно состояние выходного вектора может перейти в другое под воздействием ошибки в комбинационном устройстве. Чем больше число, тем более связанными считаются два состояния (рис. 4).

#### C. Кластеризация состояний выходных векторов

Высокая связность между двумя выходными векторами сигнализирует о том, что они должны находиться в разных кластерах. Для этого используется алгоритм кластеризации. Похожий метод использовался для разбиения выходов СФК на основе спектрального R-кода [13]. Для достижения цели, поставленной в данной работе, алгоритм был модифицирован.



Рис. 4. Пример матрицы смежности

Для выполнения разбиения в начале выбирается число кластеров  $h$ . Под каждый из них определяется

пустое множество, пополняемое из множества всех возможных состояний выходных векторов  $V$ , длина которого соответствует числу столбцов в матрице смежности.

Алгоритм кластеризации состоит из следующих шагов:

Шаг 1. Формируется матрица смежности  $C$ . В ней определяются элементы с максимальным весом. Исходный вес каждого из кластеров равен 0.

Шаг 2. Из множества  $V$  выбирается следующее для распределения состояние. Вычисляется предполагаемое значение веса для каждого из кластеров, если в них добавить выбранное состояние.

Шаг 3. Состояние добавляется в кластер с минимальным предполагаемым весом. Если их несколько, то выбирается кластер с меньшим числом элементов.

Шаг 4. Распределенное состояние удаляется из множества  $V$ .

Шаг 5. Если  $V$  не пустое, то повторяются шаги 2-5.

Шаги выполняются пока все выходные векторы не будут рассортированы по кластерам.

#### D. Кодирование кластеров выходных векторов

Каждой из полученных с помощью алгоритма кластеризации групп ставится в соответствие некоторое кодовое слово, длина которого соответствует числу проверочных разрядов  $m$  и вычисляется следующим образом:

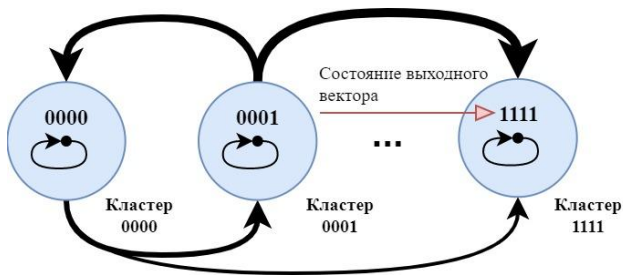
$$m = \lceil \log_2 h \rceil$$

где  $\lceil \cdot \rceil$  - округление в большую сторону.

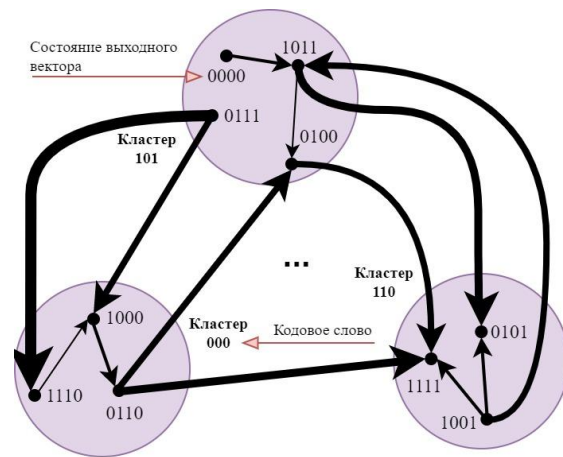
В итоге формируется таблица истинности, осуществляющая кодирование полученных кластеров выходных векторов в выбранные кодовые слова.

Одна из возможных визуальных интерпретаций разрабатываемого метода представлена на рис. 5. Внутри каждого кластера находятся информационные слова, которые ассоциированы с выходными векторами комбинационной схемы. Переходы обозначены стрелками, а их толщина определяет вероятность такого перехода, которая в свою очередь зависит от структуры схемы и типа возможных ошибок. Задача алгоритма – создать такие кластеры, внутри которых общая толщина стрелок будет минимальна, так как переходы внутри кластера невозможно зафиксировать. При этом все переходы между кластерами – обнаруживаются.

Аналогично можно изобразить и метод дублирования, который в терминах теории помехоустойчивого кодирования является кодом повторения. В этой интерпретации, дублирование является граничным случаем, где каждый информационный вектор оборачивается в свой кластер, что обеспечивает гарантированное обнаружение ошибок. Совпадение информационного и кодового слова позволяет редуцировать кодер, что делает этот метод крайне компактным и эффективным.



а) Метод дублирования



б) Схема функционального контроля

Рис. 5. Кодирование состояний выходных векторов схемы

#### Е. Синтез схемы функционального контроля

С помощью программы Berkley ABC [14] из полученной таблицы истинности формируются подсхемы, вычисляющие значения проверочных разрядов, для кодера и декодера СФК. Затем полученные подсхемы объединяются с основной схемой и подсхемой компаратора.

#### Ф. Сокращение кодера и декодера СФК

Важным этапом при построении СФК является этап объединения блока вычисления проверочных разрядов и копии исходной схемы, а также блока вычисления проверочных разрядов со схемой компаратора. Эта процедура позволяет значительно сократить кодер и декодер (рис. 2), и, в некоторых случаях, превзойти схему дублирования по занимаемой площади. В данной работе для такого сокращения использовался открытый пакет для задач логического синтеза YOSYS [15].

### IV. РЕЗУЛЬТАТЫ ЧИСЛЕННЫХ ЭКСПЕРИМЕНТОВ

Для оценки эффективности предлагаемого метода был выполнен ряд численных экспериментов. Результаты были получены на тестовых схемах из контрольного набора LGSynth89 [16].

По результатам был выполнен сравнительный анализ основных характеристик синтезированных схем с методом дублирования. В качестве таких характеристик рассматривались:

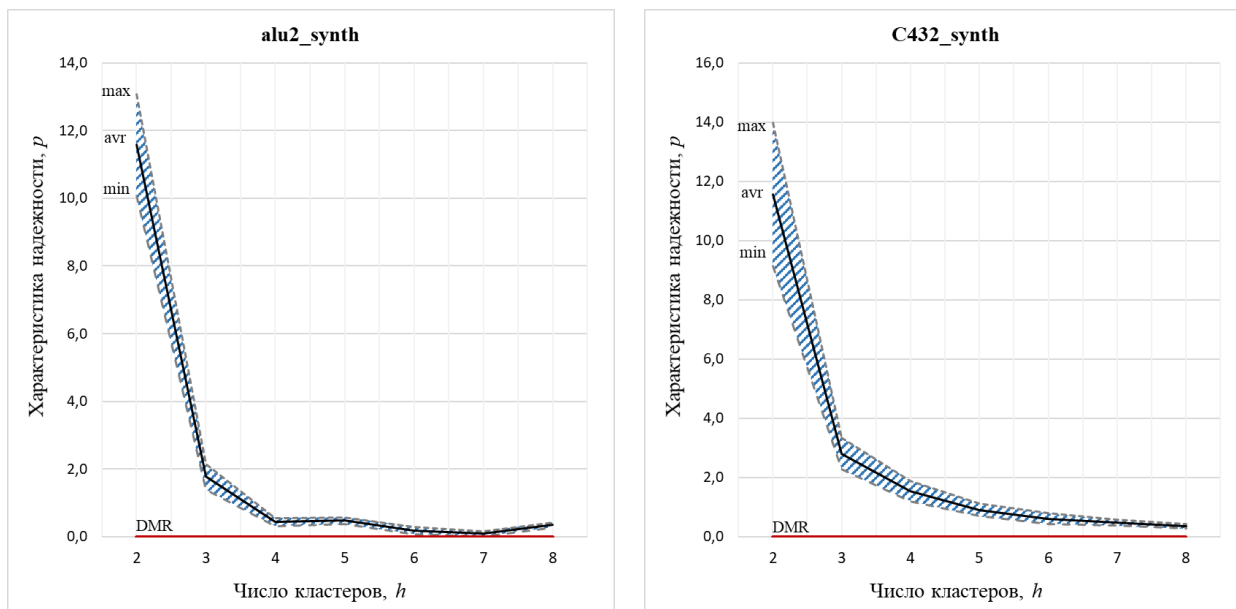
- Структурная избыточность  $S$ , показывающая во сколько раз число элементов в схеме больше по сравнению с исходной.
- Характеристика надежности  $p$  или вероятность пропуска ошибки схемой, т.е. вероятность того, что возникшее некорректное значение на выходе устройства не было обнаружено декодером схемы контроля.

Для получения характеристики надежности проводилось моделирование схем с инъектированием однократных ошибок. При проведении данного анализа рассматривались следующие ситуации, которые могли возникнуть на выходе СФК:

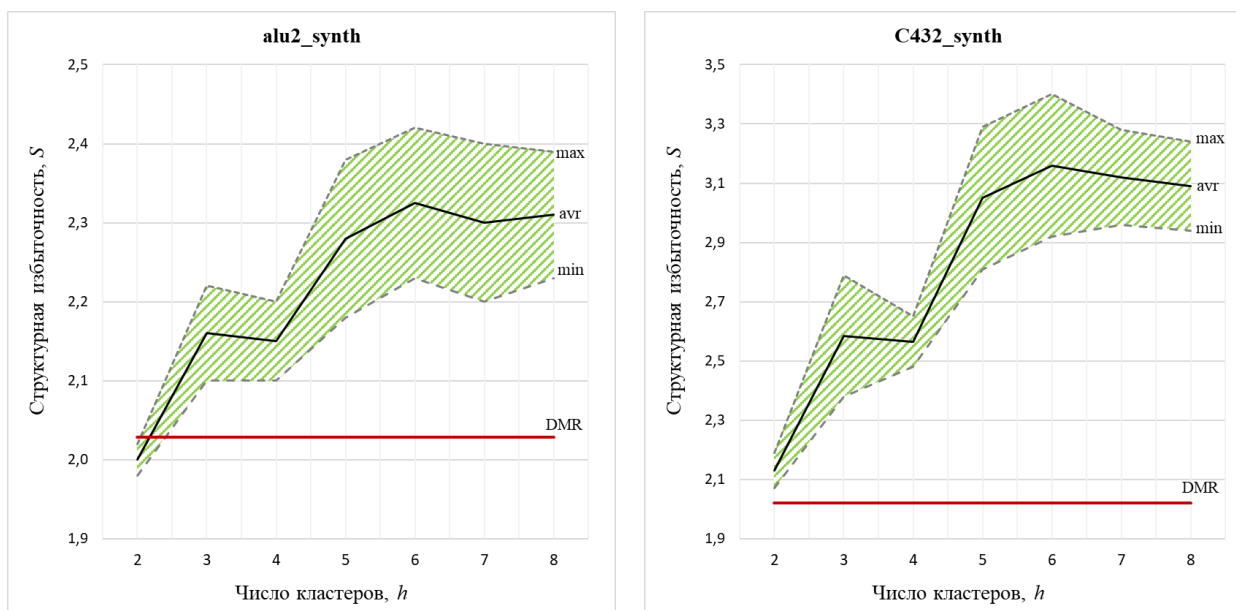
- Ошибка маскируется внутренними механизмами комбинационной схемы [17]-[18]. Данная ситуация возникает, когда некорректный сигнал на ЛЭ не влияет на выход итоговой схемы.
- Ошибка обнаружена схемой контроля. Ошибка повлияла на выход схемы и декодер сигнализировал о ее наличии.
- Возникновение ложной тревоги. Декодер СФК сигнализирует о наличии ошибки, но при этом выход схемы полностью корректен.
- Пропуск ошибки. Ошибка повлияла на выход и при этом не обнаружена схемой контроля.

Результаты проведенных численных экспериментов представлены в виде графиков на рис. 6. На них изображена зависимость основных характеристик полученных схем контроля от числа кластеров  $h$ , используемых для разбиения выходных векторов в алгоритме кластеризации. На каждом из графиков представлены кривые, которые характеризуют максимальное ( $max$ ), среднее ( $avr$ ) и минимальное ( $min$ ) значения рассматриваемой характеристики, синтезированной СФК.

Разброс в данных значениях обусловлен вариацией на этапе кодирования кластеров выходных векторов (этап D раздела III). В зависимости от варианта присвоения кодовых слов кластерам, меняется функция блока вычисления проверочных разрядов, которая в свою очередь влияет на этап сокращения кодера и декодера СФК (этап F раздела III), позволяя в некоторых случаях получать намного более компактные реализации.



а) Зависимость характеристики надежности от числа кластеров  $p(h)$



б) Зависимость структурной избыточности от числа кластеров  $S(h)$

Рис. 6. Графики зависимости основных характеристик, полученных СФК в зависимости от числа кластеров для тестовых схем `alu2_synth` и `C432_synth`

Как видно из представленных графиков, увеличение числа кластеров приводит к уменьшению вероятности пропуска ошибки, увеличивая при этом структурную избыточность. Наиболее резкое снижение вероятности пропуска происходит при использовании 2 кластеров. Для некоторых схем контроля были получены более компактные реализации в сравнении с методом дублирования. Кроме того, стоит обратить внимание на то, что для рассматриваемых схем, за счет использования при формировании СФК оптимизации кодера и декодера, увеличение числа  $h$  не вызывает резкого скачка структурной избыточности.

## V. ЗАКЛЮЧЕНИЕ

В статье был представлен подход, позволяющий решить задачу выбора помехоустойчивого кода для построения наиболее эффективной реализации СФК. Для этого был разработан метод автоматизированной генерации помехоустойчивого кода на основе моделирования ошибок в комбинационной схеме. Для этого было предложено разбивать все возможные состояния выходных векторов для выбранной схемы на кластеры, за счет использования матрицы смежности, характеризующей уровень связности между корректными и

некорректными состояниями выходов. Проведенные численные эксперименты показали эффективность данного подхода с точки зрения аппаратной избыточности и характеристик надежности.

Тем не менее, в ходе экспериментов было обнаружено, что разработанный метод для части схем приводит к возникновению большой структурной избыточности. Данная проблема может быть решена за счёт изменения целевой функции в процессе кластеризации. В текущей реализации кластеры формировались только исходя из метрики вероятности пропуска ошибки. В дальнейшем планируется добавить комплексный критерий, способный учитывать потенциальные аппаратные затраты СФК.

Кроме того, в настоящее время кластеризация происходит по простейшему жадному алгоритму на каждом шаге которого выбирается наилучший кластер для информационного вектора. Такой подход, не смотря на эффективность и простоту, не способен учитывать более глубокие взаимосвязи и смотреть на глубину шагов больше одного. Это открывает перспективы для более сложных алгоритмов, включая метод имитации отжига, генетические алгоритмы, а также популярные методы обучения с подкреплением на основе нейронных сетей.

#### ПОДДЕРЖКА

Исследование выполнено при финансовой поддержке гранта Президента РФ в рамках научного проекта МД-1414.2021.4.

#### ЛИТЕРАТУРА

- [1] Хетагуров Я.А., Руднев Ю.П. Повышение надёжности цифровых устройств методами избыточного кодирования. – М.: Энергия, 1974. – 270 с.
- [2] Аксёнова Г.П., Согомонян Е.С. Построение самопроверяемых схем встроенного контроля для автоматов с памятью // Автоматика и телемеханика. – 1975. – №. 7. – С. 132-142.
- [3] Ефанов Д.В., Абдуллаев Р.Б., Лесковец И.В. Применение полиномиальных кодов при синтезе схем встроенного контроля для комбинационных устройств по методу логического дополнения // Известия высших учебных заведений. Приборостроение. – 2022. – Т. 65. – №. 1. – С. 5-18.
- [4] Ефанов Д.В., Пашуков А.В. Коды с суммированием весовых коэффициентов разрядов информационных векторов в кольце вычетов по произвольному модулю для синтеза цифровых вычислительных устройств // Автоматика на транспорте. – 2022. – Т. 8. – №. 2. – С. 198-217.
- [5] Ефанов Д.В. Троичные модульные коды с суммированием для синтеза цифровых самопроверяемых устройств // Известия высших учебных заведений. Приборостроение. – 2022. – Т. 65. – №. 5. – С. 307-322.
- [6] Тельпухов Д.В., Жукова Т.Д., Деменева А.И., Гуров С.И. Схема функционального контроля для комбинационных схем на основе R-кода // Проблемы разработки перспективных микро- и наноэлектронных систем.(МЭС) 2018. Выпуск 4. С. 98-104. doi:10.31114/2078-7707-2018-4-98-104
- [7] Стемпковский А.Л., Тельпухов Д.В., Гуров С.И., Жукова Т.Д., Щелоков А.Н., Новиков А.Д. Синтез СФК на основе LDPC кода с использованием мажоритарного декодирования // Известия ЮФУ. Технические науки. – 2019. – № 4. – С. 195-206. DOI: 10.23683/2311-3103-2019-4-195-206.
- [8] Stempkovsky A.L., Telpuhov D.V., Gurov S.I., Zhukova T.D. CICADA: A New Tool to Design Circuits with Correction and Detection Abilities // In Proceedings of the International Siberian Conference on Control and Communications (SIBCON). – 2021. – Pp. 1-5. DOI: 10.1109/SIBCON50419.2021.9438900.
- [9] Das D., Toubia N.A. Synthesis of Circuits with Low-Cost Concurrent Error Detection based on Bose-Lin codes // In Proceedings of the VLSI Test Symp. –1998. – Pp. 309-315.
- [10] Jha N. K. Totally Self-Checking Checker Designs for Bose-Lin, Bose, and Blaum Codes // In Proceedings of the IEEE Trans. CAD. – 1991. – Vol. 10. – No. 1. – Pp. 136-143.
- [11] Wang C., Hsieh T. A Hybrid Concurrent Error Detection Scheme for Simultaneous Improvement on Probability of Detection and Diagnosability // In Proceedings of the International Test Conference in Asia (ITC-Asia). – 2017. – Pp. 52-57.
- [12] Mitra S., McCluskey E.J. Which Concurrent Error Detection Scheme to Choose // In Proceedings of the International Test Conference. – 2000. – Pp. 985-994. DOI: 10.1109/TEST.2000.894311.
- [13] Стемпковский А.Л., Тельпухов Д.В., Жукова Т.Д., Деменева А.И., Надоленко В.В., Гуров С.И. Синтез схемы функционального контроля на основе спектрального R-кода с разбиением выходов на группы // Микроэлектроника. – 2019. – Т. 48. – №. 4. – С. 284-294. DOI: 10.1134/S0544126919040094.
- [14] URL: <http://people.eecs.berkeley.edu/~alanmi/abc/> (дата обращения: 21.08.2022).
- [15] URL: <http://yosyshq.net/yosys/> (дата обращения: 21.08.2022).
- [16] URL: <https://ddd.fit.cvut.cz/www/prj/Benchmarks/> (дата обращения: 21.08.2022).
- [17] Shivakumar P., Kistler M., Keckler S.W., Burger D., Alvisi L. Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic // // In Proceedings of the Intern. Conf. on Dependable Systems and Networks (DSN). – 2002. – Pp. 389–398.
- [18] Стемпковский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В. Повышение отказоустойчивости логических схем с использованием нестандартных мажоритарных элементов // Информационные технологии. – 2015. – Т. 21. – № 10. – С. 749-756.

# Development of Concurrent Error Detection Circuit Based on Automated Generation of Error-Correcting Code

A.L. Stempkovsky, D.V. Tel'puhov, T.D. Zhukova

Institute for Design Problems in Microelectronics of RAS, Moscow, td.zhu@idpmras.ru

**Abstract** — One of the classical approaches to improving the fault tolerance of combinational circuits is the adaptation of the theory of error-correcting coding to design of high-reliability combinational circuits. To implement it, it is necessary to select an error-correcting code for each specific situation. The problem here arises from the fact that most of the error-correcting codes under consideration do not take into account the specifics of errors that occur in combinational logic, since they were originally developed only for transmitting and storing information. In this article, an attempt was made to take into account this specificity and develop a method for automated generation of error-correcting code, based on the behavior of a combinational circuit under the influence of single random failures. The generation of an error-correcting code is based on the clustering of information words according to the criterion of minimizing the transition probability within the cluster. A transition is a distortion of the output of a combinational circuit. The probability of such distortion is estimated by simulating the circuit under the injection of single errors. This approach makes it possible to construct codes that are best adapted for each specific combinational circuit, achieving the maximum error correction probabilities. To evaluate the effectiveness of the developed method, a number of numerical experiments were performed, based on the results of which a comparative analysis of the main characteristics of the synthesized circuits with the duplication method was performed.

**Keywords** — concurrent error detection, combinational circuits, error-correcting codes, fault-tolerance.

## REFERENCES

- [1] Hetagurov YA.A., Rudnev YU.P. Povyshenie nadyozhnosti cifrovyyh ustrojstv metodami izbytochnogo kodirovaniya (Improving the Reliability of Digital Devices by Redundant Coding Methods). — M.: Energiya, 1974. — 270 s.
- [2] Aksenova G.P., Sogomonyan E.S. Design of Self-Checking Built-In Check Circuits for Automata with Memory // Autom. Remote Control. — 1975. — № 7. — Pp. 1169-1177.
- [3] Efanov D.V., Abdullaev R.B., Leskovec I.V. Primenenie polinomial'nyh kodov pri sinteze skhem vstroennogo kontrolya dlya kombinatsionnyh ustrojstv po metodu logicheskogo dopolneniya (Application of Polynomial Codes in the Synthesis of Built-In Control Circuits for Combinational Devices using Boolean Complement Method) // Izvestiya vysshih uchebnyh zavedenij. Priborostroenie. — 2022. — T. 65. — №. 1. — S. 5-18.
- [4] Efanov D.V., Pashukov A.V. Kody s summirovaniem vesovyh koeffitsientov razryadov informatsionnyh vektorov v kol'tse vychetov po proizvol'nomu modulyu dlya sinteza cifrovyyh vychislitel'nyh ustrojstv (Codes with Summation of Weight Coefficients of Data Vector Bits in the Ring of Residues Modulo an Arbitrary for Digital Computing Devices) // Avtomatika na transporte. — 2022. — T. 8. — №. 2. — S. 198-217.
- [5] Efanov D.V. Troichnye modul'nye kody s summirovaniem dlya sinteza cifrovyyh samoproveryaemyh ustrojstv (Ternary Modular Codes with Summation for the Synthesis of Digital Self-Testing Devices) // Izvestiya vysshih uchebnyh zavedenij. Priborostroenie. — 2022. — T. 65. — №. 5. — S. 307-322.
- [6] Telpukhov D.V., Zhukova T.D., Demeneva A.I., Gurov S.I. Circuit of the Functional Control for Combinational Circuits Based on R-code // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2018. Issue 4. P. 98-104. doi:10.31114/2078-7707-2018-4-98-104
- [7] Stempkovskij A.L., Tel'puhov D.V., Gurov S.I., Zhukova T.D., SHChelokov A.N., Novikov A.D. Sintez SFK na osnove LDPC koda s ispol'zovaniem mazhoritarnogo dekodirovaniya (Synthesis Method of Fault-Tolerant Combination Circuits with CED Based on LDPC Code) // Izvestiya YUFU. Tekhnicheskie nauki. — 2019. — № 4. — C. 195-206. DOI: 10.23683/2311-3103-2019-4-195-206.
- [8] Stempkovsky A.L., Telpuhov D.V., Gurov S.I., Zhukova T.D. CICADA: A New Tool to Design Circuits with Correction and Detection Abilities // In Proceedings of the International Siberian Conference on Control and Communications (SIBCON). — 2021. — Pp. 1-5. DOI: 10.1109/SIBCON50419.2021.9438900.
- [9] Das D., Touba N.A. Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin codes // In Proceedings of the VLSI Test Symp. — 1998. — Pp. 309-315.
- [10] Jha N. K. Totally Self-Checking Checker Designs for Bose-Lin, Bose, and Blaum Codes // In Proceedings of the IEEE Trans. CAD. — 1991. — Vol. 10. — No. 1. — Pp. 136-143.
- [11] Wang C., Hsieh T. A Hybrid Concurrent Error Detection Scheme for Simultaneous Improvement on Probability of Detection and Diagnosability // In Proceedings of the International Test Conference in Asia (ITC-Asia). — 2017. — Pp. 52-57.
- [12] Mitra S., McCluskey E.J. Which Concurrent Error Detection Scheme to Choose // In Proceedings of the International Test Conference. — 2000. — Pp. 985-994. DOI: 10.1109/TEST.2000.894311.
- [13] Stempkovskij A.L., Tel'puhov D.V., Zhukova T.D., Demeneva A.I., Nadolenko V.V., Gurov S.I. Sintez skhemy funkcional'nogo kontrolya na osnove spektral'nogo R-koda s razbieniem vyhodov na gruppy (Synthesis of a Concurrent Error Detection Circuit Based on the Spectral R-code with the Partitioning of Outputs into Groups) // Mikroelektronika. — 2019. — T. 48. — №. 4. — S. 284-294. DOI: 10.1134/S0544126919040094.
- [14] URL: <http://people.eecs.berkeley.edu/~alanmi/abc/> (дата обращения: 21.08.2022).
- [15] URL: <http://yosyshq.net/yosys/> (дата обращения: 21.08.2022).
- [16] URL: <https://ddd.fit.cvut.cz/www/prj/Benchmarks/> (дата обращения: 21.08.2022).
- [17] Shivakumar P., Kistler M., Keckler S.W., Burger D., Alvisi L. Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic // In Proceedings of the Intern. Conf. on Dependable Systems and Networks (DSN). — 2002. — Pp. 389-398.
- [18] Stempkovskij A.L., Tel'puhov D.V., Solov'ev R.A., Myachikov M.V. Povyshenie otkazoustojchivosti logicheskikh skhem s ispol'zovaniem nestandardnyh mazhoritarnyyh elementov (Improving the Fault Tolerance of Logic Circuits using Unconventional Majority Voters) // Informatsionnye tekhnologii. — 2015. — T. 21. — № 10. — S. 749-756.